

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6067541号
(P6067541)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl. F 1
G 0 6 F 1 2 / 0 6 (2 0 0 6 . 0 1) G 0 6 F 1 2 / 0 6 5 1 5 B

請求項の数 7 (全 22 頁)

(21) 出願番号	特願2013-232541 (P2013-232541)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成25年11月8日(2013.11.8)	(74) 代理人	110002147 特許業務法人酒井国際特許事務所
(65) 公開番号	特開2015-94997 (P2015-94997A)	(72) 発明者	竹山 嘉和 東京都港区芝浦一丁目1番1号 株式会社東芝内
(43) 公開日	平成27年5月18日(2015.5.18)	(72) 発明者	長井 裕士 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成28年2月17日(2016.2.17)	審査官	塚田 肇

最終頁に続く

(54) 【発明の名称】 メモリシステムおよびメモリシステムのアセンブリ方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性のメモリセルアレイを有するメモリチップを複数個含むメモリパッケージと、チップイネーブルおよびチップアドレスに基づいて前記メモリパッケージから1つのメモリチップを選択するコントローラとを備え、

前記各メモリチップは、

前記チップアドレスとの比較対象であるnビット(nは2以上の整数)の情報であって、自メモリチップを識別するための第1の情報を記憶する第1の記憶部と、

nビットの前記第1の情報のうちの有効ビットを決定するための第2の情報を記憶する第2の記憶部と、

前記第2の情報に基づいてnビットの前記第1の情報および前記チップアドレスの有効ビットを決定する制御部と、

を備えることを特徴とするメモリシステム。

【請求項2】

前記第1の情報は、予め設定した所定個数まで複数のメモリチップを識別可能なビット数を有することを特徴とする請求項1に記載のメモリシステム。

【請求項3】

前記制御部は、起動時に、各メモリチップのメモリセルアレイ領域に記憶されている前記第1および前記第2の情報を読み出して前記第1の記憶部および前記第2の記憶部に記憶することを特徴とする請求項1に記載のメモリシステム。

【請求項 4】

前記コントローラは、起動時に、前記第 2 の記憶部に第 2 の情報を設定するためのコマンドを前記メモリパッケージに送信することを特徴とする請求項 1 に記載のメモリシステム。

【請求項 5】

前記コマンドはブロードキャストコマンドであり、前記メモリパッケージ内の複数のメモリチップに一斉に送信されることを特徴とする請求項 4 に記載のメモリシステム。

【請求項 6】

前記制御部は、チップイネーブル当たりの記憶容量を示す第 3 の情報値を前記コントローラに出力する際、複数の異なる前記第 2 の情報値に対応して異なる値の第 3 の情報値を前記コントローラに出力することを特徴とする請求項 1 に記載のメモリシステム。

10

【請求項 7】

不揮発性のメモリセルアレイを有するメモリチップを複数個含むメモリパッケージと、チップイネーブルおよびチップアドレスに基づいて前記メモリパッケージから 1 つのメモリチップを選択するコントローラとをアセンブリするメモリシステムのアセンブリ方法において、

前記不揮発性のメモリセルアレイに記憶される第 2 の情報であって、前記チップアドレスとの比較対象である n ビット (n は 2 以上の整数) の第 1 の情報の有効ビットを決定するための第 2 の情報を変更設定する工程と、

変更設定される前記第 2 の情報に対応するようにコントローラのチップイネーブルピンと、メモリパッケージのチップイネーブルピンを配線接続する工程と、

20

を備えるメモリシステムのアセンブリ方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、複数の半導体メモリチップが内蔵されるチップパッケージを有するメモリシステムおよびメモリシステムのアセンブリ方法に関する。

【背景技術】**【0002】**

マルチチップパッケージ中の複数のメモリチップから 1 つのメモリチップを選択するために、コントローラは、チップイネーブルと、チップアドレスを使用する。

30

【0003】

マルチチップパッケージが備えるチップイネーブルのピン数が増えると、基板上にマルチチップパッケージを実装する際、マルチチップパッケージ側の複数のチップイネーブルピンと、これを制御するコントローラ側の複数のチップイネーブルピンとの配線が複雑になる。大容量のストレージを実現しようとする場合、マルチチップパッケージを基板上に多く搭載する必要が出てくるため、各パッケージから出ているチップイネーブルのピン数の合計が増大し、基板上での配線がさらに複雑になる。また、コントローラ側に存在するチップイネーブルピンが多いと、コントローラのチップ面積も増大し、その分コストアップの要因となる。

40

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】特開 2013 - 200595 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明の一つの実施形態は、チップイネーブル信号数を削減可能なアセンブリ変更を簡便かつ効率よく行うことが可能なメモリシステムおよびメモリシステムのアセンブリ方法を提供することを目的とする。

50

【課題を解決するための手段】

【0006】

本発明の一つの実施形態によれば、メモリシステムは、不揮発性のメモリセルアレイを有するメモリチップを複数個含むメモリパッケージと、チップイネーブルおよびチップアドレスに基づいて前記メモリパッケージから1つのメモリチップを選択するコントローラとを備える。前記各メモリチップは、前記チップアドレスとの比較対象であるnビット（nは2以上の整数）の情報であって、自メモリチップを識別するための第1の情報を記憶する第1の記憶部と、nビットの前記第1の情報のうちの有効ビットを決定するための第2の情報を記憶する第2の記憶部と、前記第2の情報に基づいてnビットの前記第1の情報および前記チップアドレスの有効ビットを決定する制御部とを備える。

10

【図面の簡単な説明】

【0007】

【図1】図1は、メモリシステムの構成例を示すブロック図である。

【図2】図2は、メモリパッケージの内部構成例を示すブロック図である。

【図3】図3は、メモリチップの回路構成例を示すブロック図である。

【図4】図4は、第1の実施形態のLUN設定の一例を示す図である。

【図5】図5は、MCM=2の場合のチップイネーブルの配線およびLUN設定を示す図である。

【図6】図6は、第1の実施形態の電源オン時のメモリチップの動作手順を示すフローチャートである。

20

【図7】図7は、読み出しオペレーションの一例を示すタイムチャートである。

【図8】図8は、5サイクルで入力されるアドレス信号の一例を示すものである。

【図9】図9は、読み出し時のメモリチップ動作手順を示すフローチャートである。

【図10】図10は、書き込みオペレーションの一例を示すタイムチャートである。

【図11】図11は、MCM=2からMCM=4に変更した場合のチップイネーブルの配線およびLUN設定を示す図である。

【図12】図12は、メモリシステムのアセンブリ手順を示す工程図である。

【図13】図13は、MCM=2からMCM=8に変更した場合のチップイネーブルの配線およびLUN設定を示す図である。

【図14】図14は、メモリパッケージの実装構造を示す断面図である。

30

【図15】図15は、メモリパッケージの実装構造を示す斜視図である。

【図16】図16は、メモリパッケージのはんだボールの配置を示す平面図である。

【図17】図17は、第2の実施形態の電源オン時のメモリチップの動作手順を示すフローチャートである。

【図18】図18は、第2の実施形態の電源オン時のコントローラの動作手順を示すフローチャートである。

【図19】図19は、第2の実施形態のメモリチップの回路構成例を示すブロック図である。

【図20】図20は、第3の実施形態のメモリチップの回路構成例を示すブロック図である。

40

【図21】図21は、リードIDオペレーションの一例を示すタイムチャートである。

【図22】図22は、リードIDオペレーションを行う際の制御部の動作を示すフローチャートである。

【発明を実施するための形態】

【0008】

以下に添付図面を参照して、実施形態にかかるメモリシステムおよびメモリシステムのアセンブリ方法を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0009】

(第1の実施形態)

50

図1に、メモリシステム100の構成例を示す。メモリシステム100は、ホストインタフェース2を介してホスト装置(以下、ホストと略す)1と接続され、ホスト1の外部記憶装置として機能する。ホスト1は、例えば、パーソナルコンピュータ、タブレット、スマートフォン、携帯電話、撮像装置などである。

【0010】

メモリシステム100は、不揮発性半導体メモリとしてのNANDフラッシュ10(以下、NANDと略す)と、NAND10に対する制御を行うコントローラ20と、NAND10とコントローラ20とを接続するNANDインタフェース(以下、NAND I/Fと略す)30とを備える。なお、不揮発性メモリとしては、NANDフラッシュ10のような不揮発性半導体メモリに限定されず、ReRAM(Resistance Random Access Memory)、FeRAM(Ferroelectric Random Access Memory)などデータ格納可能なメモリであれば良い。

【0011】

NAND I/F30は、複数のチャネル(この場合は、4チャネルch0~ch3)分のコントロールI/O(Control I/O)信号と、複数のチップイネーブル信号/CE0~/CEnと、複数のレディビジー信号(R/B0~/R/Bm)を含む。Control I/O信号には、コントロール信号線として、コマンドラッチイネーブル信号(CLE)、アドレスラッチイネーブル信号(ALE)、ライトイネーブル信号(/WE)、リードイネーブル信号(/RE)、ライトプロテクト信号(/WP)、データストロブ信号(DQS)などが含まれ、コマンド、アドレス、データ信号線として、I/O信号線IO0~/IO7を含む。I/O信号線IO0~/IO7は、8ビットとしているが、他のビット数でもよい。NAND10およびコントローラ20をプリント基板(PCB: printed circuit board)上に実装することで、メモリシステム100が構成される。

【0012】

NAND10は、複数のメモリチップによって構成されている。各メモリチップは、複数のメモリセルがマトリクス状に配列されたメモリセルアレイを有する。個々のメモリセルは多値記憶が可能である。各メモリチップは、データ消去の単位である物理ブロックを複数配列して構成される。また、NAND10では、物理ページごとにデータの書き込み及びデータの読み出しが行われる。物理ブロックは、複数の物理ページによって構成されている。

【0013】

コントローラ20は、ホスト1から送信されたコマンドに従い、NAND10から読み出しや書き込みなどの制御などを行う。

【0014】

図2に、NAND10を構成するマルチチップパッケージ(メモリパッケージ)15の一例を示す。本実施形態では、図1のNAND10は、1つのメモリパッケージ15によって構成されるものとする。NAND10を、複数のメモリパッケージ15によって構成してもよい。メモリパッケージ15は、16個のメモリチップ#0~/#15と、8本のチップイネーブルピン/CE0~/CE7を有する。負論理を示す「/」は、これ以降、記載を省略する。すなわち、このパッケージ15においては、メモリパッケージ15の1つのチップイネーブルピンは、内部配線5によって2つのメモリチップのチップイネーブルピンと電氣的に接続されている。言い換えると、メモリパッケージ15の1つのチップイネーブルピン(以下、CEピンと略す)により複数のメモリチップが選択される。

【0015】

メモリパッケージ15のCEピンCE0は、メモリチップ#0, #1のCEピンに電氣的に接続され、メモリパッケージ15のCEピンCE1は、メモリチップ#2, #3のCEピンに電氣的に接続され、メモリパッケージ15のCEピンCE2は、メモリチップ#4, #5のCEピンに電氣的に接続され、メモリパッケージ15のCEピンCE3は、メモリチップ#6, #7のCEピンに電氣的に接続され、メモリパッケージ15のCEピンCE4は、メモリチップ#8, #9のCEピンに電氣的に接続され、メモリパッケージ1

10

20

30

40

50

5のCEピンCE5は、メモリチップ#10, #11のCEピンに電氣的に接続され、メモリパッケージ15のCEピンCE6は、メモリチップ#12, #13のCEピンに電氣的に接続され、メモリパッケージ15のCEピンCE7は、メモリチップ#14, #15のCEピンに電氣的に接続されている。メモリチップ#0, #1, #4, #5はチャンネル0(ch0)に接続され、メモリチップ#2, #3, #6, #7はチャンネル1(ch1)に接続され、メモリチップ#8, #9, #12, #13はチャンネル2(ch2)に接続され、メモリチップ#10, #11, #14, #15はチャンネル3(ch3)に接続されている。

【0016】

図2に示すように、1つのメモリパッケージ15に複数のメモリチップ#0~#15が搭載される場合、チップイネーブル信号CEと、チップアドレスCADDが定義され、チップイネーブル信号CEおよびチップアドレスCADDに基づき複数のメモリチップ#0~#15の中から1つのメモリチップを選択することが可能となる。チップアドレスCADDは、コントローラ20から入力されるアドレス信号の一部に含まれる。チップアドレスCADDは、各チャンネルch0~ch3のCtrl I/O信号中のI/O信号線IO0~IO7を介して各メモリチップに入力される。

【0017】

一般的には、チップイネーブル信号CEによりCEピンをアサートすることにより、メモリパッケージ15内の複数のメモリチップの中からアサートされたCEピンに接続された1~複数のメモリチップを選択し、該選択された1~複数のメモリチップの中からチップアドレスCADDによって1つのメモリチップを選択することができる。図2に示すメモリパッケージ15の場合は、8本のCEピンCE0-CE7は、夫々2個のメモリチップを選択するために用いられる。また、1ビットのチップアドレスCADDによって、CEピンCE0-CE7により選択された2個のメモリチップから1つのメモリチップを選択する。なお、メモリパッケージ15に存在するメモリチップの個数分だけ、CEピンが存在するケースでは、チップアドレスCADDは必要ない。

【0018】

次に、メモリチップ#0~#15の内部回路例を説明する。各メモリチップ#0~#15は、同一の構成を備えているので、ここではメモリチップ#0の構成について説明する。

【0019】

図3は、メモリチップ#0の構成を示すブロック図である。メモリチップ#0は、I/O制御部110、論理制御部111、制御部112、電圧発生回路113、コマンドレジスタ114、アドレスレジスタ115、ステータスレジスタ116、カラムアドレスバッファ117、カラムデコーダ118、データレジスタ119、センスアンプ120、ロウアドレスバッファ121、ロウデコーダ122, メモリセルアレイ130、およびROM領域135を備えている。

【0020】

論理制御部111は、各種制御信号の入力ピン(CE, ALEなど)を介して各種制御信号の入力を受け付ける。I/O制御部110は、論理制御部111で受け付けた制御信号に基づいて、I/O信号の格納先のレジスタの振り分けを実行する。また、論理制御部111は、受け付けた制御信号を制御部112に転送する。論理制御部111の入力ピンとして示されているCEは、メモリチップ#0のチップイネーブルピンを示している。

【0021】

制御部112は、論理制御部111を介して受信した各種制御信号に基づいて状態(ステート)遷移する状態遷移回路(ステートマシン)を含み、メモリチップ#0全体の動作を制御する。

【0022】

I/O制御部110は、I/O信号ピンIO0-IO7を介してコントローラ20との間でI/O信号を送受信するためのバッファ回路である。I/O制御部110がI/O

10

20

30

40

50

0信号ピンI/O0 - I/O7を介してI/O信号として取り込んだコマンド、アドレス、データ(書き込みデータ)は、夫々、アドレスレジスタ115、コマンドレジスタ114、データレジスタ119に振り分けられて格納される。

【0023】

なお、I/O信号ピンは、ここでは8ビットとしているので、I/O信号ピンを介して一度に8ビットのアドレスを転送することができる。これに対して、コントローラ20から送信されてくるアドレスのビット数は8ビットよりも多い場合が多い。したがって、I/O制御部110には、8ビットのI/O信号ピンを介してアドレスが複数回に分けて送信されてくる。アドレスレジスタ115は、複数回に分けて送信されてきたアドレスを蓄積し、1つに結合する。

10

【0024】

なお、後述するが、結合されたアドレスのうちの上位数ビット(この実施形態では3ビット)は、メモリチップを識別するチップ識別ビットとしてのチップアドレスCADDとして用いられる。すなわち、結合されたアドレスは、上位から、チップアドレスCADD、ロウアドレス、カラムアドレスを含んでいる。チップアドレスCADDは、アドレスレジスタ115から制御部112に入力され、ロウアドレスは、アドレスレジスタ115からロウアドレスバッファ121に入力され、カラムアドレスは、アドレスレジスタ115からカラムアドレスバッファ117に入力される。

【0025】

制御部112は、電圧発生回路113に、発生すべき電圧値、電力供給タイミングを指示する。電圧発生回路113は、制御部112の制御に従って、メモリセルアレイ130およびその周辺回路に電力を供給する。ステータスレジスタ116には、メモリセルアレイに対する書き込みが成功したか否かを示すステータス情報、メモリセルアレイに対する消去が成功したか否かを示すステータス情報などが格納される。これらのステータス情報は、I/O制御部110によってコントローラ20に応答信号として送信される。

20

【0026】

メモリセルアレイ130は、NAND型のメモリセルが配列されて構成されており、ホスト1からのライトデータが格納される。メモリセルアレイ130は、それぞれ複数の物理ブロックを含むプレーン0(plane0)、プレーン1(plane1)の2つの領域(District)に分割されている。プレーン0及びプレーン1は、互いに独立した周辺回路(例えば、ロウデコーダ、カラムデコーダ、ページバッファ、データレジスタ等)を備えており、同時に消去/書き込み/読み出しを行うことが可能である。なお、メモリセルアレイ130は、複数のプレーンに分割されていなくてもよい。

30

【0027】

メモリセルアレイ130は、メモリシステム100の管理情報が格納されるROM領域135を含む。ROM領域135は、メモリセルアレイ130の一部であり、メモリセルアレイ130と同様、NAND型のメモリセルで構成される領域である。ROM領域135は、例えば、メモリチップ#0の製造者またはメモリシステム100の製造者は書き換え可能であるが、メモリシステム100のユーザはアクセス(読み出し、書き込み、消去)することはできない。ROM領域135には、各種の管理情報が記憶される。管理情報の一つに、MCM(multichip module)140と、LUN(Logical Unit Number)145が含まれる。このMCM140と、LUN145については、後で詳述する。

40

【0028】

ロウデコーダ122、カラムデコーダ118、センスアンプ120は、制御部112による制御に基づいて、メモリセルアレイ130に対するアクセスを実行する。ロウデコーダ122は、ロウアドレスに対応するワード線を選択し、選択したワード線を活性化する。カラムデコーダ118は、カラムアドレスに対応するビット線を選択して活性化する。センスアンプ120は、カラムデコーダ118により選択されたビット線に電圧を印加して、ロウデコーダ122が選択したワード線とカラムデコーダ118が選択したビット線との交点に位置するメモリセルトランジスタに、データレジスタ119に格納されている

50

データを書き込む。また、センスアンプ120は、ロウデコーダ122が選択したワード線とカラムデコーダ118が選択したビット線との交点に位置するメモリセルトランジスタに記憶されているデータをビット線を介して読み出し、読み出したデータをデータレジスタ119に格納する。データレジスタ119に格納されたデータは、データ線を通してI/O制御部110に送られ、I/O制御部110からコントローラ20へ転送される。

【0029】

制御部112は、MCMレジスタ140aとLUNレジスタ145aを有している。各メモリチップが電源オンされると、ROM領域135に記憶されていたMCM140およびLUN145が読み出されて、MCMレジスタ140a、LUNレジスタ145aに記憶される。

【0030】

LUNは、各メモリチップを識別するためのnビット(nは2以上の整数)の情報である。各メモリチップは、LUNによってナンバリングされている。LUNは、コントローラ20のチップイネーブル信号CEをアサートにすることにより選択される複数のメモリチップから1つのメモリチップをチップアドレスCADDによって選択する際に、チップアドレスCADDと比較される対象である。この比較の結果、チップアドレスCADDと一致したLUNが設定されているメモリチップが選択される。

【0031】

図1に示すように、メモリパッケージ15はコントローラ20と接続される。メモリパッケージ15のチップイネーブルピンとコントローラ20のチップイネーブルピンが電気的に接続される。コントローラ20の1つのCEピンに接続されるメモリチップのCEピンの個数が予め決められている場合(例えば、2つ)には、その2つのメモリチップを識別するための1ビットのLUNをメモリチップに事前に格納しておけばよい。同様に、コントローラ20の1つのCEピンに接続されるメモリチップのCEピンの個数が4個と予め決められている場合は、4つのメモリチップを識別するための2ビットのLUNをメモリチップに事前に格納しておけばよい。さらに、コントローラ20の1つのCEピンに接続されるメモリチップのCEピンの個数が8個と予め決められている場合は、8つのメモリチップを識別するための3ビットのLUNをメモリチップに事前に格納しておけばよい。

【0032】

本実施形態では、コントローラのCEピンに接続されるメモリチップCEピンの個数が可変であるとする。つまり、コントローラ20をメモリパッケージ15と接続する際に、コントローラ20の複数のCEピンと、メモリパッケージの複数のCEピンとの接続関係を可変にできる(選択できる)ものとする。例えば、コントローラ20とメモリパッケージ15がPCB上で配線接続されてアセンブリされる段階で、コントローラの1つのCEピンに接続されるメモリチップのチップイネーブルピンの数を2個、4個、8個... 2^n 個というように選択できるものとする。詳細は後述するが、本実施形態では、コントローラの1つのCEピンに接続されるメモリチップのチップイネーブルピンの数を2のn乗個まで拡張可能とするためには、各メモリチップに格納されるLUNをnビットのビット情報とする。例えば、コントローラ20の1つのCEピンに接続されるメモリチップ数を16個(=2の4乗)まで拡張可能とするためには、各メモリチップに4ビットのLUNを格納する。

【0033】

本実施形態では、コントローラ20の1つのCEピンに接続されるメモリチップ数を8個(=2の3乗)まで拡張可能なように、図4に示すように、各メモリチップ#0~#15に3ビットのLUNを格納している。図4の各メモリチップ#0~#15の内部に記載されたLUN値は、メモリセルアレイ130のROM領域135に格納されるLUN145を示している。LUNは、前述したように、メモリチップの製造者またはメモリシステム100の製造者が書き換え可能である。図4では、図2に示したように、NAND10を16個のメモリチップで構成した場合のLUN設定の一例を示している。図4においては、CEピンCE0~CE3に接続されるメモリチップ#0~メモリチップ#7をLUN

10

20

30

40

50

= 0 0 0 ~ L U N = 1 1 1 に設定し、同様に C E ピン C E 4 ~ C E 7 に接続されるメモリチップ # 8 ~ メモリチップ # 1 5 を L U N = 0 0 0 ~ L U N = 1 1 1 に設定している。

【 0 0 3 4 】

L U N を 3 ビットとすることで、図 4 に示すメモリパッケージに対して、図 5、図 1 1、図 1 3 に示すような、メモリパッケージとコントローラ 2 0 との接続が可能となる。

【 0 0 3 5 】

このようにコントローラ 2 0 の 1 つの C E ピンに接続されるメモリチップ数を 2 の n 乗個まで拡張可能とした場合、コントローラ 2 0 の複数の C E ピンと、メモリパッケージの複数の C E ピンとの接続関係の変更に応じてコントローラの C E ピンに接続されるメモリチップの C E ピンの個数が異なる。また、コントローラの C E ピンに接続されるメモリチップの C E ピンの個数が異なるということは、メモリチップを識別するために必要な L U N のビット数が異なることを意味する。そこで、n ビットの L U N のビット列中のどのビットを有効とするかを M C M によって決定する。

【 0 0 3 6 】

メモリセルアレイ 1 3 0 の R O M 領域 1 3 5 に格納される M C M 1 4 0 は、L U N のビット列中のどのビットを有効とするかを決定するための情報である。M C M 1 4 0 は、コントローラ 2 0 の 1 つの C E ピンに電氣的に接続されているメモリチップの C E ピンの個数によって決定される。換言すれば、M C M は、コントローラ 2 0 の 1 つの C E ピンに電氣的に接続されているメモリチップの個数によって決定される。コントローラ 2 0 の C E ピンの個数が L 個、メモリパッケージに搭載されているメモリチップの数が M 個である場合、 $M C M = M / L$ で求められる。例えば、コントローラ 2 0 の C E ピンの個数が 4 で、このコントローラ 2 0 に 1 6 個のメモリチップが搭載されるメモリパッケージが接続される場合、メモリパッケージの C E ピンの個数に関係なく、 $M C M = 1 6 / 4 = 4$ となる。従って、M C M は、N A N D 1 0 とコントローラ 2 0 をアセンブリするメモリシステム 1 0 0 の製造者によって決められる。

【 0 0 3 7 】

図 4 に示したように、L U N は 3 ビットであるとする。M C M = 1 の場合は、コントローラ 2 0 の 1 つの C E ピンに 1 個のメモリチップが接続されているので、L U N とチップアドレス C A D D との比較は必要ない。このため、M C M = 1 の場合は、L U N のビット列中の全てのビットを有効ビットとしては認識しない。有効ビットとは、チップアドレス C A D D との比較対象となるビットである。

【 0 0 3 8 】

M C M = 2 場合は、コントローラ 2 0 の 1 つの C E ピンに 2 個のメモリチップが接続されているので、L U N とチップアドレス C A D D との比較により 2 個のメモリチップを識別すればよい。このため、M C M = 2 の場合は、L U N のビット列中の下位 1 ビットを有効ビットとして認識させ、上位 2 ビットは無視する。

【 0 0 3 9 】

M C M = 4 場合は、コントローラ 2 0 の 1 つの C E ピンに 4 個のメモリチップが接続されているので、L U N とチップアドレス C A D D との比較により 4 個のメモリチップを識別すればよい。このため、M C M = 4 の場合は、L U N のビット列中の下位 2 ビットを有効ビットとして認識させ、上位 1 ビットは無視する。

【 0 0 4 0 】

M C M = 8 の場合は、コントローラ 2 0 の 1 つの C E ピンに 8 個のメモリチップが接続されているので、L U N とチップアドレス C A D D との比較により 8 個のメモリチップを識別すればよい。このため、M C M = 8 の場合は、L U N のビット列中の全 3 ビットを有効ビットとして認識させる。

【 0 0 4 1 】

図 5 に、M C M = 2 の場合のメモリシステム 1 0 0 の構成例を示す。メモリパッケージの製造段階では、メモリパッケージの 8 本の C E ピン C E 0 - C E 7 に、コントローラ 2 0 の C E ピンが 1 対 1 に接続されることを想定している。N A N D 1 0 を構成するメモリ

10

20

30

40

50

パッケージ15は、8本のCEピンCE0 - CE7を有し、メモリパッケージ15は16個のメモリチップ#0 ~ #15を内蔵しているため、メモリパッケージ15の製造段階では、MCM = 2に設定される。図5の場合は、コントローラ20のCEピンとメモリパッケージ15のCEピンは1対1に接続されているため、コントローラ20とメモリパッケージ15とのCEピンの配線を行ってメモリシステム100のアセンブリを行った後においても、メモリパッケージ15側からみたチップイネーブル信号の本数に変化はない。このため、メモリシステム100のアセンブリを行った後においても、MCM = 2のままよい。図6の各メモリチップ#0 ~ #15中に記入しているMCM = 2, LUN = 000, ~, 111は、各メモリチップ#0 ~ #15のROM領域135に設定されているMCM140と、LUN145を示している。MCM (MCM = 2) は、アセンブリの前後で変更する必要はない。

10

【0042】

図6は、メモリシステム100の電源オン時における各メモリチップ#0 ~ #15の動作を示すフローチャートである。各メモリチップ#0 ~ #15の制御部112は、電源オンを検出すると(ステップS100)、電圧設定、動作タイミング設定、各種パラメータ設定を含むイニシャライズ処理を実行する(ステップS110)。各メモリチップ#0 ~ #15の制御部112は、ROM領域135に記憶されているMCM140およびLUN145を読み出し(ステップS120)、読み出したMCM140およびLUN145を制御部112内のMCMレジスタ140a、LUNレジスタ145aに記憶する(ステップS130)。これにより、各メモリチップ#0 ~ #15において、MCMレジスタ140aにはMCM = 2が設定され、LUNレジスタ145aには、ROM領域135に記憶されたLUN145が設定される。なお、図6において、MCM、LUNの読み出し、レジスタへの設定を明示するためにイニシャライズS110と別のステップとして、S120、S130はイニシャライズS110の一部であってもよい。

20

【0043】

図7に、読み出し時のタイムチャートの一例を示す。まず、I/O信号線に第1読み出しコマンド(00h)が入力され、その後アドレス信号Add1 ~ Add5が5回に分けて入力され、その後第2読み出しコマンド(30h)が入力される。第2読み出しコマンド(30h)の入力後、制御部112は、レディビジー信号R/Bをビジーにして、指定されたアドレスからの読み出し処理を実行する。メモリセルアレイ130の指定されたアドレスからデータが読み出され、データレジスタ119にセットされると、制御部112は、レディビジー信号R/Bをレディにする。そして、データレジスタ119にセットされたデータは、I/O制御部110によってI/O信号線に出力される。

30

【0044】

図8は、5サイクルで入力されるアドレス信号の一例を示すものである。第1および第2サイクルで入力されるアドレス信号Add1, Add2には、カラムアドレスが含まれている。第3サイクルで入力されるアドレス信号Add3には、ページアドレスが含まれている。第4サイクルで入力されるアドレス信号Add4には、プレーンアドレスおよびブロックアドレスの一部が含まれている。第5サイクルで入力されるアドレス信号Add5には、ブロックアドレスの残りおよびチップアドレスCADDが含まれている。チップアドレスCADDは、3ビットのLUNに対応して、A36 - A38の3ビットで構成されている。

40

【0045】

図9は読み出し時の各メモリチップ#0 ~ #15の動作を示すフローチャートである。各メモリチップ#0 ~ #15のI/O制御部110は、第1読み出しコマンド(00h)を受信して、コマンドレジスタ114にセットする(ステップS210)。コマンドレジスタ114にセットされた第1読み出しコマンド(00h)は、制御部112に入力される。各メモリチップ#0 ~ #15のI/O制御部110は、カラムアドレスを受信して、アドレスレジスタ115にセットする。アドレスレジスタ115にセットされたカラムアドレスは、カラムアドレスバッファ117にバッファリングされる(ステップS220)

50

。各メモリチップ#0～#15のI/O制御部110は、ページアドレス、プレーンアドレス、ブロックアドレスから成るロウアドレスを受信して、アドレスレジスタ115にセットする。アドレスレジスタ115にセットされたロウアドレスは、ロウアドレスバッファ121にバッファリングされる(ステップS230)。

【0046】

各メモリチップ#0～#15のI/O制御部110は、チップアドレスCADDを受信して、アドレスレジスタ115にセットする。アドレスレジスタ115にセットされたチップアドレスCADDは、制御部112に入力される。I/O制御部110は、第2読み出しコマンド(30h)を受信して、コマンドレジスタ114にセットする。コマンドレジスタ114にセットされた第2読み出しコマンド(30h)は、制御部112に入力される(ステップS240)。

10

【0047】

各メモリチップ#0～#15の制御部112は、MCMレジスタ140aに記憶されたMCMを参照する(ステップS250)。MCMレジスタ140aおよびLUNレジスタ145aには、前述したように、各メモリチップ#0～#15の電源のオンの度に、ROM領域135に記憶されているMCM140およびLUN145が読み出されて記憶されている。この場合、図5に示すように、MCM=2である。各メモリチップ#0～#15の制御部112は、MCM値に基づいてLUNレジスタ145aに設定されたLUN3ビットおよびチップアドレスCADD3ビット中の有効ビットを決定する(ステップS260)。この場合は、MCM=2であるので、制御部112は、前述したように、LUNレジスタ145aに設定されたLUN3ビット中の下位1ビットのみを有効ビットとして認識し、また3ビットのチップアドレスCADDの下位1ビットA36のみを有効ビットとして認識し、LUN3ビット中の上位2ビットおよびチップアドレスCADDの上位2ビットA37, A38は無視する。

20

【0048】

各メモリチップ#0～#15の制御部112では、自メモリチップのCEピンに入力されるチップイネーブル信号CEがアサート(この場合はlow)であって、かつLUNの有効ビットとチップアドレスCADDとの有効ビットとの比較結果が一致していた場合に(ステップS270:Yes)、今回の読み出しは自メモリチップに対するものであると判定する。そして、制御部112は、カラムアドレスバッファ117およびロウアドレスバッファ121にバッファリングしたカラムアドレスおよびロウアドレスを用いてメモリセルアレイ130からデータを読み出し、読み出したデータをデータレジスタ119、I/O制御部110を介してI/O信号線に出力する(ステップS280)。一方、制御部112は、チップイネーブル信号CEがネゲート(この場合はhigh)であるか、あるいはLUNの有効ビットとチップアドレスCADDとの有効ビットとの比較結果が一致していない場合は(ステップS270:No)、今回の読み出しは自メモリチップに対するものではないと判定し、読み出し処理を実行しない。

30

【0049】

図10に、書き込み時のタイムチャートの一例を示す。まず、I/O信号線に第1書き込みコマンド(80h)が入力され、その後アドレス信号Add1～Add5が5回に分けて入力され、その後、書き込みデータData-inおよび第2書き込みコマンド(10h)が入力される。第2書き込みコマンド(10h)の入力後、制御部112は、レディビジー信号R/Bをビジーにして、指定されたアドレスに対する書き込み処理を実行する。メモリセルアレイ130の指摘されたアドレスに対してデータ書き込みが行われると、制御部112は、レディビジー信号R/Bをレディにする。

40

【0050】

この書き込み処理の際にも、図9のステップS250～S280で説明したように、MCMレジスタ140aに記憶されたMCM値に基づいてLUNとチップアドレスCADDの有効ビットの選定が行われ、チップイネーブル信号CEがアサートであって、LUNの有効ビットとCADDの有効ビットとの比較が一致した場合に、書き込み処理が行われる

50

【 0 0 5 1 】

つぎに、メモリシステム 1 0 0 の製造者がチップイネーブルピンの数がより少ないコントローラとメモリパッケージとを接続してメモリシステム 1 0 0 を構成する場合について説明する。メモリシステムの製造者は、図 4 に示した NAND 1 0 を構成するメモリパッケージ 1 5 と、図 1 1 に示したコントローラ 2 0 とを用いて、図 1 1 に示すメモリシステム 1 0 0 をアセンブリするとする。図 4 に示したメモリパッケージ 1 5 では、8 本の CE ピン CE 0 - CE 7 と、1 6 個のメモリチップ # 0 ~ # 1 5 を有するので、メモリパッケージ 1 5 の製造者によって、アセンブリ前は MCM = 2 に設定されている。また、各メモリチップ # 0 ~ # 1 5 の ROM 領域 1 3 5 に設定されている LUN は、図 1 1 に示すように、アセンブリ前は、NAND 1 0 の製造者によって LUN = 0 0 0 , ~ , 1 1 1 に設定されている。

10

【 0 0 5 2 】

図 1 1 に示すコントローラ 2 0 は、4 本の CE ピン CE 0 - CE 3 を有する。コントローラ 2 0 は、4 本の CE ピン CE 0 - CE 3 を有しており、メモリパッケージ 1 5 は 1 6 個のメモリチップ # 0 ~ # 1 5 を有し、8 本のチップイネーブルピン CE 0 - CE 7 を有するので、コントローラ 2 0 とメモリパッケージ 1 5 を接続する場合、コントローラ 2 0 の 1 つの CE ピンに、4 個のメモリチップが接続されることになり、MCM = 4 となる。

【 0 0 5 3 】

そこで、メモリシステム 1 0 0 の製造者は、

20

(a) メモリパッケージ 1 5 に含まれる全てのメモリチップ # 0 ~ # 1 5 の ROM 領域 1 3 5 の MCM 1 4 0 を MCM = 4 に変更設定すること

(b) MCM = 4 となるように PCB 上で、コントローラ 2 0 の CE ピン CE 0 - CE 3 とメモリパッケージ 1 5 の CE ピン CE 0 - CE 7 の配線接続を行って、メモリシステム 1 0 0 をアセンブリすること

を行う。但し、メモリシステム 1 0 0 の製造者は、LUN 1 4 5 の設定変更を行う必要はない。

【 0 0 5 4 】

第 1 の手法では、まず (a) の手順を行って、その後に (b) の手順を行う。図 1 2 は、第 1 の手法の作業手順を示すものである。メモリシステム 1 0 0 の製造者は、メモリセル領域にアクセス可能なテスト装置を使用して、メモリパッケージ 1 5 の各メモリチップ # 0 ~ # 1 5 の ROM 領域 1 3 5 の MCM 1 4 0 を MCM = 2 から MCM = 4 に変更設定する (ステップ S 3 0 0)。ROM 領域 1 3 5 の MCM 1 4 0 は、図 6 に示したように、メモリパッケージ 1 5 の起動の度に、MCM レジスタ 1 4 0 a にセットされるので、各メモリチップ # 0 ~ # 1 5 の MCM レジスタ 1 4 0 a の MCM 値を MCM = 4 に変更設定することができる。この後、メモリシステム 1 0 0 の製造者は、コントローラ 2 0 の 4 本の CE ピン CE 0 - CE 3 と、メモリパッケージ 1 5 の 8 本の CE ピン CE 0 - CE 7 を、図 1 1 に示したように、PCB 上で 1 対 2 となるように、配線接続する (ステップ S 3 1 0)。すなわち、コントローラ 2 0 の CE 0 をメモリパッケージ 1 5 の CE 0 および CE 1 に共通接続し、コントローラ 2 0 の CE 1 をメモリパッケージ 1 5 の CE 2 および CE 3 に共通接続し、コントローラ 2 0 の CE 2 をメモリパッケージ 1 5 の CE 4 および CE 5 に共通接続し、コントローラ 2 0 の CE 3 をメモリパッケージ 1 5 の CE 6 および CE 7 に共通接続する。

30

40

【 0 0 5 5 】

第 2 の手法では、まず (b) の手順を行って、その後に (a) の手順を行う。すなわち、メモリシステム 1 0 0 の製造者は、コントローラ 2 0 の 4 本の CE ピン CE 0 - CE 3 と、メモリパッケージ 1 5 の 8 本の CE ピン CE 0 - CE 7 を、図 1 1 に示したように、PCB 上で 1 対 2 となるように配線接続するアセンブリの変更を行う。その後、メモリシステム 1 0 0 の製造者は、コントローラ 2 0 から所定のコマンド、アドレス、データをメモリパッケージ 1 5 に送信することで、メモリパッケージ 1 5 の各メモリチップ # 0 ~ #

50

15のROM領域135のMCM140をMCM=2からMCM=4に変更設定する。ROM領域135のMCM140は、図6に示したように、メモリパッケージ15の起動の度に、MCMレジスタ140aにセットされるので、各メモリチップ#0~#15のMCMレジスタ140aのMCM値をMCM=4に変更設定することができる。

【0056】

図11のメモリシステム100の読み出し時、書き込み時には、各メモリチップ#0~#15の制御部112は、MCMレジスタ140aに記憶されたMCM値を参照する(図9のステップS250)。この場合、MCM=4であるので、制御部112は、前述したように、LUNレジスタ145aに設定されたLUN3ビット中の下位2ビットを有効ビットとし、また3ビットのチップアドレスCADDの下位2ビットA36, A37を有効ビットとし、LUN3ビットの上位1ビットおよびチップアドレスCADDの上位1ビットA38は無視する(ステップS260)。

10

【0057】

各メモリチップ#0~#15の制御部112では、自メモリチップに入力されるチップイネーブル信号CEがアサート(この場合はlow)であって、かつLUNの有効ビットとチップアドレスCADDとの有効ビットとの比較が一致していた場合に(ステップS270:Yes)、読み出し処理、書き込み処理を実行する(ステップS280)。一方、制御部112は、チップイネーブル信号CEがネゲート(この場合はhigh)であるか、あるいはLUNの有効ビットとチップアドレスCADDとの有効ビットとが一致していない場合は(ステップS270:No)、読み出し処理、書き込み処理を実行しない。

20

【0058】

つぎに、図13を用いて、メモリシステム100の製造者による他のアセンブリ例を説明する。メモリシステム100の製造者は、図4に示したNAND10を構成するメモリパッケージ15と、図13に示したコントローラ20とを用いて、図13に示すメモリシステム100をアセンブリするとする。図4に示したメモリパッケージ15では、前述したように、アセンブリ前はMCM=2に設定されている。また、各メモリチップ#0~#15のROM領域135に設定されているLUNは、図17に示すように、アセンブリ前は、LUN=000, ~, 111に設定されている。

【0059】

図13示すコントローラ20は、2本のCEピンCE0, CE1を有する。コントローラ20は、2本のCEピンCE0, CE1を有しており、メモリパッケージ15は16個のメモリチップ#0~#15を有し、8本のチップイネーブルピンCE0-CE7を有するので、コントローラ20とメモリパッケージ15を接続する場合、コントローラ20の1つのチップイネーブルピンに、8個のメモリチップが接続されることになり、MCM=8となる。

30

【0060】

そこで、メモリシステム100の製造者は、前述したように、

(a)メモリパッケージ15に含まれる全てのメモリチップ#0~#15のROM領域135のMCM140をMCM=8に変更設定すること

(b)MCM=8となるようにPCB上で、コントローラ20のCEピンCE0, CE1とメモリパッケージ15のCEピンCE0-CE7の配線を行って、メモリシステム100をアセンブリすること

40

を行う。但し、メモリシステム100の製造者は、LUN145の設定変更を行う必要はない。前述したように、(a)、(b)の順番はどちらを先にしても良い。

【0061】

図13のメモリシステム100においても、図10に示したように、電源オンの際には、各メモリチップ#0~#15の制御部112は、メモリセルアレイのROM領域135に記憶されているMCM140およびLUN145を読み出し、読み出したMCM140およびLUN145を制御部112内のMCMレジスタ140a、LUNレジスタ145aに記憶設定する。これにより、各メモリチップ#0~#15において、MCMレジスタ

50

140aにはMCM = 8が設定され、LUNレジスタ145aには、ROM領域135に記憶されたLUN145が設定される。

【0062】

図13のメモリシステム100の読み出し時、書き込み時には、各メモリチップ#0～#15の制御部112は、MCMレジスタ140aに記憶されたMCM値を参照する(図9のステップS250)。この場合、MCM = 8であるので、制御部112は、前述したように、LUNレジスタ145aに設定されたLUN3ビット中の全3ビットを有効ビットとし、また3ビットのチップアドレスCADDの全ビットA36, A37, A38を有効ビットとする(ステップS260)。

【0063】

各メモリチップ#0～#15の制御部112では、自メモリチップに入力されるチップイネーブル信号CEがアサート(この場合はlow)であって、かつLUNの有効ビットとチップアドレスCADDとの有効ビットとが一致していた場合に(ステップS270:Yes)、読み出し処理、書き込み処理を実行する(ステップS280)。一方、制御部112は、チップイネーブル信号CEがネゲート(この場合はhigh)であるか、あるいはLUNの有効ビットとチップアドレスCADDとの有効ビットとが一致していない場合は(ステップS270:No)、読み出し処理、書き込み処理を実行しない。

【0064】

図14は、図2に示したメモリパッケージ15の内部構成例を示す断面図である。図15は、メモリパッケージ15の一部の内部構成例を示す斜視図である。図16は、メモリパッケージ15の裏面を示す平面図である。図14に示すように、本実施の形態の半導体パッケージ15は、配線基板7と、配線基板7上に積層された16枚のメモリチップ#0～#15と、ボンディングワイヤ9と、メモリチップ#0～#15およびボンディングワイヤ9を樹脂封止する樹脂封止体8と、配線基板7の裏面に格子状に配列するように形成されたはんだボール50とから構成されている。この実施形態では、第1スタックにはメモリチップ#0が搭載され、第2スタックにはメモリチップ#2が搭載され、第3スタックにはメモリチップ#1が搭載され、第4スタックにはメモリチップ#3が搭載され、...、第13スタックにはメモリチップ#12が搭載され、第14スタックにはメモリチップ#14が搭載され、第15スタックにはメモリチップ#13が搭載され、第16スタックにはメモリチップ#15が搭載されている。

【0065】

はんだボール15がメモリパッケージ15の入出力ピンであり、図16に示すように、これらの入出力ピン中にメモリパッケージ15のCEピン(CE0～CE7)が含まれている。メモリパッケージ15の8つのCEピンCE0～CE7は、丸線で囲んで示している。図16では、図2に示した8つのCEピンCE0～CE7を含む272個の入出力ピンがレイアウトされている。図16において、Vccは電源電位ピン、Vssは接地電位ピン、NUは未使用ピン、NCは未接続ピンである。

【0066】

ボンディングワイヤ9は、積層されたメモリチップ#0～#15の端辺部に設けられたチップパッド26と配線基板7の端辺部に設けられたボンディングパッド27とを電氣的に接続する。チップパッド26がメモリチップの入出力ピンである。ボンディングパッド27は、配線基板7の表面及び裏面に形成された配線パターンによりはんだボール50と電氣的に接続されている。表面に形成されたパターンと裏面に形成された配線パターンは、スルーホール23により接続されている。

【0067】

図2では、メモリパッケージ15においては、メモリパッケージ15の1つのCEピンは、内部配線5によって2つのメモリチップのCEピンと電氣的に接続されているとした。図15は、内部配線5を実現する実装配線の一例を示すものである。第1スタックのメモリチップ#0のCEピンとしてのチップパッド26CEと、第3スタックのメモリチップ#1のCEピンとしてのチップパッド26CEとを、ボンディングワイヤ9によって同

10

20

30

40

50

一のボンディングパッド27CEに電氣的に接続している。このボンディングパッド27CEは、配線基板7の配線パターン、スルーホール23を介して、図16に示す、メモリパッケージ15のCEピンCE0に接続されている。同様の配線接続を行うことで、メモリパッケージ15の8つのCEピンCE0～CE7が、16個のメモリチップのCEピンに接続されることになる。

【0068】

なお、メモリチップのCEピンとしてのチップパッド26CEと、ボンディングパッド27との接続を1対1とし、ボンディングパッド27とCEピンとしてのんだボール50との接続をn対1とするように配線基板7の配線パターンを形成することで、内部配線5を実現するようにしてもよい。

10

【0069】

このようにこの第1の実施形態では、MCM値に基づきLUNおよびチップアドレスの有効ビットを選択し、選択したLUNの有効ビットとチップアドレスの有効ビットの比較に基づき自メモリチップへのアクセスか否かを判定できるようにしたので、異なるMCMの場合でもメモリパッケージ内の各メモリチップのLUN設定を共用化することができ、これにより、製品ラインアップが削減され、コストダウンに寄与する。また、MCM値が登録設定された後のメモリシステムの製造段階で、チップイネーブル配線数を減少させる実装変更を行うことが可能となる。また、実装変更の際の、設定変更作業もMCM値の変更のみで済み、実装変更を簡便かつ効率よく行うことが可能となる。

【0070】

20

(第2の実施形態)

第2の実施形態においては、メモリシステム100の電源オンの度に、コントローラ20がMCMレジスタ140aの設定値を再設定するように、コントローラ20の制御シーケンスを変更する。

【0071】

第2の実施形態の各メモリチップ#0～#15の内部構成は図3に示したものと同じである。図17は、第2の実施形態におけるメモリシステム100の電源オン時における各メモリチップ#0～#15の動作例を示すフローチャートである。各メモリチップ#0～#15の制御部112は、電源オンを検出すると(ステップS400)、イニシャライズ処理を実行する(ステップS410)。各メモリチップ#0～#15の制御部112は、ROM領域135に記憶されているLUN145を読み出し(ステップS420)、読み出したLUN145を制御部112内のLUNレジスタ145aに記憶する(ステップS430)。これにより、各メモリチップ#0～#15において、LUNレジスタ145aには、ROM領域135に記憶されたLUN145が設定される。このように、第2の実施形態においては、電源オン時、LUN145のみがLUNレジスタ145aに設定され、MCMはMCMレジスタ140aには設定されない。

30

【0072】

図18は、メモリシステム100のコントローラ20の電源オン時の動作手順を示すものである。コントローラ20は、電源のオンを検出すると(ステップS500)、以下の処理を含むイニシャライズシーケンスを実行する。まず、コントローラ20の全てのCEピンをアサートとし(ステップS510)、さらにMCMを任意の値に設定するためのブロードキャストコマンドをNAND10に出力する(ステップS530)。このブロードキャストコマンドによって、NAND10内の全メモリチップ#0～#15内のMCMレジスタ140aを一斉に、任意の値に設定することが可能となる(ステップS530)。

40

【0073】

なお、第2の実施形態においては、図19に示すような内部構成を有するメモリチップ#0～#15を採用することも可能である。図19においては、電源電圧V_{ss}および接地電圧V_{cc}への接続態様でLUN値をハードウェア的に固定設定するLUN設定回路125を内蔵させ、LUN設定回路125への設定値でLUNレジスタ145aのレジスタ値を設定する。この場合、電源オン時に、ROM領域135に記憶されたLUN145を

50

読み出してLUNレジスタ145aに記憶する処理は行わない。

【0074】

この第2の実施形態のメモリシステムによれば、メモリシステム100の製造者がチップイネーブルの配線変更を行う場合、実際の配線変更作業の他に、MCMレジスタ値を再設定するためのイニシャライズシーケンスの変更処理を行うだけでよく、実装変更を簡便かつ効率よく行うことが可能となる。

【0075】

(第3の実施形態)

第3の実施形態では、MCMの変更に応じたIDコード出力を行うようにしている。NAND10は、IDコード出力という基本的な機能を持っている。コントローラ20からのIDコード読み出し要求に応じて、各メモリチップ#0~#15は、製造者、プレーン数、電源電圧値などを含むIDコード情報を、コントローラ20に出力する。このIDコード情報の一つに、チップイネーブルCE当たりのメモリ容量を示す情報値がある。以下、この情報値を容量/CE情報という。そこで、第3の実施形態では、MCMの変更に応じた容量/CE情報を出力する。

10

【0076】

図20は、第3の実施形態における各メモリチップ#0~#15の内部構成例を示すものである。図20では、IDコードレジスタ126が追加されている。制御部112から出力されるIDコードはIDコードレジスタ126に一時記憶され、その後I/O制御部110を介してコントローラ20に出力される。

20

【0077】

図21に、リードIDオペレーション時のタイムチャートの一例を示す。まず、コントローラ20はI/O信号線に、リードIDコードコマンド(90h)を出力し、その後アドレス信号(00h)を出力する。このリードIDコードコマンドおよびアドレス信号を受信した各メモリチップの制御部112は、製造者、プレーン数、電源電圧値、容量/CE情報などを含む複数のIDコード情報をIDコードレジスタ126に一時記憶する。I/O制御部110は、複数のIDコード情報を複数サイクルに分けてコントローラ20に出力する。

【0078】

図22は、リードIDコードコマンドを受信したときの制御部112の動作例を示すフローチャートである。制御部112には、複数の異なるMCM値に対応して、異なる値の容量/CE値が出力されるようなロジックが組まれている。制御部112は、リードIDコードコマンドを受信すると、MCMレジスタ140aに記憶されているMCM値を参照する(ステップS600)。そして、制御部112は、一つのメモリチップの記憶容量が32Gbで16個のメモリチップを含むメモリパッケージの場合、参照したMCM値が2であるときは(ステップS610)、チップイネーブル当たりの記憶容量値が例えば64Gbであることを示す容量/CE値(例えばDFh)を出力し(ステップS620)、MCM値が4であるときは(ステップS630)、前記記憶容量値が例えば128Gbであることを示す容量/CE値(例えば3Ah)を出力し(ステップS640)、MCM値が8であるときは(ステップS650)、前記記憶容量値が例えば256Gbであることを示す容量/CE値(例えば3Ch)を出力する(ステップS660)。制御部112は、容量/CE値を例えば2サイクル目のIDコード情報として、IDコードレジスタ126に出力する。この結果、MCM値に対応した値をもつ容量/CE値が、他のIDコード情報とともにコントローラ20に出力される。

30

40

【0079】

このようにこの第3の実施形態においては、IDコード読み出し要求がコントローラ20から入力された場合、制御部112はMCMレジスタ140aを参照し、MCMレジスタ140aに設定されたMCM値に対応する容量/CE値を出力することとしているので、MCM値が変更された場合も、変更されたMCM値に対応する容量/CE値をコントローラ20に出力することが可能となる。

50

【0080】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

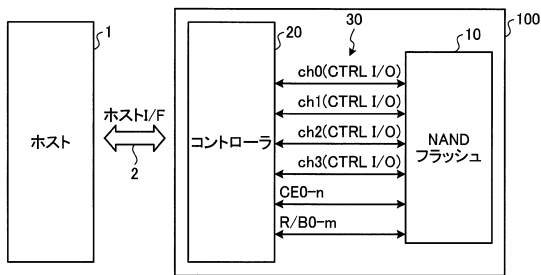
【0081】

1 ホスト装置、2 ホストインタフェース、#0～#15 メモリチップ、7 配線基板、8 封止樹脂、9 ボンディングワイヤ、10 NANDフラッシュ、15 メモリパッケージ、20 コントローラ、23 スルーホール、26 チップパッド、27 ボンディングパッド、30 NANDインタフェース、40 樹脂封止体、50 はんだボール、100 メモリシステム、110 I/O制御部、111 論理制御部、112 制御部、113 電圧発生回路、114 コマンドレジスタ、115 アドレスレジスタ、116 ステータスレジスタ、117 カラムアドレスバッファ、118 カラムデコーダ、119 データレジスタ、120 センスアンプ、121 ロウアドレスバッファ、122 ロウデコーダ、125 LUN設定回路、126 IDコードレジスタ、130 メモリセルアレイ、135 ROM 領域、140 MCM、140a MCMレジスタ、145 LUN、145a LUNレジスタ。

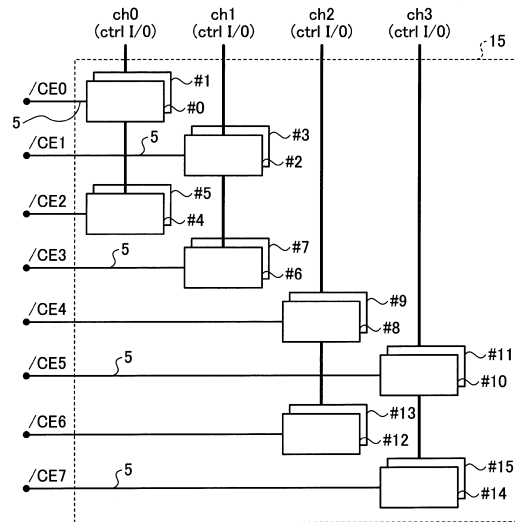
10

20

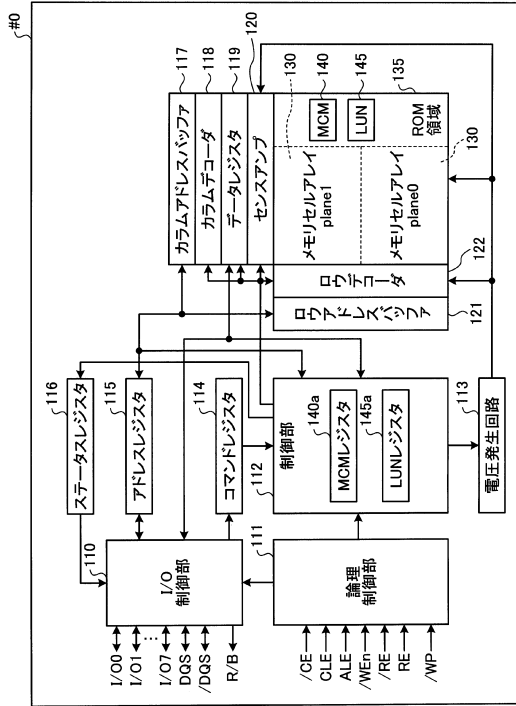
【図1】



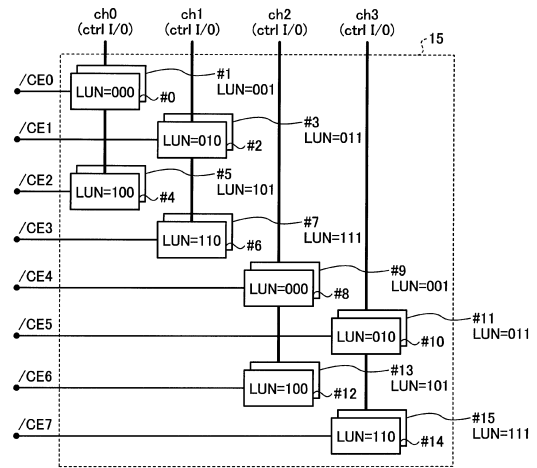
【図2】



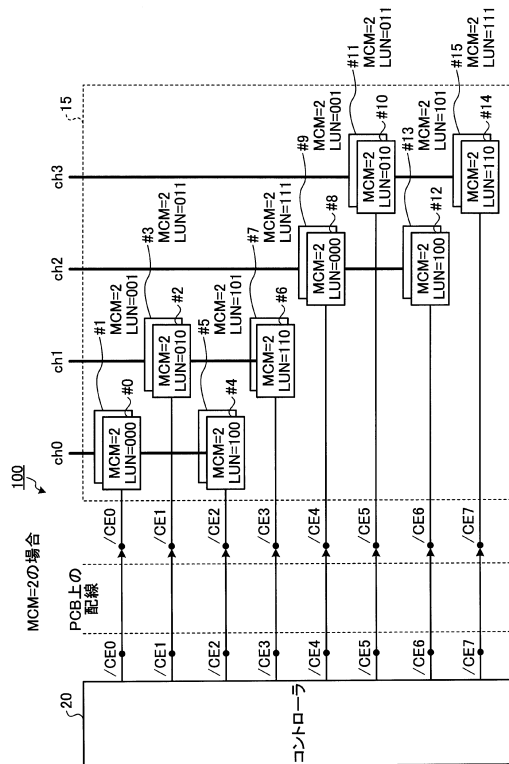
【図3】



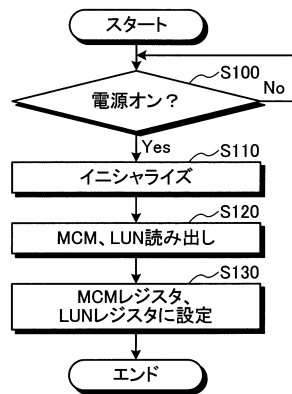
【図4】



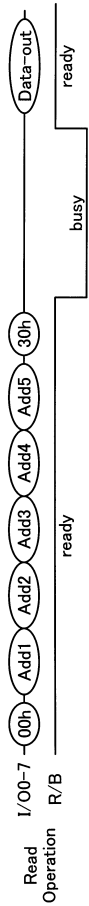
【図5】



【図6】



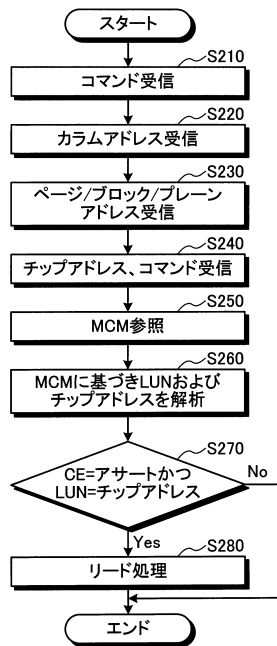
【 図 7 】



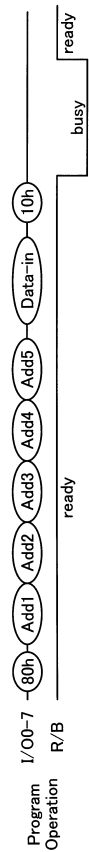
【 図 8 】

input cycle	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
Add1	1	A7	A6	A5	A4	A3	A2	A1
	A14-A0: column address							
Add2	2	A15	A14	A13	A12	A11	A10	A9
	don't care	A14-A0: column address						
Add3	3	A23	A22	A21	A20	A19	A18	A17
	A23-A16: page address							
Add4	4	A31	A30	A29	A28	A27	A26	A25
	A35-A25: block address							plane
Add5	5	A39	A38	A37	A36	A35	A34	A33
	don't care	A38-A36: chip address			A35-A25: block address			

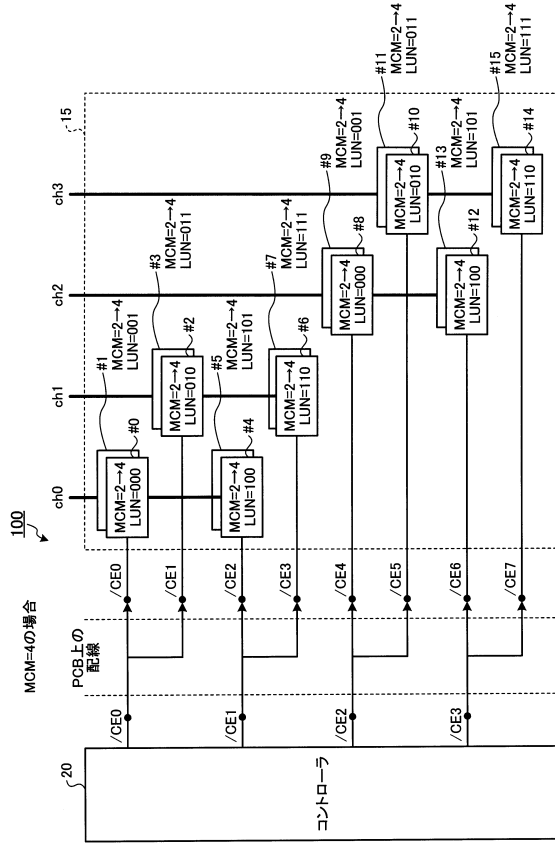
【 図 9 】



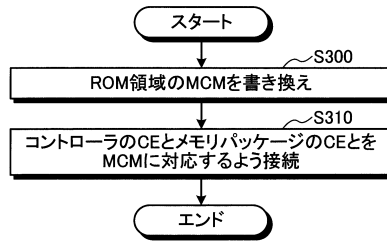
【 図 10 】



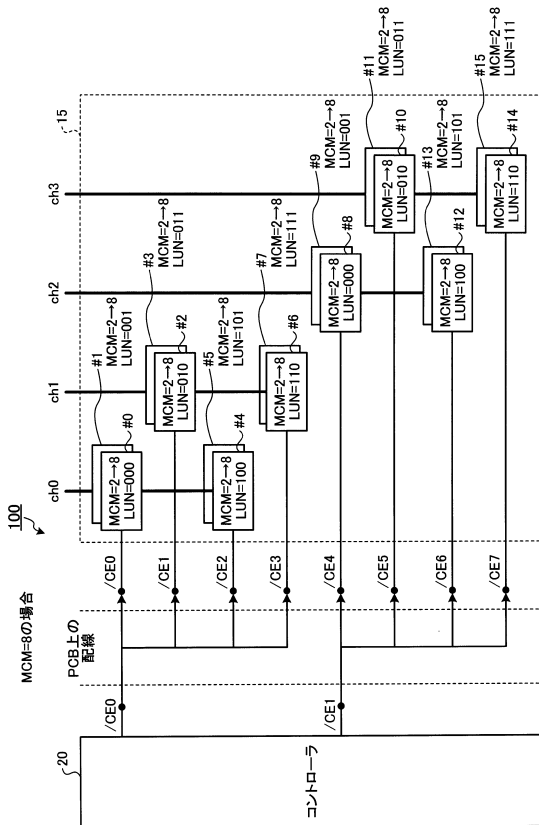
【図11】



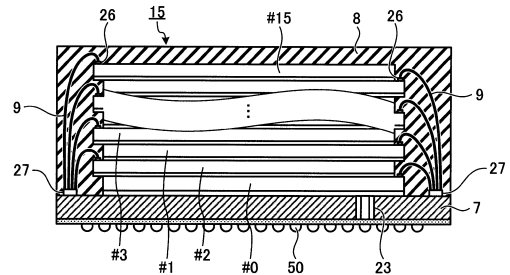
【図12】



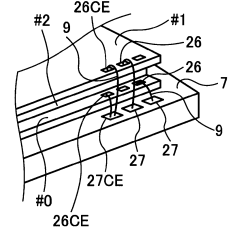
【図13】



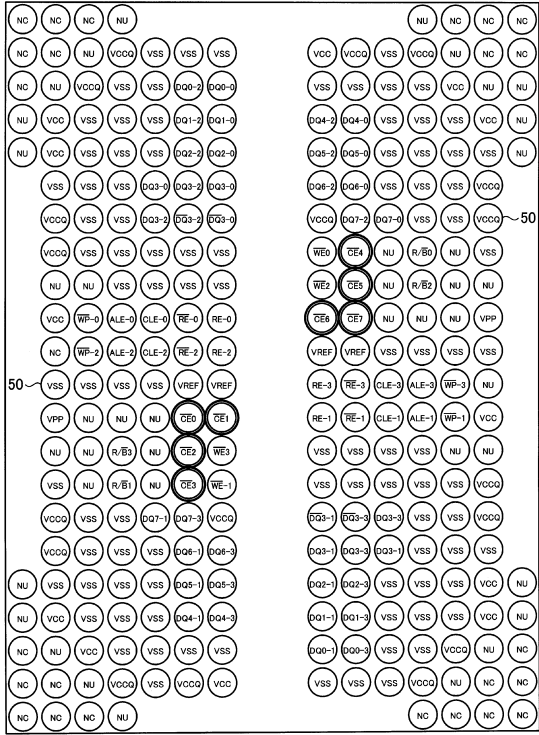
【図14】



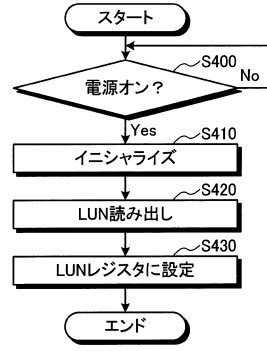
【図15】



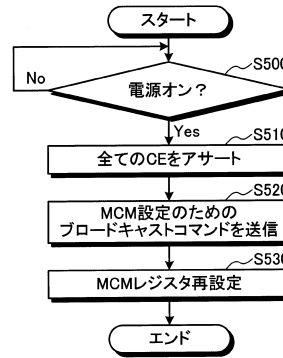
【図16】



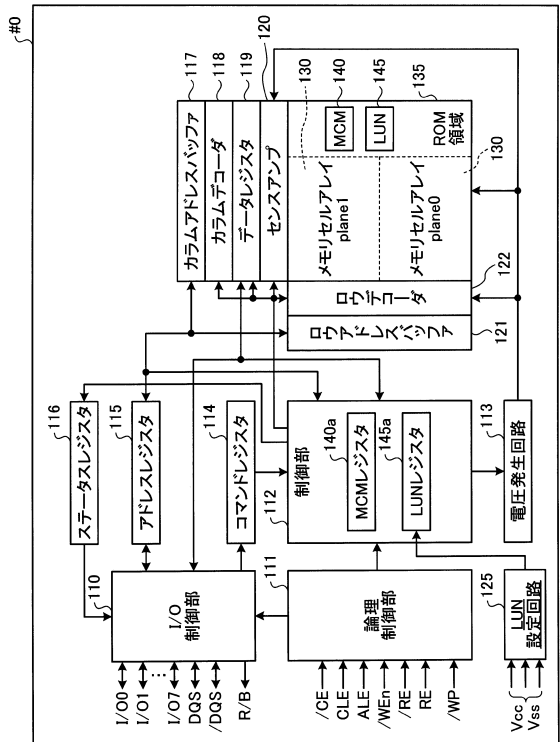
【図17】



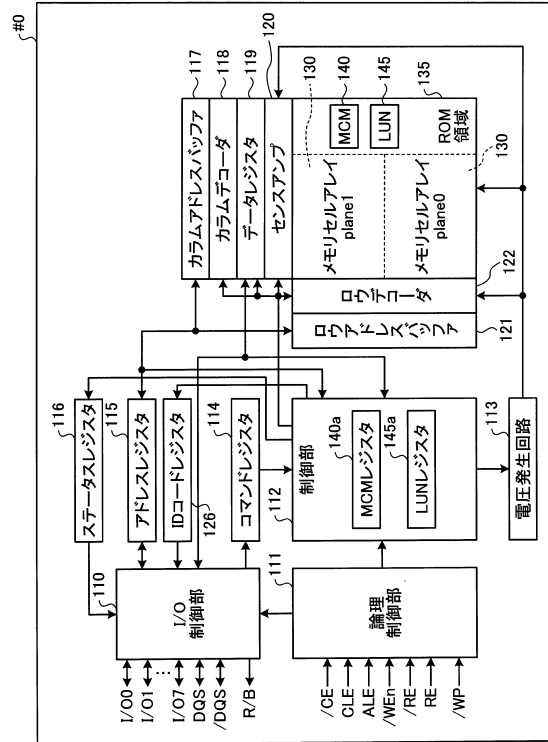
【図18】



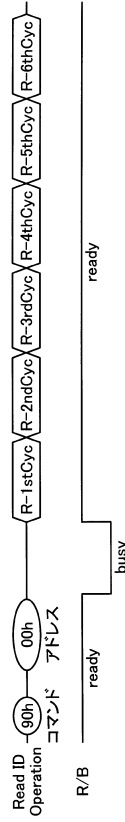
【図19】



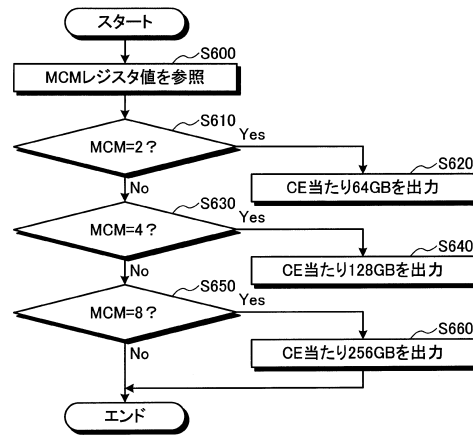
【図20】



【図 2 1】



【図 2 2】



フロントページの続き

- (56)参考文献 特開2013-200595(JP,A)
特開平03-050755(JP,A)
米国特許出願公開第2013/0279253(US,A1)
特開2011-090349(JP,A)
特開2000-105725(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G06F 12/06