



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월15일
(11) 등록번호 10-1155451
(24) 등록일자 2012년06월05일

(51) 국제특허분류(Int. Cl.)
G11C 11/401 (2006.01) G11C 11/4094 (2006.01)
(21) 출원번호 10-2011-0087736
(22) 출원일자 2011년08월31일
심사청구일자 2011년08월31일
(56) 선행기술조사문헌
KR100990468 B1
US7751263 B2
US7164611 B2

(73) 특허권자
테세라, 인코포레이티드
미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025
(72) 발명자
패리스 마이클
미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025 테세라 인코포레이티드
(74) 대리인
유미특허법인

전체 청구항 수 : 총 32 항

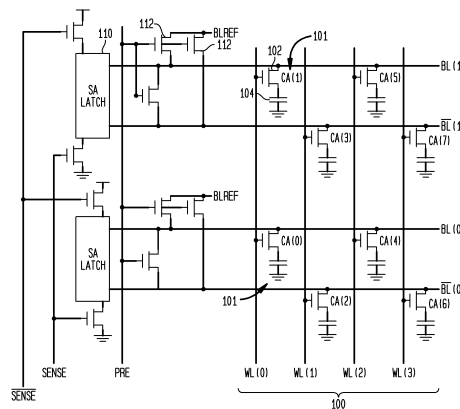
심사관 : 장호근

(54) 발명의 명칭 DRAM 보안 소거

(57) 요약

메모리는 메모리 셀, 워드라인, 및 상기 메모리 셀에 연결된 비트라인을 포함하는 DRAM 어레이 및 센스 앰프를 포함한다. 메모리는 DRAM 어레이의 워드라인이 활성화 상태로 설정되는 방법을 수행하도록 구성된다. 워드라인이 활성화 상태인 동안, 워드라인이 연결된 메모리 셀과 각각의 비트라인 사이에서 흐르는 전하에 따라서 각각의 비트라인 상의 신호가 증가한다. 센스 앰프는 각각의 비트라인에 연결되어 있고, 신호를 저장 가능한 신호 레벨로 증폭하지 않도록 비활성 상태로 유지된다. 그리고 워드라인이 다시 비활성 상태로 설정되면, 불충분한 전하가 상기 메모리 셀에 남아 있어, 워드라인에 연결된 메모리 셀에 저장된 데이터가 소거된다. 이 방법은 선택된 범위 내에 저장된 데이터를 소거하도록, DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 반복 실행된다.

대표도 - 도1



특허청구의 범위

청구항 1

동적 랜덤 액세스 메모리(dynamic random access memory: DRAM) 어레이(array)에 저장된 데이터를 소거하는 방법으로서,

(a) 상기 DRAM 어레이의 워드라인(wordline)을 활성화 상태로 설정하여, 워드라인이 연결된 메모리 셀(memory cell)에 저장된 데이터에 따라서 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인(bitline) 사이에서 전하가 흐르도록 하는 단계로서, 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인 사이에서 흐르는 전하에 따라서 상기 각각의 비트라인 상의 신호가 증가하는, 전하가 흐르도록 하는 단계;

(b) 상기 각각의 비트라인에 연결된 센스 앰프(sense amplifier)가 상기 신호를 저장 가능한 신호 레벨로 증폭하지 않도록 상기 각각의 비트라인에 연결된 센스 앰프를 비활성 상태로 유지하면서, 상기 워드라인에 연결된 상기 메모리 셀에 데이터를 표현하기에 불충분한 전하가 유지되도록 상기 워드라인을 비활성 상태로 설정하여, 상기 워드라인에 연결된 상기 메모리 셀에 저장된 데이터를 소거하는 단계; 및

(c) 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 단계 (a) 및 (b)를 반복하는 단계

를 포함하는 DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 2

제1항에 있어서,

단계 (c)의 상기 선택된 범위는 상기 DRAM 어레이의 전체이고, 상기 선택된 범위 내의 데이터를 소거하는 것은 상기 DRAM 어레이의 전체에 저장된 데이터를 소거하는 것인,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 3

제1항에 있어서,

단계 (c)의 상기 선택된 범위는 상기 DRAM 어레이의 전체보다 작은,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 4

제1항에 있어서,

단계 (a)는, 어드레스 카운터(address counter)를 사용하여 상기 워드라인을 선택하는 단계를 더 포함하는,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 5

제4항에 있어서,

상기 어드레스 카운터는 리프레쉬 어드레스 카운터(refresh address counter)인,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 6

제1항에 있어서,

단계 (a)의 이전에, 상기 비트라인을 제1 전압 레벨로 프리차징(precharging)하는 단계를 더 포함하는,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 7

제6항에 있어서,

상기 제1 전압 레벨은, 상기 워드라인에 연결된 상기 메모리 셀에 저장된 "1" 및 "0"을 각각 나타내는 높은 신호 전압 레벨 및 낮은 신호 전압 레벨 사이의 중간 레벨인,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 8

제7항에 있어서,

상기 비트라인을 프리차징하는 단계는 상기 비트라인에 연결된 프리차지 디바이스(precharge device)를 활성화 상태로 설정하는 방법으로 수행되고,

상기 데이터를 소거하는 방법은, 상기 센스 앰프가 비활성 상태로 유지되는 동안 상기 비트라인에 연결된 프리차지 디바이스를 비활성 상태로 유지하는 단계를 더 포함하는,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 9

제1항에 있어서,

상기 데이터 저장 소자는 커패시터를 포함하는,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 10

동적 랜덤 액세스 메모리(DRAM) 어레이에 저장된 데이터를 소거하는 방법으로서,

(a) 상기 DRAM 어레이의 비트라인에 연결된 프리차지 디바이스를 활성화 상태로 유지하여 상기 비트라인을 하나 이상의 소정 전압 레벨로 유지하면서, 상기 DRAM 어레이의 워드라인을 활성화 상태로 설정하여, 상기 워드라인에 연결된 메모리 셀에 저장된 데이터에 관계없이, 상기 메모리 셀의 전압이 상기 하나 이상의 소정 전압 레벨로 충전되는 단계;

(b) 상기 비트라인에 연결된 센스 앰프를 비활성 상태로 유지시키면서, 상기 메모리 셀이 상기 하나 이상의 소정 전압 레벨에 따라 전하를 저장하도록 상기 워드라인을 비활성 상태로 설정하여, 상기 메모리 셀에 저장되어 있는 데이터를 소거하는 단계; 및

(c) 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 단계 (a) 및 (b)를 반복하는 단계

를 포함하는 DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 11

제10항에 있어서,

단계 (c)의 상기 선택된 범위는 상기 DRAM 어레이의 전체이고, 상기 선택된 범위 내의 데이터를 소거하는 것은 상기 DRAM 어레이의 전체에 저장된 데이터를 소거하는 것인,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 12

제10항에 있어서,

단계 (c)의 상기 선택된 범위는 상기 DRAM 어레이의 전체보다 작은,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 13

제10항에 있어서,

단계 (a)는, 어드레스 카운터(address counter)를 사용하여 상기 워드라인을 선택하는 단계를 더 포함하는, DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 14

제13항에 있어서,

상기 어드레스 카운터는 리프레쉬 어드레스 카운터(refresh address counter)인, DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 15

제10항에 있어서,

상기 하나 이상의 소정 전압 레벨은 공급 전압 레벨인, DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 16

제10항에 있어서,

상기 하나 이상의 소정 전압 레벨은 기준 전압 레벨(reference voltage level)인, DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 17

제10항에 있어서,

상기 하나 이상의 소정 전압 레벨은, 공급 전압 레벨과 기준 전압 레벨의 평균값과 동일한 중간 레벨에 대응하는,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 18

제10항에 있어서,

상기 DRAM 어레이의 비트라인에 연결된 프리차지 디바이스를 활성 상태로 유지하여 상기 비트라인을 하나 이상의 소정 전압 레벨로 유지하는 단계는, 상기 비트라인의 일부를 제1 소정 전압 레벨로 유지하고 상기 비트라인의 상기 일부를 제외한 나머지를 상기 제1 소정 전압 레벨과는 다른 제2 소정 전압 레벨로 유지하는,

DRAM 어레이에 저장된 데이터를 소거하는 방법.

청구항 19

동적 랜덤 액세스 메모리(DRAM) 어레이를 포함하는 메모리(memory)로서,

메모리 셀, 워드라인, 및 상기 메모리 셀에 연결된 비트라인을 포함하는 DRAM 어레이; 및

센스 앰프를 포함하고,

상기 메모리는,

(a) 상기 DRAM 어레이의 워드라인을 활성 상태로 설정하여, 상기 워드라인이 연결된 메모리 셀에 저장된 데이터에 따라서 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인(bitline) 사이에서 전하가 흐르도록 하는 단계로서, 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인 사이에서 흐르는 전하에 따라서 상기 각각의 비트라인 상의 신호가 증가하는, 전하가 흐르도록 하는 단계;

(b) 상기 각각의 비트라인에 연결된 센스 앰프(sense amplifier)가 상기 신호를 저장 가능한 신호 레벨로 증폭하지 않도록 상기 각각의 비트라인에 연결된 센스 앰프를 비활성 상태로 유지하면서, 상기 워드라인에 연결

된 상기 메모리 셀에 데이터를 표현하기에 불충분한 전하가 유지되도록 상기 워드라인을 비활성 상태로 설정하여, 상기 워드라인에 연결된 상기 메모리 셀에 저장된 데이터를 소거하는 단계; 및

(c) 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 단계 (a) 및 (b)를 반복하는 단계

을 포함하는 동작을 수행하도록 구성되는,
메모리.

청구항 20

제19항에 있어서,

단계 (c)의 상기 선택된 범위는 상기 DRAM 어레이의 전체이고, 상기 선택된 범위 내의 데이터를 소거하는 것은 상기 DRAM 어레이의 전체에 저장된 데이터를 소거하는 것인,

메모리.

청구항 21

제19항에 있어서,

단계 (c)의 상기 선택된 범위는 상기 DRAM 어레이의 전체보다 작은,

메모리.

청구항 22

제19항에 있어서,

단계 (a)는, 상기 메모리의 어드레스 카운터(address counter)를 사용하여 상기 워드라인을 선택하는 단계를 더 포함하는,

메모리.

청구항 23

제22항에 있어서,

상기 메모리는 리프레쉬 어드레스 카운터를 포함하고, 상기 어드레스 카운터는 상기 리프레쉬 어드레스 카운터인,

메모리.

청구항 24

제19항의 메모리를 포함하는 칩(chip) 및 상기 칩에 전기적으로 연결된 하나 이상의 전기 컴포넌트를 포함하는 시스템.

청구항 25

제24항에 있어서,

하우징(housing)을 더 포함하고,

상기 칩 및 상기 전기 컴포넌트는 상기 하우징에 실장되는,

시스템.

청구항 26

동적 랜덤 액세스 메모리(DRAM) 어레이를 포함하는 메모리로서,

메모리 셀, 워드라인, 및 상기 메모리 셀에 연결된 비트라인을 포함하는 DRAM 어레이;

센스 앰프; 및

상기 비트라인에 연결되고, 소정의 전압 레벨로 상기 비트라인을 프리차징하는 프리차지 디바이스를 포함하고,

상기 메모리는,

(a) 상기 프리차지 디바이스를 활성 상태로 유지하여 상기 비트라인을 소정 전압 레벨로 유지하면서, 상기 DRAM 어레이의 워드라인을 활성 상태로 설정하여, 상기 메모리 셀에 저장된 데이터에 관계없이, 상기 워드라인에 연결된 메모리 셀의 전압이 상기 소정 전압 레벨로 충전되는 단계;

(b) 상기 비트라인에 연결된 센스 앰프를 비활성 상태로 유지시키면서, 상기 메모리 셀이 상기 소정 전압 레벨에 따라 전하를 저장하도록 상기 워드라인을 비활성 상태로 설정하여, 상기 메모리 셀에 저장되어 있는 데이터를 소거하는 단계; 및

(c) 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 단계 (a) 및 (b)를 반복하는 단계

을 포함하는 동작을 수행하도록 구성되는,

메모리.

청구항 27

제26항에 있어서,

상기 소정 전압 레벨은 공급 전압 레벨에 대응하는, 메모리.

청구항 28

제26항에 있어서,

상기 소정 전압 레벨은 기준 전압 레벨에 대응하는, 메모리.

청구항 29

제26항에 있어서,

상기 소정 전압 레벨은, 공급 전압 레벨과 기준 전압 레벨의 평균값과 동일한 중간 레벨에 대응하는, 메모리.

청구항 30

제26항에 있어서,

상기 DRAM 어레이의 비트라인에 연결된 프리차지 디바이스를 활성 상태로 유지하여 상기 비트라인을 하나 이상의 소정 전압 레벨로 유지하는 단계는, 상기 비트라인의 일부를 제1 소정 전압 레벨로 유지하고 상기 비트라인의 상기 일부를 제외한 나머지를 상기 제1 소정 전압 레벨과는 다른 제2 소정 전압 레벨로 유지하는,

메모리.

청구항 31

제26항의 메모리를 포함하는 칩(chip) 및 상기 칩에 전기적으로 연결된 하나 이상의 전기 컴포넌트를 포함하는 시스템.

청구항 32

제31항에 있어서,

하우징(housing)을 더 포함하고,

상기 칩 및 상기 전기 컴포넌트는 상기 하우징에 실장되는,

시스템.

명세서

기술분야

[0001] 본원은 동적 랜덤 액세스 메모리("DRAM")에 관련된 것으로서, 일반적으로 특정 DRAM 칩에 포함되거나, 또는 충분한 양의 로직 회로를 더 포함하는 다른 종류의 칩에 DRAM 매크로 기능 유닛으로 포함되는 DRAM에 관련된 것이다. 더 구체적으로, 본원은 DRAM 내에 저장된 데이터 소거 방법에 관한 것이다.

배경기술

[0002] 반도체 칩과 같은 마이크로전자 소자는 얇고 평평한 소자로서, 트랜지스터, 다이오드 등의 능동 반도체 디바이스 및 전기적 상호접속을 제공하는 와이어를 포함하는 직접 회로를 포함한다. 반도체 칩은 커패시터, 인덕터 또는 저항소자와 같은 수동 디바이스를 더 포함하거나, 또는 이 수동 디바이스를 다른 소자를 대신하여 포함할 수 있다. 특정 구조에서 마이크로전자 소자는 하나 이상의 반도체 칩을 포함할 수 있는데, 이 하나 이상의 반도체 칩은 하나 이상의 표면에 봉합재를 포함하고, 하나 이상의 반도체 칩의 콘택에 전기적으로 접속되는 전기적 전도성 소자를 포함하며, 이 콘택은 마이크로전자 소자의 표면에 노출되어 있다. 일부 경우에는 마이크로전자 소자가 하나 이상의 반도체 칩을 포함하는 팬-아웃(fan-out) 웨이퍼 레벨의 마이크로전자 유닛일 수 있는데, 이 하나 이상의 반도체 칩의 적어도 가장자리는 봉합재에 의해 덮히고, 전기적 전도성 트레이스가 하나 이상의 칩의 표면을 따라서 하나 이상의 칩의 가장자리를 넘어서 봉합재의 표면까지 연장한다.

[0003] 반도체 칩은, 메모리 저장 어레이 및 회로를 포함하는 동적 랜덤 액세스 메모리(이하에서 "DRAM 칩" 또는 "DRAM"이라 한다)를 포함하여, 저장 어레이에 데이터를 기록하고 저장된 데이터를 관독한다. 전형적인 종래의 DRAM의 작동에서는, 높은 전압 또는 낮은 전압을 각각의 메모리 셀의 저장 커패시터 상에 저장하는 방법으로 저장 어레이의 메모리 셀에 데이터를 기록하거나 메모리 셀로부터 데이터를 관독한다. 높은 전압은 일반적으로 이진 데이터 방식으로 저장된 "1"을 나타내고, 낮은 전압은 일반적으로 저장된 "0"을 나타낸다. DRAM은 휘발성 메모리로서, DRAM에 전원이 있는 한 저장 커패시터에 데이터가 저장된 상태로 유지되고, 그리고 요청된 간격마다 리프레쉬(refresh) 된다. DRAM에서 전원이 제거되면, 리프레쉬는 더 이상 실행되지 않고 저장 커패시터에 저장된 전압 레벨이 줄어들기 시작한다. 그러나, 저장 커패시터에 저장된 데이터는 즉시 사라지는 않는다. DRAM에 저장된 데이터가 소거되었다고 확실하기 위해서는, DRAM이 몇 분 동안 전원이 꺼진 상태로 있어야만 한다.

[0004] 데스크탑, 랩탑, 태블릿 컴퓨터, 및 스마트폰과 같은 일반적인 컴퓨팅 시스템에서 하나 이상의 DRAM 칩은 능동 시스템 메모리를 제공하기 위해 사용되고, 이 능동 시스템 메모리는, 사운드 및 디스플레이 프로세스와 애플리케이션 프로그램(application program: "apps") (예를 들어, 인터넷 액세스, 미디어 또는 음악 액세스, 워드 프로세싱, 데이터베이스 액세스, 프레젠테이션, 그리고 다른 여러 가지를 위한 무수히 많은 내장(built-in) 애플리케이션 프로그램 및 사용자 선택의 애드온(add-on) 애플리케이션 프로그램)을 위한 능동 시스템 작동을 가능하게 해준다. 보안을 위해 컴퓨팅 시스템의 비휘발성 디스크 드라이브 또는 반도체를 이용한(solid-state) 메모리 드라이브에 저장된 데이터는 암호화될 수 있다. 그러나, 능동 시스템 메모리에 저장된 데이터와 같이 컴퓨팅 시스템의 능동 작동에서 사용되는 데이터는 암호화되지 않는다.

[0005] 상술한 DRAM 칩의 작동 방법 때문에, 능동 시스템 메모리 내의 데이터는 컴퓨팅 시스템의 전원이 꺼진 후에도 몇 분 동안 지속 될 것이다. 따라서 랩탑 또는 스마트폰의 컴퓨팅 시스템이 전원이 꺼진 경우라도, 그 후에 방치되거나 또는 사용자가 공항 검색을 지나는 경우와 같이 다른 사람이 소지하게 된다면, 이 컴퓨팅 시스템을 훔친 사람이 컴퓨팅 시스템의 DRAM에 기초한 능동 시스템 메모리에 아직 남아있는 중요한 데이터에 액세스하여 이 데이터를 얻을 수 있는 위험이 있다.

[0006] 따라서 DRAM 칩에 저장된 데이터를 빠르게 소거하는 것이 바람직하다. 이는 컴퓨팅 시스템의 능동 시스템 메모리로부터 데이터가 절도 되는 것을 방지할 수 있다. 그러나, 종래의 DRAM 칩은 빠르게 데이터를 소거하는 믿을 수 있는 방법을 제공하지 못한다. 데이터가 삭제되어야 하는 경우, 일반적인 DRAM 칩은 높은 또는 낮은 전압이나 몇몇 패턴의 높은 및 낮은 전압으로 이미 저장되어 있는 데이터를 덮어쓰는 종래의 기록 작동을 채용한다. 결과적으로 전체 DRAM 칩에서 데이터를 소거하는데에는, 전체 DRAM 칩을 채우는 데이터를 기록하는 것을 수행하기 위해 많은 시간과 리소스가 필요하다.

[0007] DRAM 칩에서 데이터를 소거하는 방법은 미국특허 7,751,263호; 미국특허 7,164,611호; 미국특허 5,255,223호;

미국특허 4,873,672호; 미국공개특허 2009/0016133호; 및 한국공개특허 2009-0105093호에 기재되어 있다.

발명의 내용

- [0008] 본원발명의 일면에 따른 동적 랜덤 액세스 메모리 (DRAM) 어레이에 저장된 데이터를 소거하는 방법이 제공된다. 이 방법은 DRAM 어레이의 워드라인(wordline)을 활성화 상태로 설정하여, 워드라인이 연결된 메모리 셀(memory cell)에 저장된 데이터에 따라서 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인(bitline) 사이에서 전하가 흐르도록 하는 단계로서, 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인 사이에서 흐르는 전하에 따라서 상기 각각의 비트라인 상의 신호가 증가하는, 전하가 흐르도록 하는 단계; 및 상기 각각의 비트라인에 연결된 센스 앰프(sense amplifier)가 상기 신호를 저장 가능한 신호 레벨로 증폭하지 않도록 상기 각각의 비트라인에 연결된 센스 앰프를 비활성 상태로 유지하면서, 상기 워드라인에 연결된 상기 메모리 셀에 불충분한 전하가 유지되도록 상기 워드라인을 비활성 상태로 설정하여, 상기 워드라인에 연결된 상기 메모리 셀에 저장된 데이터를 소거하는 단계를 포함한다. 상술한 단계들은, 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 반복 실행된다.
- [0009] 일 실시예에서, 선택된 범위는 상기 DRAM 어레이의 전체일 수 있고, 따라서 상기 DRAM 어레이의 전체에 저장된 데이터를 소거한다. 다르게는 상기 선택된 범위는 상기 DRAM 어레이의 전체보다 작을 수 있다. 상기 선택된 범위는 연속적일 수도 있고 또는 비연속적일 수도 있다. 예를 들어, 2개 워드라인 마다, 3개의 워드라인 마다, 또는 4개의 워드라인 마다 하나씩의 워드라인이 선택되어 선택된 워드라인에 연결된 메모리 셀에 저장된 데이터를 소거할 수 있다. 이때 선택된 워드라인 사이의 워드라인에 연결된 메모리 셀에 저장된 데이터는 소거되지 않으면서, 특정한 어드레스 범위 내에서만 데이터가 소거된다. 다른 실시예에서는, 3개의 워드라인 마다 3개의 워드라인이 선택되어 이 3개의 워드라인에 연결된 메모리 셀에 저장된 데이터가 소거되면서, 4개의 워드라인 마다 선택되지 않은 워드라인에 연결된 메모리 셀의 데이터는 소거되지 않는다.
- [0010] 일 실시예에서, 워드라인을 활성화 상태로 설정하는 단계는 어드레스 카운터(address counter)를 사용하여 상기 워드라인을 선택하는 단계를 포함한다. 어드레스 카운터는 리프레쉬 어드레스 카운터(refresh address counter)일 수 있다.
- [0011] 방법은 또한 워드라인을 활성화 상태로 설정하는 단계 이전에 비트라인을 제1 전압 레벨로 프리차징(precharging)하는 단계를 더 포함할 수 있다. 일 실시예에서, 상기 제1 전압 레벨은, 상기 워드라인에 연결된 상기 메모리 셀에 저장된 "1" 및 "0"을 각각 나타내는 높은 신호 전압 레벨 및 낮은 신호 전압 레벨 사이의 중간 레벨이다. 일 실시예에서 상기 비트라인을 프리차징하는 단계는 상기 비트라인에 연결된 프리차지 디바이스(precharge device)를 활성화 상태로 설정하는 방법으로 수행된다. 이 경우, 방법은 상기 센스 앰프가 비활성 상태로 유지되는 동안 상기 비트라인에 연결된 프리차지 디바이스를 비활성 상태로 유지하는 단계 및 선택된 워드라인이 다시 비활성 상태로 설정되는 단계를 포함할 수 있다.
- [0012] 일 실시예에서, 상기 데이터 저장 소자는 커패시터를 포함한다.
- [0013] 본원발명의 다른 일면에 따른 동적 랜덤 액세스 메모리 (DRAM) 어레이에 저장된 데이터를 소거하는 방법이 제공된다. 이 방법은 상기 DRAM 어레이의 비트라인에 연결된 프리차지 디바이스를 활성화 상태로 유지하여 상기 비트라인을 하나 이상의 소정 전압 레벨로 유지하면서, 상기 DRAM 어레이의 워드라인을 활성화 상태로 설정하여, 상기 워드라인에 연결된 메모리 셀에 저장된 데이터에 관계없이, 상기 메모리 셀의 전압이 상기 하나 이상의 소정 전압 레벨로 충전되는 단계, 및 상기 비트라인에 연결된 센스 앰프를 비활성 상태로 유지시키면서, 상기 메모리 셀이 상기 하나 이상의 소정 전압 레벨에 따라 전하를 저장하도록 상기 워드라인을 비활성 상태로 설정하여, 상기 메모리 셀에 저장되어 있는 데이터를 소거하는 단계를 포함한다. 상술한 단계들은, 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 반복 수행된다.
- [0014] 일 실시예에서, 선택된 범위는 상기 DRAM 어레이의 전체일 수 있고, 따라서 상기 DRAM 어레이의 전체에 저장된 데이터를 소거한다. 다르게는 상기 선택된 범위는 상기 DRAM 어레이의 전체보다 작을 수 있다.
- [0015] 일 실시예에서, 워드라인을 활성화 상태로 설정하는 단계는 어드레스 카운터를 사용하여 상기 워드라인을 선택하는 단계를 포함한다. 어드레스 카운터는 리프레쉬 어드레스 카운터일 수 있다.
- [0016] 소정 전압 레벨은 모든 비트라인을 프리차징하는 하나의 소정 전압 레벨일 수 있다. 다른 실시예에서, 몇몇의 비트라인을 하나의 소정 전압 레벨로 프리차징하고 다른 비트라인을 다른 소정 전압 레벨로 프리차징한다.

일 실시예에서, 소정 전압 레벨은 기준 전압 레벨에 대응한다. 소정 전압 레벨은 그라운드와 같은 기준 전압 레벨일 수 있고 또는 메모리가 제공되는 직접 회로에서 사용되는 다른 기준 전압레벨일 수도 있다. 다른 실시예에서, 소정 전압 레벨은 공급 전압 레벨과 기준 전압 레벨의 평균값과 대략 동일한 중간 레벨일 수 있고, 또는 공급 전압 레벨과 기준 전압레벨의 평균에 대응하는 중간 전압 레벨일 수도 있다.

[0017] 일 실시예에서, 데이터 저장 소자는 커패시터를 포함한다.

[0018] 본원발명의 다른 일면에 따르면 동적 랜덤 액세스 메모리(DRAM) 어레이를 포함하는 메모리가 제공된다. 메모리는 메모리 셀, 워드라인, 및 상기 메모리 셀에 연결된 비트라인을 포함하는 DRAM 어레이; 및 센스 앰프를 포함한다. 메모리는 상기 DRAM 어레이의 워드라인을 활성화 상태로 설정하여, 상기 워드라인이 연결된 메모리 셀에 저장된 데이터에 따라서 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인(bitline) 사이에서 전하가 흐르도록 하는 단계로서, 상기 워드라인이 연결된 메모리 셀과 각각의 비트라인 사이에서 흐르는 전하에 따라서 상기 각각의 비트라인 상의 신호가 증가하는, 전하가 흐르도록 하는 단계; 및 상기 각각의 비트라인에 연결된 센스 앰프(sense amplifier)가 상기 신호를 저장 가능한 신호 레벨로 증폭하지 않도록 상기 각각의 비트라인에 연결된 센스 앰프를 비활성 상태로 유지하면서, 상기 워드라인에 연결된 상기 메모리 셀에 불충분한 전하가 유지되도록 상기 워드라인을 비활성 상태로 설정하여, 상기 워드라인에 연결된 상기 메모리 셀에 저장된 데이터를 소거하는 단계를 포함하는 동작을 수행한다. 따라서 활성화 상태에 있는 워드라인에 연결된 메모리 셀은, 이전에 저장되어 있었던 전압 레벨 대신에 비트라인에 미리 충전된 하나 이상의 소정 전압 레벨에 따른 전하를 저장한다. 상술한 단계들은 선택된 범위 내에 저장된 데이터를 소거하도록, 상기 DRAM 어레이의 선택된 범위 내의 워드라인 중 남은 워드라인을 각각 사용하여 반복 수행된다.

[0019] 일 실시예에서, 선택된 범위는 상기 DRAM 어레이의 전체일 수 있고, 따라서 상기 DRAM 어레이의 전체에 저장된 데이터를 소거한다. 다르게는 상기 선택된 범위는 상기 DRAM 어레이의 전체보다 작을 수 있다.

[0020] 일 실시예에서, 워드라인을 활성화 상태로 설정하는 단계는 어드레스 카운터를 사용하여 상기 워드라인을 선택하는 단계를 포함한다. 어드레스 카운터는 리프레쉬 어드레스 카운터일 수 있다.

[0021] 소정 전압 레벨은 모든 비트라인을 프리차징하는 하나의 소정 전압 레벨일 수 있다. 다른 실시예에서, 몇몇의 비트라인을 제1 소정 전압 레벨로 프리차징하고 다른 비트라인을 제1 소정 전압 레벨과는 다른 제2 소정 전압 레벨로 프리차징한다. 일 실시예에서, 소정 전압 레벨은 기준 전압 레벨에 대응한다. 소정 전압 레벨은 그라운드와 같은 기준 전압 레벨일 수 있고, 또는 메모리가 제공되는 직접 회로에서 사용되는 다른 기준 전압레벨일 수도 있다. 다른 실시예에서, 소정 전압 레벨은 공급 전압 레벨과 기준 전압 레벨의 평균값과 대략 동일한 중간 레벨일 수 있고, 또는 공급 전압 레벨과 기준 전압레벨의 평균에 대응하는 중간 전압 레벨일 수도 있다.

[0022] 일 실시예에서, 데이터 저장 소자는 커패시터를 포함한다.

[0023] 본원발명의 일면에 따른 시스템은 칩(예를 들어, 상술한 본원발명의 일면에 따른 메모리를 포함하는 반도체 칩) 및 상기 칩에 전기적으로 연결된 하나 이상의 전기 컴포넌트를 포함한다. 이 시스템은 하우징을 더 포함할 수 있고, 상기 칩 및 상기 전기 컴포넌트는 상기 하우징에 실장될 수 있다.

도면의 간단한 설명

[0024] 도 1은 본원의 일 실시예에 따른 동적 랜덤 액세스 메모리(DRAM)의 회로 구조를 도시한 도식적 블록 및 회로 다이어그램이다.

도 2는 종래의 DRAM 동작을 도시한 시간 흐름도이다.

도 3은 본원의 일 실시예에 따른 데이터 소거 방법에서의 DRAM 동작을 도시한 시간 흐름도이다.

도 4는 본원의 일 실시예에 따른 데이터 소거 방법에서의 DRAM 동작을 도시한 시간 흐름도이다.

도 5는 본원의 일 실시예에 따른 데이터 소거 방법에서의 DRAM 동작을 도시한 시간 흐름도이다.

도 6은 본원의 일 실시예에 따른 DRAM 칩 또는 칩의 DRAM 매크로 기능 유닛의 기능적 구조를 도시한 블록 다이어그램이다.

도 7은 본원의 일 실시예에 따른 DRAM 칩 또는 DRAM 매크로를 포함하는 칩을 포함하는 시스템의 구조를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 도 1은 동작 랜덤 액세스 메모리("DRAM") 어레이(100)를 포함하는 일반적인 메모리(102)의 구조를 도시하고 있다. 메모리는 일반적으로 반도체 칩에 포함되어, DRAM 저장 어레이를 제공하는 주기능을 가진 "DRAM 칩"이 된다. 다르게는, 메모리가 칩에 포함되는 기능 유닛인 DRAM 매크로(macro)가 될 수 있고, 이때 메모리가 포함되는 칩은 동일한 반도체 칩에 포함된 로직 회로와 같은 다른 기능 회로도 포함한다. 도 1에서, DRAM 어레이(100)의 메모리 셀(101)은 트랜지스터(102) 및 데이터 저장 소자(104)를 포함한다. 트랜지스터는 예를 들어 금속 산화막 반도체 전계효과 트랜지스터(metal oxide semiconductor field effect transistor: MOSFET)일 수 있고, 일반적으로 n형 MOSFET (n-type MOSFET: NFET)이다. 데이터 저장 소자(104)는 일반적으로 커패시터이고, 이 커패시터는 NFET의 소스(source)에 연결된 제1 플레이트("셀 노드(cell node)")와 칩의 기준 레벨 또는 그라운드 전압 Vss에 연결된 제2 플레이트를 포함한다.
- [0026] DRAM 어레이는 어레이를 가로지르는 제1 방향으로 연장되는 비트라인(bitline) BL<0>, /BL<0>, BL<1>, /BL<1>를 가진다. 비트라인들은 메모리 셀의 NFET 트랜지스터의 전극, 즉 드레인에 연결되고, 이 드레인 전극은 커패시터(104)가 연결되는 소스의 전극과 반대쪽에 있다. 워드라인(wordline) WL<0>, WL<1>, WL<2>, WL<3>은 제1 방향을 가로지르는 제2 방향으로 연장한다. 도 1에 도시된 DRAM 어레이(100)에서, 일반적으로 한번에 오직 하나의 워드라인만 활성화될 수 있다. 예를 들어 워드라인 WL<0>이 활성화되면, 워드라인 WL<0>에 연결된 메모리 셀(101)의 트랜지스터(104)가 켜지고, 각각의 메모리 셀의 트랜지스터가 연결된 각각의 비트라인 및 데이터 저장 소자 사이에서 전하가 흐른다.
- [0027] 도 1에는 판독, 기록 및 리프레쉬(refresh) 작동을 위한 DRAM의 추가적인 회로로서 센스 앰프(sense amplifier: "SA Latch")(110)와, 프리차지 디바이스(precharge device)(112) 및 등화 장치(equalization device)(113)(합쳐서 프리차지 디바이스)가 더 도시되어 있다. 센스 앰프는 비트라인 상의 작은 스윙 폭의 신호를, DRAM의 데이터 출력 또는 입력상에서 "1"과 "0"으로 나타나는 공급 전압 레벨 Vcc 및 그라운드 전압과 같은 기준 전압 Vss의 레일 투 레일(rail-to-rail) 신호로 증폭한다. 일 실시예에서 센스 앰프는 100밀리볼트 보다 작은 스윙 폭을 갖는 신호를, 기준 전압 레벨 Vss 또는 그라운드 전압 0.0V와 공급 전압 레벨 1.0V 사이에서 스윙하는 신호로 증폭한다.
- [0028] 프리차지 디바이스(112)는 프리차지 공급 전압(BLREF) 및 비트라인에 연결되어 있다. 활성화되면 프리차지 디바이스는 비트라인을 BLREF의 소정의 전압 레벨로 충전한다. 비활성화시에는 프리차지 디바이스가 꺼지고 BLREF 전압 레벨은 비트라인으로부터 분리된다.
- [0029] 아래의 설명에서 기준으로 사용되는 DRAM 작동의 일 실시예는 도 2에 도시되어 있다. 종래 기술에 해당하는 이 작동은 본원의 청구범위에 해당하지 않고, 오직 본원의 청구범위와 종래기술 사이의 차이점을 효과적으로 보여주기 위해 이하에서 설명한다.
- [0030] 도 2는, 메모리 어레이의 워드라인에 연결된 메모리 셀에 데이터를 판독, 리프레쉬, 또는 복원하는 작동 동안의 데이터 신호 및 제어 신호를 포함하는 다양한 신호들의 상태 및 기준 전압(BLREF)의 상태를 도시하는 시간 흐름도(timing diagram)이다. 이 시간 흐름도에서 각각의 그래프 상의 왼쪽 끝으로부터의 위치는, 다른 모든 그래프 상의 왼쪽 끝으로부터 동일한 거리만큼의 위치와 시간적으로 동일한 지점에 해당한다. 따라서, 도면 위쪽의 BL, /BL 그래프로부터 아래쪽의 BLREF 그래프까지의 모든 신호들을 가로지르는 도면상의 수직선은 모든 그래프 상에서 동일한 시간지점을 나타낸다.
- [0031] 도 1 및 2를 보면, 종래기술의 동작에서 프리차지 디바이스(112)는 PRE 제어 신호에 의해 활성 상태로 설정되어, 프리차지 디바이스에 연결되어 있는 비트라인들을 비트라인 기준(BLRFET) 전압 레벨로 미리 충전한다. 비트라인을 미리 충전한 후, 프리차지 디바이스는 비활성화된다. 즉 비활성 상태로 설정된다. 일 실시예에서, BLREF 전압 레벨은 도 2에 도시된 바와 같이 Vcc/2일 수 있고, Vcc/2는 공급 전압 레벨(Vcc)과 기준 레벨 또는 그라운드(Vss)의 중간 레벨이다. 일 실시예에서, Vcc/2는 기준 전압 Vss와 Vcc의 정확한 중간값일 수 있다.
- [0032] 그리고 나서 238로 나타난 바와 같이 워드라인이 활성화되면, 즉 워드라인이 활성 상태로 스위칭되면, 도시된 바와 같이 WL 전압이 Vpp로 올라간다. 전압 레벨 Vpp는 트랜지스터의 메모리 셀에 "1"을 저장하는데 사용되는 전압 레벨 Vcc 보다 일반적으로 높다. 높은 전압 레벨 Vpp는 충분한 헤드룸(headroom)을 가진 트랜지스터(102)를 켜서, 일반적인 판독, 기록 및 리프레쉬 작동 동안 전압 레벨 Vcc가 메모리 셀의 데이터 저장 소자(예를 들어, 저장 커패시터)를 통과할 수 있도록 한다. 일단 워드라인이 활성화되면, 트랜지스터(102)가 켜

저서 트랜지스터가 연결된 각각의 비트라인과 데이터 저장 소자(104) 사이에 전하가 흐른다. 일반적으로 이 전하의 흐름은, 대응하는 트랜지스터를 통해서 메모리 셀에 연결된 비트라인 상의 신호를 증가시킨다. 도 2의 그래프의 지점 210은 "1"이 메모리 셀에 저장되어 있는 경우의 신호 증가를 도시한다. 구체적으로 전압 레벨에서 관찰되는 작은 스윙 폭 신호가 비트라인 상에서 원래의 BLREF 레벨(이 경우에는 $V_{cc}/2$)로부터 증가한다. 반대로, 메모리 셀에 "0"이 저장되어 있는 경우, 지점 212에 나타난 바와 같이 작신 스윙 폭 신호는 BLREF로부터 작아진다. 즉, $V_{cc}/2$ 로부터 작아진다.

[0033] 비트라인 상에서 신호가 증가하면, 지점 220에 나타난 바와 같이 신호 SENSE 및 /SENSE의 반대 레벨로의 이행에 의해 비트라인에 연결된 센스 앰프(sense amplifier)가 활성화된다. 센스 앰프가 활성화되면, 센스 앰프는 센스 앰프에 연결된 비트라인 상의 신호를 V_{cc} (공급 전압 레벨) 또는 V_{ss} (기준 레벨 또는 그라운드) 중의 하나로 증폭시킨다. 그리고 증폭된 신호는 메모리 셀에 다시 저장되거나, 또는 DRAM의 데이터 입출력 버스로 전송된다. 도 1의 230에 나타난 바와 같이, 센스 앰프는 비트라인 BL 및 /BL 상의 신호 레벨을 V_{cc} 및 V_{ss} 로 증폭시킨다. 비트라인 상의 신호가 V_{cc} 및 V_{ss} 로 증폭되면, 증폭된 신호는 나중에 다시 액세스하기 위해서 메모리 셀에 복원된다. 지점 240에 나타난 바와 같이 워드라인이 비활성화되면, 그 후에 250에서 나타난 바와 같이 센스 앰프는 비활성화된다. 최종적으로, 지점 260에서 PRE는 다시 활성화되어 DRAM 어레이의 다음의 판독, 리프레쉬 또는 복원, 또는 기록 작동을 위해 비트라인을 미리 충전한다. 따라서 프리차지 디바이스(112)가 다시 활성화되고, 270에서와 같이 비트라인 상의 전압은 $V_{cc}/2$ 로 되돌아간다. 그러나, "CN"으로 표시된 280의 점선에 나타난 바와 같이, "1"이 메모리 셀에 저장되면 메모리 셀에 저장된 전압은 V_{cc} 가 된다. 반대로 "0"이 저장된 경우에는 282에 나타난 바와 같이 메모리 셀에 저장된 전압이 V_{ss} 가 된다.

[0034] 비트라인들 상의 신호의 증폭은, DRAM 어레이의 동일한 워드라인 상의 메모리 셀에 연결된 비트라인에 연결된 복수의 센스 앰프의 각각에 의해 동시에 수행된다. 따라서, 동일한 워드라인 상의 메모리 셀의 데이터는 동시에 판독, 리프레쉬 또는 복원 될 수 있다.

[0035] 도 3은 본원발명의 제1 실시예에 따른 동적 랜덤 액세스 메모리에 저장된 데이터의 소거 방법의 동작을 도시한다. 본 실시예는 저장된 데이터를 소거하는 작동을 하는 특수 모드(special mode)로서, 이 특수 모드에서 워드라인의 활성 상태 및 메모리에 제공되는 제어 신호 PRE의 활성 상태는 도 2와 관련하여 설명한 실시예와 동일하다. 그러나 센스 앰프에 제공되는 제어 신호 SENSE 및 /SENSE는 디스에이블되어, 워드라인이 활성화되어 있는 동안 센스 앰프(110)는 비활성 상태로 남아 있게 된다.

[0036] 따라서 도 3에 도시된 바와 같이 워드라인(WL)이 시점 316에서 활성화될 때, 센스 앰프는 비활성 상태이고 워드라인이 활성화된 시간 동안 비활성 상태를 유지한다. 상술한 바와 같이 전하는 비트라인과 비트라인에 연결된 메모리 셀 사이에서 흐르고, 이 전하의 흐름은 메모리 셀에 "1"이 저장되어 있는 경우 시점 310에 나타난 바와 같이 비트라인 상의 신호가 증가되도록 한다. 메모리 셀에 "0"이 저장되어 있는 경우에는 시점 312에 나타난 바와 같이 신호가 증가한다.

[0037] 그러나 워드라인이 활성화되어 있는 시간 동안 센스 앰프가 비활성화되어 있으므로 센스 앰프는 신호를 저장 가능한 신호 레벨로 증폭시키지 않는다. 또한 워드라인이 활성화되면 "1" 또는 "0" 극으로 메모리 셀에 저장된 전하는 비트라인으로 흐르므로, 데이터 비트를 신뢰가능하게 표현하기에 불충분한 전하만이 메모리 셀에 남게 된다. 따라서, 워드라인이 다시 비활성화되면, 메모리 셀에 남아 있는 전하는 "1" 또는 "0"을 표현하기에 충분하지 않고, 따라서 메모리 셀에 저장된 데이터 비트는 소거된다.

[0038] 도 3에 나타난 방법은, 메모리(DRAM) 어레이의 하나의 워드라인을 사용하여 그 워드라인에 연결된 메모리 셀들에 저장된 데이터를 소거하는 방법으로 수행될 수 있고, 그리고 메모리 어레이의 다른 워드라인이 다른 워드라인에 연결된 메모리 셀들의 데이터를 소거하는 방식으로 상기 방법을 반복할 수 있다. 메모리 어레이의 선택된 범위에서의 데이터를 삭제하기 위해서는, 메모리 어레이의 선택된 범위(예를 들어, 로우 어드레스 범위) 내에서 남은 수의 워드라인을 각각 사용하여 이 방법을 반복하여 실행할 수 있다. 일 실시예에서, 선택된 범위는 전체 메모리 어레이일 수 있고, 이 경우 상기 방법은 메모리 어레이의 전체에 저장되어 있는 데이터를 소거한다. 즉, 메모리 어레이의 모든 메모리 셀에 저장된 모든 데이터를 소거한다. 다르게는, 메모리 어레이의 범위가 전체 메모리 어레이보다 작으면서 몇몇의 워드라인만을 포함하도록 선택될 수 있고, 방법은 메모리 어레이의 선택된 범위 내에서 저장된 데이터만 소거할 수 있다. 특정 실시예에서, 선택된 범위는 몇몇의 워드라인(예를 들어, 메모리 어레이의 7, 8, 10, 20, 43, 56, 64, 100 또는 128 워드라인과 같이 다수의 워드라인을 포함하는 범위)이고, 전체 메모리 어레이의 용량에 대응하는 가동 워드라인의 총 수보다는 작다. 따라서 선택된 범위는 가동 워드라인의 서브셋을 포함하고, DRAM 어레이의 전체 용량보다 작은 DRAM 어레이의 일부만이 선택되며, DRAM 어레이의 선택되지 않은 가동 워드라인에 대응하는 동일한 DRAM 어레이의 다른

부분은 선택되지 않은 채로 남겨 진다. 본 경우에, "가동" 워드라인이란 연결된 메모리 셀에 현재 데이터를 저장하는 것이 가능한 워드라인이다. 가동 워드라인은 다른 목적을 위해 현재 사용되는 워드라인을 포함하지 않는데, 예를 들어 DRAM 어레이의 가동 워드라인을 대체할 필요가 있는 경우에 단지 여유 대체 워드라인으로 사용가능한 워드라인 또는 DRAM 어레이의 딜레이를 모니터링하는데 사용되는 워드라인을 포함하지 않는다. 선택된 범위의 워드라인의 수는 일 실시예에서는 2의 n승(power of 2)일 수 있으며, 다른 실시예에서는 2의 n승이 아닐 수도 있다.

[0039] 특정 실시예에서 어드레스 카운터(address counter)는 소거 방법이 적용되는 각각의 워드라인을 선택하는데 사용될 수 있다. 몇몇의 경우에서 이 어드레스 카운터는 도 6과 관련하여 아래에서 설명되는 리프레쉬 어드레스 카운터(630)가 될 수도 있다. 어드레스 카운터는 선택된 로우 어드레스(row address) 범위의 시작 로우 어드레스로부터 최종 로우 어드레스의 순서로 로우 어드레스 시리즈를 순환할 수 있다. 로우 어드레스(620)는 어드레스 카운터(630)의 출력으로서 하나 이상의 로우 디코더(row decoder)(620)에 제공되고, 로우 디코더는 현재의 로우 어드레스에 대응하는 DRAM 어레이의 워드라인을 선택하고 선택된 워드라인을 구동한다. 일반적으로 어드레스 카운터는 시작 로우 어드레스로부터 시작하여 선택된 로우 어드레스 범위의 최종 로우 어드레스에 도착할 때까지 연속적인 로우 어드레스 시리즈를 순환한다. 이 방법에서, DRAM 어레이의 선택된 범위는 소거된다.

[0040] 특정 실시예에서, 방법은 메모리 어레이의 근접하지 않은 워드라인들을 사용하여 수행될 수 있다. 예를 들어 메모리 어레이의 2개의 워드라인 마다 하나의 워드라인 또는 메모리 어레이의 3개의 워드라인 마다 하나의 워드라인을 선택하여, 선택하지 않은 워드라인에 연결된 메모리 셀에 저장된 데이터를 소거하지 않고 선택한 워드라인에 연결된 메모리 셀에 저장된 데이터만을 소거하는 방법을 수행할 수 있다. 또한, 모든 2개 또는 3개의 워드라인 마다 하나의 워드라인 대신, 몇몇의 워드라인 마다 하나의 워드라인을 사용하여 소거 방법을 수행할 수 있다. 이와 같은 수행 방법은, 활성 시스템 메모리 내에 각각 2, 3 또는 몇몇의 워드라인 마다 하나의 워드라인에 연결된 메모리 셀 내에 저장된 데이터를 부분적 소거하여 남아있는 저장된 데이터를 사용 불가능하게 함으로써, 소거 프로세서의 속력을 향상시켜준다.

[0041] 도 4는 본원의 다른 실시예에 따른 동작을 도시한다. 본 실시예에서, 도 3과 같이 센스 앰프는 워드라인이 활성화되어 있는 동안 비활성 상태로 유지된다. 그러나 시점 460에 나타난 바와 같이 PRE 제어 신호는 워드라인이 활성화되어 있는 간격 462 동안 높은 전압 상태로 유지되어, 비트라인 BL 및 /BL의 각각의 전압 레벨을 $V_{cc}/2$ 와 같은 소정의 전압 레벨 BLREF로 설정한다. 결과적으로, 워드라인에 연결된 메모리 셀은 이전에 저장된 데이터 대신 소정의 전압 레벨(예를 들어 $V_{cc}/2$)에 따라서 전하를 저장한다. 이 방법에서 이전에 메모리 셀에 저장된 데이터는 소거된다. 도 3 및 도 6과 관련하여 상술한 기술은 본 실시예에도 적용되어 전체 DRAM 어레이에 저장된 데이터를 소거하거나 DRAM 어레이에서 선택된 범위 내의 데이터만 소거할 수 있다.

[0042] 도 5는, 도 4와 관련해 상술된 실시예의 변형에 따른 동작을 도시한다. 도 4와 관련하여 설명된 실시예에서 PRE 제어 신호는 워드라인이 활성화되어 있는 동안 높은 전압 상태로 유지된다. 그러나 본 실시예의 변형에서는 비트라인 BL 및 /BL은 $V_{cc}/2$ 대신 기준 전압 레벨 또는 그라운드(V_{ss})로 설정된다. 이 작동은 제어 신호(도시되지 않음)에 따른 프리차지 디바이스(112)에 공급되는 BLREF 레벨을 변화시키는 것에 의해 구현될 수 있다. 예를 들면, 소거 동작이 수행될 때, 시점 570에 나타난 바와 같이 BLREF는 V_{ss} 와 같은 다른 레벨로 설정될 수 있다. 이 경우에 비트라인 BL 및 /BL은 V_{ss} 와 같은 소정의 전압 레벨 BLREF를 유지하고, 그리고 워드라인에 연결된 메모리 셀은 소정의 전압 레벨(예를 들어 V_{ss})에 따라서 전하를 저장하고, 따라서 메모리 셀이 소정의 전압 레벨로 기록된다. 따라서 BLREF가 기준 전압 레벨(예를 들어 "0"을 나타내는 그라운드 V_{ss})로 설정되면 소거 동작은 워드라인에 연결된 메모리 셀에 "0"을 저장시킨다.

[0043] 메모리가 일반적인 판독, 기록 및 리프레쉬 작동을 수행하는 도 1 및 2와 관련하여 상술한 일반적인 작동에서, 도 5의 BLREF는 시점 572에 나타난 바와 같이 공급 전압 레벨과 기준 레벨의 사이인 레벨(예를 들어 $V_{cc}/2$)일 수 있다. 예를 들어, 이 레벨은 V_{cc} (공급 전압 레벨)과 V_{ss} (그라운드와 같은 기준 레벨)의 중간 값일 수 있다. 그리고 메모리가 도 5와 관련하여 상술한 이전에 저장된 데이터를 소거하는 특수 모드로 설정된 경우, BLREF는 기준 전압 레벨 또는 그라운드(V_{ss})와 같은 특수 레벨로 설정될 수 있다(도면의 시점 570에 도시). 도 5는 또한 574에서 BLREF가 일반적인 작동을 위해 중간 레벨 $V_{cc}/2$ 로 돌아오는 변화를 도시하고 있다. 도 3 및 도 6과 관련하여 상술한 기술은 본 실시예에도 적용되어 전체 DRAM 어레이에 저장된 데이터를 소거하거나 DRAM 어레이에서 선택된 범위 내의 데이터만 소거할 수 있다.

[0044] 상술한 작동의 다른 변형예에서, BLREF 레벨은 일반적인 작동 동안 중간 레벨 $V_{cc}/2$ 로 설정되도록 스위칭될 수 있고, 메모리가 저장된 데이터를 소거하는 특수 모드로 설정되는 때에는 공급 전압 레벨 또는 다른 로직

레벨 전압으로 설정될 수 있다.

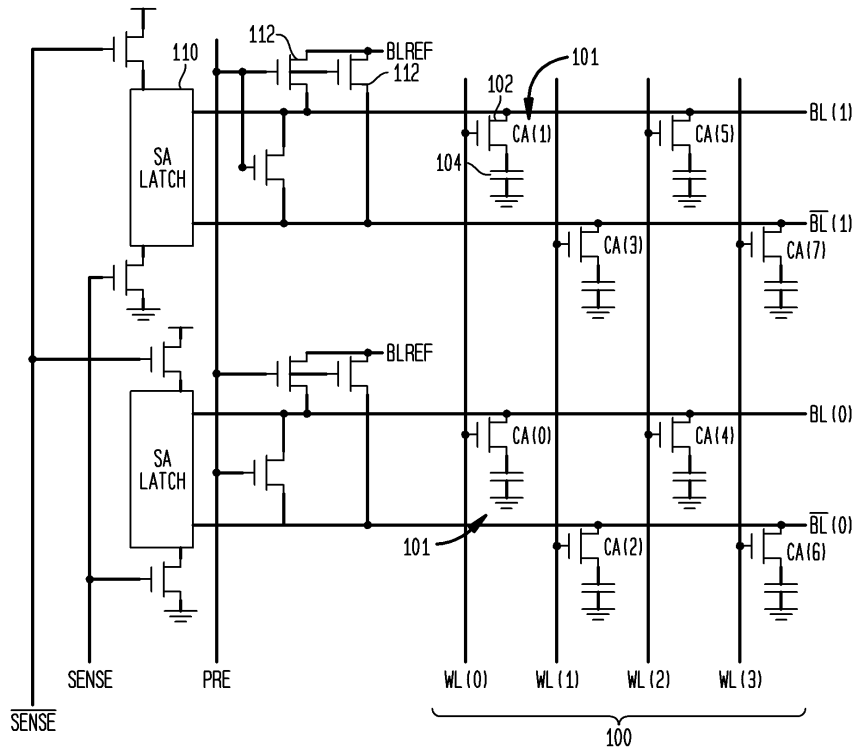
- [0045] 도 5에 도시된 작동의 다른 실시예에서 워드라인 전압 W_L 은 선택적으로, 도 2와 관련하여 상술된 실시예처럼 전원 공급 전압 레벨 V_{pp} 보다 높게 상승하는 대신에, 단지 전원 공급 전압 레벨 V_{cc} 만큼만 상승할 수 있다. 이 경우에, 전압 레벨 V_{cc} 로 상승된 워드라인 전압 W_L 은 메모리 셀 트랜지스터(예를 들어 도 2의 트랜지스터(102))를 켜기에 충분하여 전압 레벨 V_{ss} 가 데이터 저장 소자(예를 들어 저장 커패시터(104))를 통과하도록 한다.
- [0046] 도 6은 하나의 반도체 칩 또는 반도체 칩의 일부에 포함될 수 있는 메모리(600)를 도시한다. 이 메모리는, 로우 디코더 및 워드라인 드라이버 회로("ROW DECS")(615)를 포함하는 적어도 하나의 동적 랜덤 액세스 메모리 어레이(610)를 포함하고, 이 동적 랜덤 액세스 메모리 어레이는 로우 어드레스 신호(620)에 대응하는 지점에 있는 어레이의 특정 워드라인을 활성화 상태로 설정한다. 도 6에 나타난 바와 같이, 로우 어드레스 신호(620)는 어드레스 카운터(address counter), 예를 들어 하나 이상의 리프레쉬 어드레스 카운터("리프레쉬 카운터(refresh counter)")(630)로부터 수신된다. 센스 앰프(sense amps)(640)는, 도 1과 관련하여 설명된 센스 앰프("SA Latch")(110)를 포함하고, 연관된 프리차지 디바이스(112) 및 등화 디바이스(113)도 포함한다.
- [0047] 도 3, 4, 및 5와 관련하여 상술된 본원의 실시예에 따른 방법은 아래의 제어 로직을 사용하여 실행될 수 있다. 로직 블록 "센스&프리차지 제어(SENSE & PRECHARGE CONTROL)"(650)는 센스 앰프 래치와 프리차지 디바이스의 작동을 변화시키는데 사용되고, 일반 및 특수 작동 모드 동안 공급되는 비트라인 기준 전압 BL_{REF} 을 변화시키는데 사용된다. 따라서 센스&프리차지 제어 블록(650)이 활성화되면, 소거 방법은 도 3, 4, 또는 5 중 하나와 연관되어 상술된 방법으로 수행된다. 센스&프리차지 제어 블록(650)이 활성화되지 않으면, 일반적인 판독, 기록 및 리프레쉬 동작이 DRAM 어레이(610)에 수행된다.
- [0048] 소거 제어 블록(ERASE control block)(660)은, 센스&프리차지 제어 블록(650)이 활성화된 경우, 언제 메모리가 저장된 데이터의 소거 작동의 특수 모드를 시작하거나 종료하는지를 제어할 수 있다. 구체적인 실행에서는, 소거 제어 블록이 파워 온 리셋(power-on-reset: "POR") 로직(670)으로부터 신호를 수신하면 특수 소거 모드의 작동을 시작하고, 메모리가 파워 온 리셋 상태가 되게 하여, 도 3, 4, 또는 5 중 하나와 연관되어 상술된 소거 방법이 수행된다.
- [0049] 다르게는, 메모리(600)의 외부 시스템의 부분으로부터 하나 이상의 신호를 사용하여, POR 로직이 메모리가 인스톨된 시스템이 파워 온 리셋 상태인 것을 감지하고, 도 3, 4, 또는 5에 관련하여 상술한 방법으로 소거 방법을 실행한다. 소거 제어 블록은 또한 메모리가 인스톨된 시스템이 꺼지거나 또는 슬립 모드(sleep mode)나 동면 모드(hibernation mode)와 같이 중단된 상태가 된 것을 감지하면 메모리를 특수 소거 모드로 설정한다. 이 방법에서 시스템을 슬립 모드 또는 동면 모드로 설정하는 것은 DRAM 칩이 자동적으로 도 3, 4, 또는 5와 관련하여 상술한 소거 방법을 수행하도록 하는 것이다.
- [0050] 소거 제어 블록은 또한 하나 이상의 다른 상황이 발생하면 DLL 블록(DLL block)(680)으로부터 신호를 수신하여 메모리가 특수 소거 모드가 되도록 할 수 있고, 그러면 도 3, 4, 또는 5와 관련하여 상술한 소거 방법이 수행된다.
- [0051] 메모리(600)은, 데스크탑, 랩탑, 태블릿 컴퓨팅 시스템과 같은 컴퓨터, 스마트폰, 또는 다른 전자 디바이스에 포함될 수 있고, 시스템의 다른 부분으로부터 메모리(600)로의 신호는 메모리가 언제 저장된 데이터를 소거하는 특수 모드 작동을 시작하고 종료하는지 제어하는 입력이 될 수 있다.
- [0052] 상술한 실시예를 제한하지 않는 하나의 예로서, 아래의 칩의 조합들이 상술된 특징을 포함하는 DRAM 칩을 가진 마이크로전자 패키지 또는 고-레벨 어셈블리에 포함될 수 있다: (i) 프로세서 및 프로세서에 사용되는 메모리; (ii) 동일한 유형의 복수의 메모리 칩; (iii) DRAM과 SRAM과 같은 다양한 유형의 복수의 메모리 칩; (iv) 이미지 센서 및 센서로부터 이미지를 처리하는데 사용되는 이미지 프로세서; (v) 주문형 반도체(application specific intergrated circuit: ASIC) 및 메모리. 상술한 구조들은 다양한 전자 시스템의 구조를 형성하는데 사용될 수 있다. 예를 들어, 본원의 다른 실시예에 따른 시스템(700)은 상술한 새로운 DRAM 칩(706)을 다른 전기 컴포넌트(708 및 710)와 함께 포함한다. 예를 들어, 컴포넌트(708)는 반도체 칩이고 컴포넌트(710)는 디스플레이 스크린일 수 있으며, 다른 컴포넌트가 사용될 수도 있다. 비록 명확한 도시를 위해 도 7에서는 오직 2개의 추가적인 컴포넌트가 도시되었지만, 시스템은 여러 컴포넌트를 포함할 수 있다. DRAM 칩(706)은, 도 3, 4, 또는 5와 관련한 방법에 따라 작동하는 도 6의 DRAM 칩일 수 있다. 다른 변형예에서는 2개 이상의 DRAM 칩이 사용될 수 있고, 2개 이상의 DRAM 칩은 2개 이상의 상술한 방법에 따라 작동하거나, 또는 2개 이상의 DRAM 칩의 조합이 하나 이상의 상술한 방법에 따라 작동할 수 있다. DRAM 칩(706)과 컴

포넌트(708 및 710)은 도면에 실선으로 도시된 공통 하우징(701)에 실장되고, 원하는 회로를 형성하기 위한 필요에 따라서 서로 전기적으로 상호접속된다. 예시된 시스템에서, 시스템은 플렉서블 인쇄 회로 패널 또는 회로 보드와 같은 회로 패널(702)을 포함하고, 회로 패널은 다른 컴포넌트와 상호접속하는 많은 컨덕터(707) (도 7에는 하나만 도시되었음)를 포함한다. 그러나 이는 단지 예시이고 전기적 연결을 형성하기 위한 어떤 적절한 구조도 사용될 수 있다. 하우징(701)은 예를 들어 핸드폰, 태블릿 컴퓨팅 시스템, 전자 관독기 또는 개인 디지털 기기 등에서 사용할 수 있는 휴대용 하우징으로 묘사되고, 스크린(710)은 하우징의 표면에 노출된다. DRAM 칩(706)이 하우징(701) 내에 패키징되거나 실장되는 위치에 광-감지 소자가 포함되고, 이 광-감지 소자는 이미징 칩(도시되지 않음), 렌즈(711) 또는 이미징 칩에 광을 라우팅하기 위한 다른 광학 디바이스일 수 있다. 도 7에 도시된 단순화된 시스템은 단지 하나의 예일 뿐이고, 데스크탑 컴퓨터, 라우터 및 상술한 구조를 사용하는 유사한 것들과 같은, 일반적으로 고정된 구조의 시스템을 포함한다.

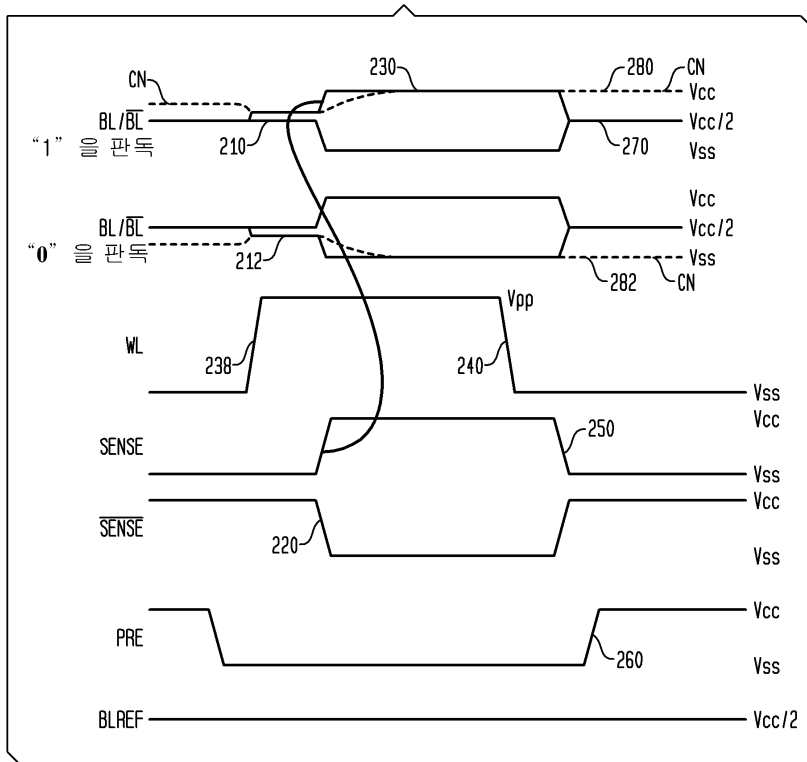
[0053] 비록 본원발명이 특정 실시예를 참조하여 설명되었지만, 이 실시예들은 단지 본원발명의 원리와 적용을 도시하기 위한 것이다. 따라서 설명된 실시예에 다른 많은 변형이 있음은 자명하고, 본원의 청구범위에서 정의된 본원발명의 범위 내에서 다른 변형이 착안될 수 있다.

도면

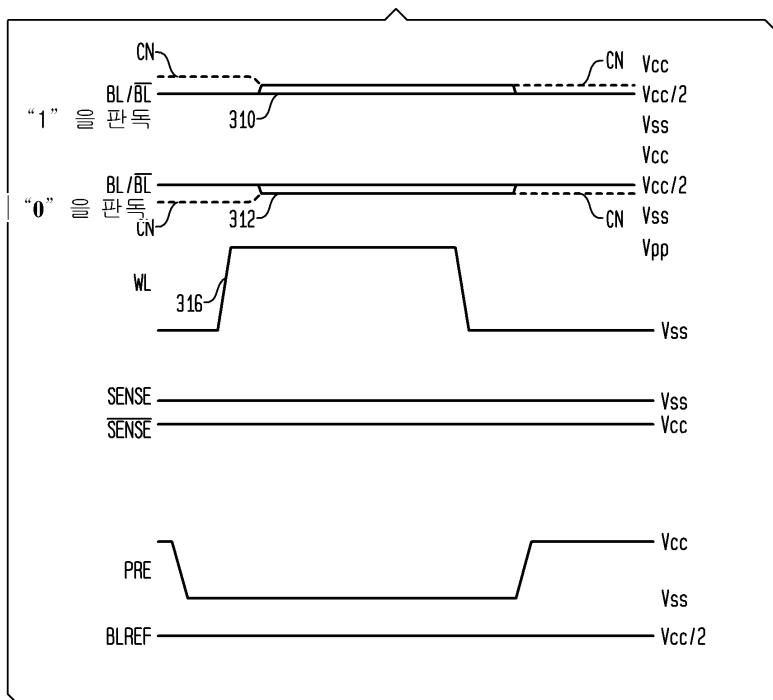
도면1



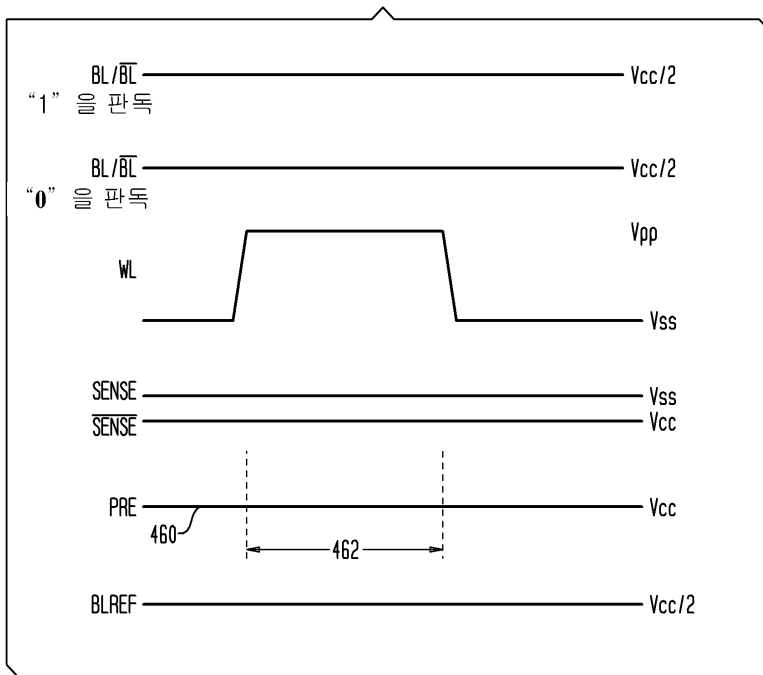
도면2



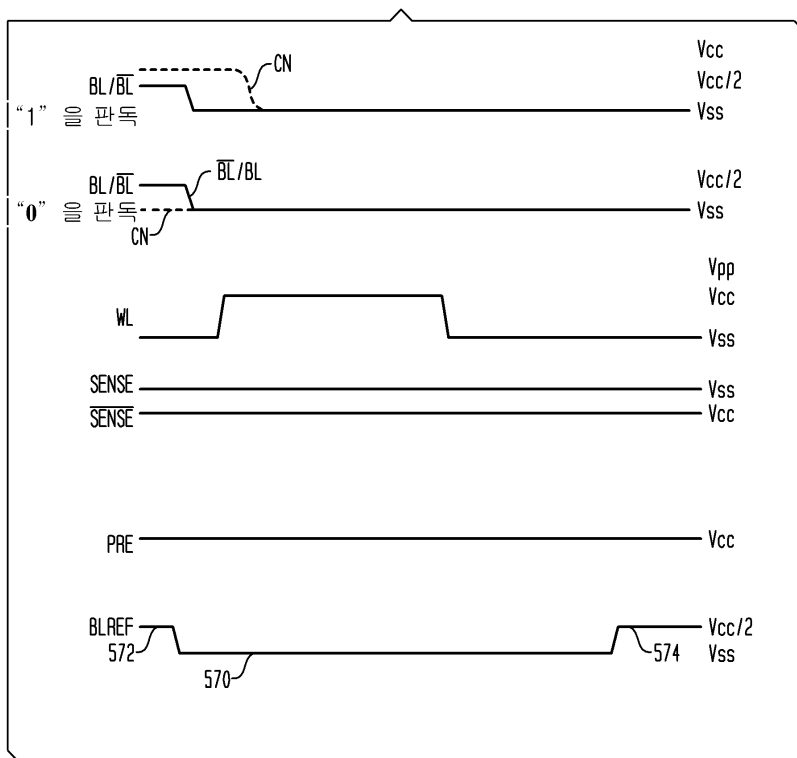
도면3



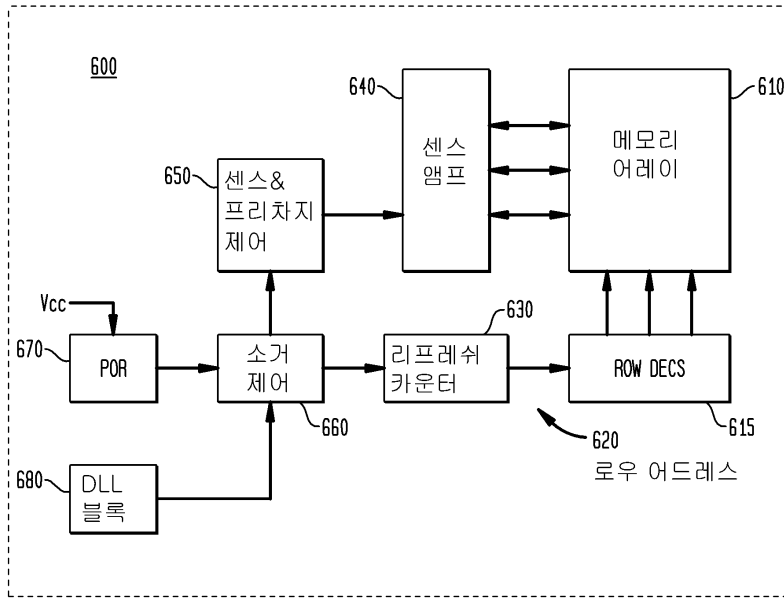
도면4



도면5



도면6



도면7

