

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-54708
(P2011-54708A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 5 1	5 F 0 5 8
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F 1 4 0
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 6 7 1 B	

審査請求 未請求 請求項の数 19 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2009-201448 (P2009-201448)
(22) 出願日 平成21年9月1日(2009.9.1)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1

(74) 代理人 100123788
弁理士 官崎 昭夫

(74) 代理人 100106138
弁理士 石橋 政幸

(74) 代理人 100127454
弁理士 緒方 雅昭

(72) 発明者 藤原 直憲
東京都中央区八重洲2-2-1 エルピー
ダメモリ株式会社内

Fターム(参考) 5F058 BA01 BA06 BA11 BA20 BC03
BC04 BD02 BD05 BD06 BF02
BF27 BF29 BH01 BJ04
最終頁に続く

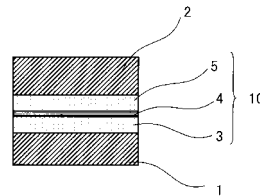
(54) 【発明の名称】 絶縁膜およびその製造方法、半導体装置、ならびにデータ処理システム

(57) 【要約】

【課題】 誘電率が大きく、電極間に挟んで用いてもリーク電流値の小さい絶縁膜を提供する。

【解決手段】 結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれている絶縁膜を形成する。例えば、上部電極と下部電極の間に容量絶縁膜を有するキャパシタ素子で構成されたメモリセルを備える半導体装置における容量絶縁膜や、コントロールゲート電極とフローティングゲート電極の間にインターゲート絶縁膜を有する不揮発性メモリ素子を備えた半導体装置におけるインターゲート絶縁膜として好適である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の 2 つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、

前記結晶粒界分断膜が、前記 2 つの酸化ジルコニウム膜に挟まれている絶縁膜。

【請求項 2】

前記結晶粒界分断膜が、チタンおよびアルミニウムを含有する金属酸化物からなる $TiAlO$ 膜である請求項 1 に記載の絶縁膜。

【請求項 3】

前記 $TiAlO$ 膜中の酸化アルミニウム成分の含有量が、5 ~ 15 atomic % である請求項 2 に記載の絶縁膜。

【請求項 4】

前記結晶化した酸化ジルコニウムが、正方晶系構造の結晶を有する請求項 1 に記載の絶縁膜。

【請求項 5】

前記結晶粒界分断膜が、0.5 nm 以上の膜厚を有する請求項 1 に記載の絶縁膜。

【請求項 6】

結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の 3 つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜の 2 つとを有し、

前記結晶粒界分断膜の 2 つが、それぞれ、前記 3 つの酸化ジルコニウム膜のうちの 2 つに挟まれている絶縁膜。

【請求項 7】

非晶質の酸化ジルコニウムからなる第一の酸化ジルコニウム膜を形成する工程と、前記第一の酸化ジルコニウム膜上に、結晶粒界分断膜を形成する工程と、前記結晶粒界分断膜上に、非晶質の酸化ジルコニウムからなる第一の酸化ジルコニウム膜を形成する工程と、

得られた積層体を熱処理して、前記第一の酸化ジルコニウム膜および前記第二の酸化ジルコニウム膜中の前記非晶質の酸化ジルコニウムを結晶化させる工程とを有し、

前記結晶粒界分断膜が、前記熱処理後においても、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料で形成される絶縁膜の製造方法。

【請求項 8】

前記結晶粒界分断膜が、チタンおよびアルミニウムを含有する金属酸化物からなる $TiAlO$ 膜である請求項 7 に記載の絶縁膜の製造方法。

【請求項 9】

前記 $TiAlO$ 膜中の酸化アルミニウム成分の含有量が、5 ~ 15 atomic % である請求項 8 に記載の絶縁膜の製造方法。

【請求項 10】

前記結晶化した酸化ジルコニウムが、正方晶系構造の結晶を有する請求項 7 に記載の絶縁膜の製造方法。

【請求項 11】

前記結晶粒界分断膜が、0.5 nm 以上の膜厚を有する請求項 7 に記載の絶縁膜の製造方法。

【請求項 12】

非晶質の酸化ジルコニウムからなる第一の酸化ジルコニウム膜を形成する工程と、前記第一の酸化ジルコニウム膜上に、第一の結晶粒界分断膜を形成する工程と、前記結晶粒界分断膜上に、非晶質の酸化ジルコニウムからなる第二の酸化ジルコニウム膜を形成する工程と、

10

20

30

40

50

前記第二の酸化ジルコニウム膜上に、第二の結晶粒界分断膜を形成する工程と、
前記結晶粒界分断膜上に、非晶質の酸化ジルコニウムからなる第三の酸化ジルコニウム膜を形成する工程と、

得られた積層体を熱処理して、前記第一の酸化ジルコニウム膜、前記第二の酸化ジルコニウム膜および前記第三の酸化ジルコニウム膜中の前記非晶質の酸化ジルコニウムを結晶化させる工程と

を有し、

前記第一の結晶粒界分断膜および前記第二の結晶粒界分断膜が、前記熱処理後においても、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料で形成される絶縁膜の製造方法。

10

【請求項 13】

上部電極と下部電極の間に容量絶縁膜を有するキャパシタ素子で構成されたメモリセルを備える半導体装置であって、

前記容量絶縁膜が、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、

前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれている半導体装置。

【請求項 14】

前記結晶粒界分断膜が、チタンおよびアルミニウムを含有する金属酸化物からなるTiAlO膜である請求項13に記載の半導体装置。

20

【請求項 15】

前記TiAlO膜中の酸化アルミニウム成分の含有量が、5～15 atomic %である請求項14に記載の半導体装置。

【請求項 16】

コントロールゲート電極とフローティングゲート電極の間にインターゲート絶縁膜を有する不揮発性メモリ素子を備えた半導体装置であって、

前記インターゲート絶縁膜が、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、

前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれている半導体装置。

30

【請求項 17】

前記結晶粒界分断膜が、チタンおよびアルミニウムを含有する金属酸化物からなるTiAlO膜である請求項16に記載の半導体装置。

【請求項 18】

前記TiAlO膜中の酸化アルミニウム成分の含有量が、5～15 atomic %である請求項17に記載の半導体装置。

【請求項 19】

演算処理デバイスとDRAM素子とがバスにより接続されたデータ処理システムであって、

前記DRAM素子が、上部電極と下部電極の間に容量絶縁膜を有するキャパシタ素子で構成されたメモリセルを備え、

前記容量絶縁膜が、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、

前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれているデータ処理システム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明に係る実施形態は、絶縁膜およびその製造方法、半導体装置、ならびにデータ処

50

理システムに関する。

【背景技術】

【0002】

半導体装置の高集積化に伴い、誘電率が高く、リーク電流（漏れ電流）の小さい絶縁膜（誘電体膜）の需要が増加している。例えば、DRAM素子のようにキャパシタを搭載するデバイスでは、微細化によってメモリセルサイズが減少した場合でも、キャパシタの静電容量をできるだけ低下させない手段として、高誘電率で低リーク電流の絶縁膜が求められている。

【0003】

このような要求を満たす絶縁膜として、酸化ジルコニウム（ ZrO_2 ）膜を挙げることができる。酸化ジルコニウムはバンドギャップエネルギーが酸化チタンに比較して大きいため、リーク電流を抑制した絶縁膜を形成する際に有利となる。また、リーク電流をさらに低減するため、酸化ジルコニウムを含む複数の材料からなる絶縁膜を積層して形成する方法も提案されている（特許文献1および2）。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-073926号公報

【特許文献2】特開2002-222934号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

酸化ジルコニウムは、非晶質状態（アモルファス状態）での比誘電率が2.5程度であるのに対し、結晶化することによって誘電率が上昇することが知られている。結晶化した酸化ジルコニウムの比誘電率は、立方晶系構造（Cubic型）で3.5程度、正方晶系構造（Tetragonal型）で4.5程度となる。ところが、結晶化した酸化ジルコニウム膜では、非晶質状態の酸化ジルコニウム膜に比べて、リーク電流が増大するという問題があった。これは、結晶粒界を介して流れる電流の増加によるものと推測される。

【0006】

従って、従来は、特許文献1のように、酸化ジルコニウムを結晶化させずに用いることで、絶縁膜のリーク電流が所定の値以下となるようにしていた。しかし、結晶化させずに酸化ジルコニウムを用いた絶縁膜においても、膜厚が薄くなりすぎるとリーク電流値が適正な範囲を超えて流れてしまうため、絶縁膜の薄膜化には限界があった。このため、絶縁膜を電極間に挟んだ場合の静電容量を、さらに大きくすることが困難であった。すなわち、結晶化させずに形成した酸化ジルコニウム膜では誘電率が不足しており、さらなる微細化に対応して、占有面積を縮小したキャパシタ等の素子を形成するのが困難であった。

30

【課題を解決するための手段】

【0007】

本発明に係る実施形態は、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれている絶縁膜である。

40

【0008】

本発明に係る実施形態は、非晶質の酸化ジルコニウムからなる第一の酸化ジルコニウム膜を形成する工程と、前記第一の酸化ジルコニウム膜上に、結晶粒界分断膜を形成する工程と、前記結晶粒界分断膜上に、非晶質の酸化ジルコニウムからなる第二の酸化ジルコニウム膜を形成する工程と、得られた積層体を熱処理して、前記第一の酸化ジルコニウム膜および前記第二の酸化ジルコニウム膜中の前記非晶質の酸化ジルコニウムを結晶化させる工程とを有し、前記結晶粒界分断膜が、前記熱処理後においても、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料で形成される絶縁膜の製造

50

方法である。

【0009】

本発明に係る実施形態は、上部電極と下部電極の間に容量絶縁膜を有するキャパシタ素子で構成されたメモリセルを備える半導体装置であって、前記容量絶縁膜が、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれている半導体装置である。

【0010】

本発明に係る実施形態は、コントロールゲート電極とフローティングゲート電極の間にインターゲート絶縁膜を有する不揮発性メモリ素子を備えた半導体装置であって、前記インターゲート絶縁膜が、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれている半導体装置である。

10

【0011】

本発明に係る実施形態は、演算処理デバイスとDRAM素子とがバスにより接続されたデータ処理システムであって、前記DRAM素子が、上部電極と下部電極の間に容量絶縁膜を有するキャパシタ素子で構成されたメモリセルを備え、前記容量絶縁膜が、結晶化した酸化ジルコニウムからなる酸化ジルコニウム膜の2つと、非晶質であって、前記結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料からなる結晶粒界分断膜とを有し、前記結晶粒界分断膜が、前記2つの酸化ジルコニウム膜に挟まれているデータ処理システムである。

20

【発明の効果】

【0012】

本実施形態によれば、誘電率が大きく、電極間に挟んで用いる場合に、リーク電流値の小さい絶縁膜を形成できる。本発明に係る実施形態の絶縁膜を電極間に挟んだキャパシタ素子を形成し、DRAM素子のメモリセルに用いた場合には、微細化してメモリセルサイズが縮小してもデータ保持特性に優れたDRAM素子を容易に形成できる。また、本発明に係る実施形態の絶縁膜を用いることで、リーク特性に優れた不揮発性メモリ素子を容易に形成することもできる。

30

【図面の簡単な説明】

【0013】

【図1】第一の実施形態に係る絶縁膜を備えたキャパシタ素子の構造を示す断面模式図である。

【図2】第一の実施形態に係る絶縁膜を備えたキャパシタ素子の形成方法を示すフローチャートである。

【図3】ALD法を用いた酸化ジルコニウム膜の形成方法を示すフローチャートである。

【図4】ALD法を用いたAl₂O₃膜の形成方法を示すフローチャートである。

【図5】TiAlO膜中の酸化アルミニウムの組成比と、その誘電率との関係を示すグラフである。

40

【図6】キャパシタ素子の静電容量とリーク電流との関係を示すグラフである。

【図7】第一の実施形態の変形例に係る絶縁膜を備えたキャパシタ素子の構造を示す断面模式図である。

【図8】第二の実施形態に係るDRAM素子におけるメモリセル部の平面レイアウトを示す概念図である。

【図9】図8に記載されているA-A'線での断面模式図である。

【図10】キャパシタ素子の形成方法を説明するための部分断面図である。

【図11】キャパシタ素子の形成方法を説明するための部分断面図である。

【図12】キャパシタ素子の形成方法を説明するための部分断面図である。

50

【図 1 3】第三の実施形態に係る不揮発性メモリ素子の断面模式図である。

【図 1 4】第三の実施形態に係るデータ処理システムの概略構成図である。

【発明を実施するための形態】

【0014】

< 第一の実施形態 >

図 1 は、本実施形態に係る絶縁膜を備えたキャパシタ素子の構造を示す断面模式図である。

【0015】

窒化チタン (TiN) 等の導電材料を用いて形成した下部電極 1 および上部電極 2 との間に、積層構造の絶縁膜 10 を挟むことでキャパシタ素子が形成されている。絶縁膜 10 は、結晶化した酸化ジルコニウム (ZrO_2) 膜 3 上に結晶粒界分断膜 4 を形成し、さらにその上に、結晶化した酸化ジルコニウム膜 5 を設けることで構成されている。酸化ジルコニウム膜 3 および 5 の膜厚は、同じでもよく、異なってもよい。

10

【0016】

結晶粒界分断膜 4 は、結晶化した酸化ジルコニウムよりも比誘電率が大きく、かつ、酸化ジルコニウムの結晶粒界を分断して、下部電極 1 および上部電極 2 間に流れるリーク電流を抑制する機能を備えた絶縁膜である。具体的には、結晶粒界分断膜 4 として、アルミニウム (Al) とチタン (Ti) を含有する非晶質状態の金属酸化膜を用いることができる。

【0017】

本実施形態に係る絶縁膜を備えたキャパシタ素子は、例えば、図 2 のフローチャートに示した K 1 ~ K 6 の工程によって形成する。なお、絶縁膜 10 の堆積方法の詳細については、後述する。

20

【0018】

工程 K 1 :

半導体基板 (図示せず) 上に、窒化チタン等の導電材料を用いて下部電極 1 のパターンを形成する。下部電極 1 のパターンニングに際しては、例えば、フォトリソグラフィ技術を利用する。下部電極 1 を形成する導電材料としては、窒化チタンには限定されず、ルテニウム (Ru)、白金 (Pt)、イリジウム (Ir)、タングステン (W) およびそれらの窒化物等も使用可能である。また、下部電極 1 を形成する導電材料としては金属が好ましいが、リン等の不純物をドーブした多結晶シリコンも使用可能である。

30

【0019】

工程 K 2 :

下部電極 1 を形成した半導体基板を、ALD (Atomic Layer Deposition; 原子層堆積) 成膜装置の反応室内に設置する。そして、下部電極 1 上に、ALD 法によって酸化ジルコニウムを 3 ~ 5 nm 程度の膜厚に堆積して、酸化ジルコニウム膜 3 を形成する。この工程で堆積された酸化ジルコニウムは非晶質状態である。

【0020】

工程 K 3 :

酸化ジルコニウム膜 3 上に、ALD 法によって結晶粒界分断膜形成材料を 0.5 ~ 0.8 nm 程度の膜厚に堆積して、結晶粒界分断膜 4 を形成する。結晶粒界分断膜形成材料としては、非晶質状態で堆積され、後述の結晶化アニール工程 (K 5) を経た後も非晶質状態を維持する材料から選択する。また、結晶粒界分断膜形成材料としては、結晶化した酸化ジルコニウムよりも大きい誘電率を有する材料から選択する。例えば、結晶粒界分断膜 4 としては、アルミニウムとチタンを含有した金属酸化膜 (TiAlO 膜) を用いることができる。

40

【0021】

工程 K 4 :

結晶粒界分断膜 4 上に、ALD 法によって酸化ジルコニウムを 3 ~ 5 nm 程度の膜厚に堆積して、酸化ジルコニウム膜 5 を形成する。この工程で堆積された酸化ジルコニウムは

50

非晶質状態である。

【0022】

工程 K 5 :

500 ~ 600 程度の窒素雰囲気中で10分間の熱処理(アニール)を行い、酸化ジルコニウム膜3および5中の酸化ジルコニウムを結晶化させる。熱処理は、酸素(O_2)を含有した雰囲気で行ってもよい。酸素を含有した雰囲気中で熱処理を行う際には、下部電極1を形成する導電材料として、耐酸化性に優れた金属材料(例えば白金等)を用いることが好ましい。結晶粒界分断膜4は、この熱処理工程で結晶化されないように材料の設定を行う(TiAlO膜を用いた場合の設定については後述)。なお、誘電率を高くする観点から、酸化ジルコニウムが正方晶系構造(Tetragonal型)の結晶となるように、熱処理の温度や時間を調節して結晶化を行うことが好ましい。

10

【0023】

工程 K 6 :

酸化ジルコニウム膜5上に、窒化チタン等の導電材料を用いて上部電極2のパターンを形成する。上部電極2および下部電極1は、同じ導電材料を用いて形成してもよく、異なる導電材料を用いて形成してもよい。また、上部電極2および下部電極1は、それぞれ、単層でもよく、複数の異なる材料の積層体でもよい。

【0024】

以上の製造工程において、工程K5とK6は、順序を入れ替えることも可能であり、上部電極2の形成後に結晶化アニールを行ってもよい。

20

【0025】

また、上部電極2の形成に際して500以上の熱が加わる場合には、結晶化アニール工程(K5)の一部または全部が、上部電極2の形成工程を兼ねてもよい。すなわち、本実施形態において、結晶化アニール工程(K5)は、必ずしも単独の工程として行われなくてもよい。酸化ジルコニウム膜5の形成以降の製造工程において加わる熱によって、最終的に酸化ジルコニウム膜3および5における酸化ジルコニウムが結晶化する場合には、独立した結晶化アニール工程(K5)を設けなくてもよい。

【0026】

次に、ALD法を用いた酸化ジルコニウム膜の形成方法の詳細について、図3の工程フローチャートを参照して説明する。工程K2およびK4で形成する酸化ジルコニウム膜は、以下に述べる方法により同様に形成できる。

30

【0027】

工程 S 1 :

ALD成膜装置の反応室の温度を200 ~ 250程度に設定し、ジルコニウム原料ガスとしてのTEMAZ(テトラキス・エチルメチル・アミノジルコニウム)ガスを反応室に10秒間程度供給する。ジルコニウム原料ガスは、アルゴン(Ar)等の不活性ガスによって希釈して供給してもよい。また、下部電極1が複雑な3次元構造や高アスペクト比を有している場合には、ジルコニウム原料ガスの供給時間を180秒程度まで延長してもよい。供給されたジルコニウム原料ガスは、下部電極1の表面に化学的に吸着されて、下部電極1上に概略ジルコニウム原子1層分の薄膜が形成される。

40

【0028】

工程 S 2 :

パージガスとしての窒素(N_2)またはアルゴンを反応室に供給し、工程S1で吸着せずに残存しているジルコニウム原料ガスを反応室から排出する。

【0029】

工程 S 3 :

反応室の温度を200 ~ 250程度に維持したまま、酸化ガスとしてのオゾン(O_3)を反応室に10秒間程度供給する。供給されたオゾンによって、工程S1により表面に吸着されたジルコニウムが酸化されて、酸化ジルコニウム(ZrO_2)となる。ただし、この段階では、酸化ジルコニウムは完全には結晶化しておらず、非晶質状態である。酸化

50

ジルコニウム中に残存する不純物を十分な酸化によって除去する観点から、オゾンの供給時間を180秒程度まで延長してもよい。

【0030】

また、オゾン以外の酸化ガスも使用可能である。具体的には、酸素ガス(O_2)、水蒸気(H_2O)、Ar等の不活性ガスで希釈したオゾン等も使用可能である。

【0031】

工程S4:

パージガスとしての窒素またはアルゴンを反応室に供給し、工程S3で酸化反応に寄与せずに残存している酸化ガスを反応室から排出する。

【0032】

そして、以上の工程S1~S4を1サイクルとして、そのサイクルをM回(Mは1以上の整数)実施することにより、所望の膜厚の酸化ジルコニウム膜を形成することができる。例えば、工程S1~S4を20~40回程度繰り返して実施することにより、3~5nm程度の膜厚を有する酸化ジルコニウム膜を形成することができる。

【0033】

次に、結晶粒界分断膜4について詳細に説明する。

【0034】

結晶粒界分断膜は、半導体素子の製造が完了した段階において、非晶質(アモルファス)状態を維持することで、結晶化した酸化ジルコニウムの粒界を途中で分断する機能を有している。すなわち、結晶粒界分断膜は、リーク電流のストッパー膜として機能するものであり、その膜自体のバンドギャップエネルギーが大きく、リーク電流を抑制可能な絶縁膜を用いる必要がある。

【0035】

結晶粒界分断膜4の膜厚は、概略0.5nm以上であることが好ましい。すなわち、結晶粒界分断膜をある程度厚くすることで、結晶化した酸化ジルコニウムの粒界を分断する機能を効果的に発揮することができ、十分にリーク電流を抑制することができるようになる。結晶粒界分断膜4の膜厚は、等価酸化膜厚の観点から、概略1.0nm以下であることが好ましい。

【0036】

なお、非晶質状態の酸化アルミニウム膜(Al_2O_3)は、十分な絶縁機能を備えた膜であるが、比誘電率が9程度しかなく、結晶粒界分断膜として酸化ジルコニウム結晶膜(比誘電率35~45)と組み合わせて用いた場合には、積層絶縁膜全体としての誘電率の低下が大きくなってしまう。そこで、本発明者は、誘電率が結晶化した酸化ジルコニウムよりも大きく、結晶粒界を分断する機能を備えた絶縁膜の材料を検討した結果、結晶粒界分断膜として、アルミニウムとチタンを含有した金属酸化物からなるTiAlO膜が適していることを見出した。

【0037】

ALD法を用いたAlTiO膜の形成方法について、図4の工程フローチャートを参照して説明する。

【0038】

工程S5:

ALD成膜装置の反応室の温度を200~250に設定し、アルミニウム原料ガスとしてのTMA(トリメチル・アルミニウム)ガスを反応室に10秒間程度供給する。アルミニウム原料ガスは、アルゴン(Ar)等の不活性ガスによって希釈して供給してもよい。また、下部電極1が複雑な3次元構造や高アスペクト比を有している場合には、アルミニウム原料ガスの供給時間を180秒程度まで延長してもよい。供給されたアルミニウム原料ガスは、下地層の表面に化学的に吸着されて、概略アルミニウム原子1層分の薄膜が形成される。

【0039】

工程S6:

10

20

30

40

50

パージガスとしての窒素またはアルゴンを反応室に供給し、工程 S 5 で吸着せずに残存しているアルミニウム原料ガスを反応室から排出する。

【 0 0 4 0 】

工程 S 7 :

反応室の温度を 2 0 0 ~ 2 5 0 程度に維持したまま、酸化ガスとしてのオゾン (O_3) を反応室に 1 0 秒間程度供給する。供給されたオゾンによって、工程 S 5 により表面に吸着されたアルミニウムが酸化されて、単原子層レベルで非晶質状態の酸化アルミニウム (Al_2O_3) となる。酸化アルミニウム中に残存する不純物を十分な酸化によって除去する観点から、オゾンの供給時間を 1 8 0 秒程度まで延長してもよい。

【 0 0 4 1 】

工程 S 8 :

パージガスとしての窒素またはアルゴンを反応室に供給し、工程 S 7 で酸化反応に寄与せずに残存している酸化ガスを反応室から排出する。

【 0 0 4 2 】

工程 S 9 :

反応室の温度を 2 0 0 ~ 2 5 0 に維持したまま、チタン原料ガスとしての T D M A T (テトラキス・ジメチル・アミノチタニウム) を反応室に 1 0 秒間程度供給する。チタン原料ガスは、アルゴン (Ar) 等の不活性ガスによって希釈して供給してもよい。また、下部電極 1 が複雑な 3 次元構造や高アスペクト比を有している場合には、チタン原料ガスの供給時間を 1 8 0 秒程度まで延長してもよい。供給されたチタン原料ガスは、下地層の表面に化学的に吸着されて、概略チタン原子 1 層分の薄膜が形成される。

【 0 0 4 3 】

工程 S 1 0 :

パージガスとしての反応室に窒素またはアルゴンを供給し、工程 S 9 で吸着せずに残存しているチタン原料ガスを反応室から排出する。

【 0 0 4 4 】

工程 S 1 1 :

反応室の温度を 2 0 0 ~ 2 5 0 程度に維持したまま、酸化ガスとしてのオゾン (O_3) を反応室に 1 0 秒間程度供給する。供給されたオゾンによって、工程 S 9 により表面に吸着されたチタンが酸化されて、単原子層レベルで非晶質状態の酸化チタン (TiO_2) となる。酸化チタン中に残存する不純物を十分な酸化によって除去する観点から、オゾンの供給時間を 1 8 0 秒程度まで延長してもよい。

【 0 0 4 5 】

工程 S 1 2 :

パージガスとしての窒素またはアルゴンを反応室に供給し、工程 S 1 1 で酸化反応に寄与せずに残存している酸化ガスを反応室から排出する。

【 0 0 4 6 】

以上の工程 S 5 ~ S 1 2 を 1 サイクルとして、そのサイクルを N 回 (N は 1 以上の整数) 実施することにより、所望の膜厚の T i A l O 膜を形成することができる。なお、このようにして形成した T i A l O 膜は、完全に独立した酸化アルミニウム膜と酸化チタン膜の積層構造ではなく、混合状態に近くっており、全体として 1 つの絶縁膜とみなすことができる。

【 0 0 4 7 】

工程 S 5 ~ S 1 2 の 1 サイクル内において、酸化アルミニウムを堆積する工程 S 5 ~ S 8 のサイクルを P 回 (P は 1 以上の整数) 実施するようにしてもよい。同様に、酸化チタンを堆積する工程 S 9 ~ S 1 2 のサイクルを Q 回 (Q は 1 以上の整数) 実施するようにしてもよい。工程 S 5 ~ S 8 および / または工程 S 9 ~ S 1 2 のサイクルを複数回実施する場合には、連続したサイクルで形成される酸化アルミニウムおよび酸化チタンの少なくともいずれか一方の膜厚が、概略 0 . 1 nm 以下となるようにサイクル数を設定するのが好ましい。これは、複数のサイクル実施によって、酸化アルミニウムおよび酸化チタンの両

10

20

30

40

50

方の膜厚が厚くなりすぎると、最終的に形成されるTiAlO膜が、酸化アルミニウム膜と酸化チタン膜の独立した積層膜の構造となってしまう、結晶粒界分断膜としてあまり好ましくないためである。

【0048】

なお、工程S7およびS11では、オゾン以外の酸化ガスも使用可能である。具体的には、酸素ガス(O₂)、水蒸気(H₂O)、Ar等の不活性ガスで希釈したオゾン等も使用可能である。

【0049】

このようにして形成したTiAlO膜においては、工程S5～S8および工程S9～S12の連続して実施するサイクル数(図4のPおよびQ)の設定を調節することで、最終的に形成されるTiAlO膜中の酸化アルミニウム成分の組成比(含有量)を調節することができる。

10

【0050】

TiAlO膜中の酸化アルミニウム成分の組成比を変更して、その特性を調べたところ、TiAlO膜中の酸化アルミニウム成分の含有量が5 atomic %未満の場合には、酸化ジルコニウムを結晶化する際の熱処理(アニール)工程で、TiAlO膜も結晶化する場合があることが判明した。従って、結晶粒界を分断する機能を維持するためには、TiAlO膜中の酸化アルミニウム成分の含有量が5 atomic %以上となるように、TiAlO膜を形成することが好ましい。

【0051】

次に、TiAlO膜中の酸化アルミニウム成分の組成比を変更した複数の試料を用いて、その誘電率を測定した結果を図5に示す。図5より、TiAlO膜中の酸化アルミニウム成分が5～10 atomic %程度となるように設定することにより、比誘電率が50以上の膜が安定して得られ、酸化アルミニウム成分が15 atomic %程度のときに、正方晶系構造(Tetragonal型)に結晶化した酸化ジルコニウムの比誘電率と同程度の絶縁膜となることがわかる。酸化ジルコニウムと組み合わせてキャパシタ用の容量絶縁膜として用いる場合には、キャパシタの静電容量を低下させないために、酸化ジルコニウムと同等以上の誘電率を備えた結晶粒界分断膜を用いることが好ましい。

20

【0052】

従って、TiAlO膜を結晶粒界分断膜として用いる場合には、TiAlO膜中の酸化アルミニウム成分の含有量を5～15 atomic %とすることが好ましく、5～10 atomic %とすることがさらに好ましい。

30

【0053】

図6に、本実施形態の製造方法で形成した絶縁膜を用いたキャパシタ素子の静電容量とリーク電流を測定した結果を示す。図6の横軸は、静電容量を等価酸化膜厚(EOT: Effective Oxide Thickness)で表したものである。縦軸は、測定したリーク電流値を設計ルール40～45 nm世代のDRAM素子に用いる場合に必要とされるリーク電流値で規格化した値である。TiAlO膜中の酸化アルミニウム成分の含有量を10 atomic %に固定し、TiAlO膜の膜厚を変化させることで、等価酸化膜厚の異なる複数の試料とした。また、比較のために、結晶化した酸化ジルコニウム膜の間に、酸化アルミニウムの単層膜を挟んだ構造の絶縁膜を用いて形成したキャパシタについて、同様の測定を行った結果を、比較例として図6に示した。

40

【0054】

キャパシタを設計ルール40～45 nm世代のDRAM素子のメモリセルに適用する場合には、等価酸化膜厚として0.7～0.8 nm程度の静電容量値が必要となる。本実施形態では、等価酸化膜厚が0.65 nmより厚くなる領域で、目標とするリーク電流値(縦軸の値1.0)以下の特性を備えたキャパシタが形成できることがわかる。

【0055】

一方、比較例では、目標とするリーク電流値(縦軸の値1.0)以下の特性とするには、等価酸化膜厚が0.8 nm以上とする必要があり、設計ルール40～45 nm世代のD

50

R A M素子のメモリセルに用いるには静電容量値が不足していることがわかる。これは、単層の酸化アルミニウム膜を酸化ジルコニウム膜の結晶分断膜として用いた場合、非晶質状態を維持するためリーク電流抑制の機能は備えているものの、比誘電率が9程度しかないため、絶縁膜全体としての誘電率の低下が大きくなってしまうためである。また、酸化アルミニウムの単層膜でも、堆積する膜厚を0.3nm程度まで薄くすれば静電容量の低下を抑えることができるが、その場合には結晶粒界の分断効果が低下し、リーク電流が増加してしまう。

【0056】

以上のように、本実施形態では、非晶質状態を維持し、結晶化した酸化ジルコニウムよりも比誘電率が大きい絶縁膜を結晶粒界分断膜として用いることにより、静電容量を低下させることなく、リーク電流を抑制することが可能となる。

10

【0057】

なお、A L D法で用いる原料ガスは、上記で説明したものに限定されず、他の原料ガスを用いて、酸化ジルコニウム膜やT i A l O膜を形成してもよい。また、結晶粒界分断膜は、T i A l O膜に限定されず、チタン(T i)、アルミニウム(A l)以外に、さらに別の金属元素(例えば、H f、L a、T a、Y等)を含有した金属酸化膜を用いてもよい。ただし、結晶粒界分断膜が半導体装置の製造工程の最後まで非晶質状態を維持するように、添加する金属の比率を調整する。

【0058】

<第一の実施形態の変形例>

20

図7は、本実施形態に係る絶縁膜を備えたキャパシタ素子の構造を示す断面模式図である。このように、本実施形態の絶縁膜に2層以上の結晶粒界分断膜を設けてもよい。

【0059】

図7では、下部電極1および上部電極2との間に積層構造の絶縁膜10が配置されて、キャパシタが形成されている。絶縁膜10は、3層の結晶化した酸化ジルコニウム膜3、5および7の間に、2層の結晶粒界分断膜4および6が挟まれて形成されている。

【0060】

絶縁膜10は、それを形成する各層をA L D法を用いて順次堆積していくことで形成することができる。結晶粒界分断膜としては、T i A l O膜を用いることができる。なお、2層以上の結晶粒界分断膜を設ける場合には、各結晶粒界分断膜は、構成元素が同じでもよく、構成元素が異なってもよい。また、各酸化ジルコニウム膜の膜厚は、同じでもよく、それぞれ異なってもよい。同様に、各結晶粒界分断膜の膜厚は、同じでもよく、異なってもよい。

30

【0061】

<第二の実施形態>

本実施形態の絶縁膜を半導体デバイスに適用した具体例として、本実施形態の絶縁膜を、D R A M素子のメモリセルを構成するキャパシタ素子の容量絶縁膜に用いた場合について説明する。

【0062】

図8は、本実施形態の絶縁膜を適用した半導体装置であるD R A M素子について、メモリセル部の平面レイアウトを示す概念図である。図8の右手側は、後述する、ワード配線Wとなるゲート電極105とサイドウォール105bとを切断する面を基準とした透過断面図として示している。図9は、図8に記載されているA - A'線での断面模式図である。なお、簡略化のために、図8においてキャパシタ素子の記載を省略し、図9にのみキャパシタ素子を記載した。なお、これらの図は半導体装置の構成を説明するためのものであり、図示される各部の大きさや寸法等の関係は、実際の半導体装置とは異なっている。

40

【0063】

メモリセル部は、図9に示すように、メモリセル用のM O SトランジスタT r 1と、M O SトランジスタT r 1に複数のコンタクトプラグを介して接続されたキャパシタ素子C a pとから概略構成されている。

50

【0064】

図8および図9において、半導体基板101は、所定濃度のP型不純物を含有するシリコン(Si)によって形成されている。この半導体基板101には、素子分離領域103が形成されている。素子分離領域103は、半導体基板101の表面にSTI(Shallow Trench Isolation)法によりシリコン酸化膜(SiO₂)等の絶縁膜を埋設することで、活性領域K以外の部分に形成され、隣接する活性領域Kとの間を絶縁分離している。本実施形態では、1つの活性領域Kに2ビットのメモリセルが配置されるセル構造の場合を示している。

【0065】

本実施形態では、図8に示す平面構造のように、細長い短冊状の活性領域Kが複数、個々に所定間隔をあけて右斜め下向きに整列して配置されており、一般に6F2型メモリセルと呼ばれるレイアウトに沿って配列されている。各活性領域Kの両端部と中央部には個々に不純物拡散層が形成され、MOSトランジスタTr1のソース・ドレイン領域として機能する。ソース・ドレイン領域(不純物拡散層)の真上に配置されるように、基板コンタクト部205a、205bおよび205cの位置が規定されている。

10

【0066】

図8の横(X)方向には、折れ線形状(湾曲形状)にビット配線106が延設され、このビット配線106が図8の縦(Y)方向に所定の間隔で複数配置されている。また、図8の縦(Y)方向に延在する直線形状のワード配線Wが配置されている。個々のワード配線Wは図8の横(X)方向に所定の間隔で複数配置され、ワード配線Wは各活性領域Kと交差する部分において、図9に示されるゲート電極105を含むように構成されている。本実施形態では、MOSトランジスタTr1は、溝型のゲート電極を備えている。

20

【0067】

図9の断面構造に示すように、半導体基板101において素子分離領域103に区画された活性領域Kにソース・ドレイン領域として機能する不純物拡散層108が離間して形成され、個々の不純物拡散層108の間に、溝型のゲート電極105が形成されている。ゲート電極105は、多結晶シリコン膜と金属膜との多層膜により半導体基板101の上部に突出するように形成されており、多結晶シリコン膜はCVD法での成膜時にリン等の不純物を含有させて形成することができる。ゲート電極用の金属膜には、タングステン(W)や窒化タングステン(WN)、タングステンシリサイド(WSi)等の高融点金属を用いることができる。

30

【0068】

また、図9に示すように、ゲート電極105と半導体基板101の間にはゲート絶縁膜105aが形成されている。また、ゲート電極105の側壁には窒化シリコン(Si₃N₄)などの絶縁膜によるサイドウォール105bが形成されている。ゲート電極105上にも窒化シリコンなどの絶縁膜105cが形成されており、ゲート電極105の上面を保護している。

【0069】

不純物拡散層108は、半導体基板101にN型不純物として、例えばリンを導入することで形成されている。不純物拡散層108と接触するように基板コンタクトプラグ109が形成されている。この基板コンタクトプラグ109は、図8に示した基板コンタクト部205c、205aおよび205bの位置にそれぞれ配置され、例えば、リンを含有した多結晶シリコンから形成される。基板コンタクトプラグ109の横(X)方向の幅は、隣接するゲート配線Wに設けられたサイドウォール105bによって規定される、セルフアライン構造となっている。

40

【0070】

図9に示すように、ゲート電極上の絶縁膜105cおよび基板コンタクトプラグ109を覆うように第1の層間絶縁膜104が形成され、第1の層間絶縁膜104を貫通するようにビット線コンタクトプラグ104Aが形成されている。ビット線コンタクトプラグ104Aは、基板コンタクト部205aの位置に配置され、基板コンタクトプラグ109と導

50

通している。ビット線コンタクトプラグ104Aは、チタン(Ti)および窒化チタン(TiN)の積層膜からなるバリア膜(TiN/Ti)上にタングステン(W)等を積層して形成されている。ビット線コンタクトプラグ104Aに接続するようにビット配線106が形成されている。ビット配線106は窒化タングステン(WN)およびタングステン(W)からなる積層膜で構成されている。

【0071】

ビット配線106を覆うように、第2の層間絶縁膜107が形成されている。第1の層間絶縁膜104および第2の層間絶縁膜107を貫通して、基板コンタクトプラグ109に接続するように容量コンタクトプラグ107Aが形成されている。容量コンタクトプラグ107Aは、基板コンタクト部205bおよび205cの位置に配置される。

10

【0072】

第2の層間絶縁膜107上には、窒化シリコンを用いた第3の層間絶縁膜111およびシリコン酸化膜を用いた第4の層間絶縁膜112が形成されている。第3の層間絶縁膜111および第4の層間絶縁膜112を貫通して、容量コンタクトプラグ107Aと接続するようにキャパシタ素子Capが形成されている。

【0073】

キャパシタ素子Capは、下部電極113と上部電極115の間に、第一の実施形態で詳細に説明した方法を用いて、容量絶縁膜114を形成する。すなわち、結晶化した2層の酸化ジルコニウム膜の間に、結晶粒界分断膜としてTiAlO膜が挟まれている構造となっている。TiAlO膜中の酸化アルミニウムの含有量が5~10atomic%の範囲となるように、成膜条件の調節を行っている。下部電極113は、容量コンタクトプラグ107Aと導通している。

20

【0074】

第4の層間絶縁膜112上には、酸化シリコン等で形成した第5の層間絶縁膜120と、アルミニウム(Al)、銅(Cu)等で形成した上層の配線層121と、表面保護膜122が形成されている。

【0075】

キャパシタ素子Capの上部電極115には、所定の電位が与えられており、キャパシタ素子Capに保持された電荷の有無を判定することによって、情報の記憶動作を行うDRAM素子として機能する。

30

【0076】

次に、キャパシタ素子Capの具体的な形成方法について、図10~12を用いて説明する。図10~12は、第3の層間絶縁膜111から上の部分のみを示した部分断面図である。

【0077】

まず、図10に示したように、第3の層間絶縁膜111および第4の層間絶縁膜112を所定の膜厚で堆積した後に、フォトリソグラフィ技術を用いて、キャパシタ素子を形成するための開口112Aを、第3の層間絶縁膜111および第4の層間絶縁膜112を貫通するように形成する。その後、ドライエッチング技術またはCMP(Chemical Mechanical Polishing)技術を用いて、下部電極113を開口112Aの内壁部分にのみ残すように形成する。下部電極113の材料としては、窒化チタンを用いているが、他の金属膜でもよい。

40

【0078】

次に、図11に示したように、ALD法を用いて約3~5nmの膜厚の酸化ジルコニウム膜と、約0.5~0.8nmのTiAlO膜と、約3~5nmの膜厚の酸化ジルコニウム膜を順次堆積する工程を繰り返して行い、合計3層を有する容量絶縁膜114を形成する。詳細は、第一の実施形態で示したとおりである。

【0079】

次に、図12に示したように、容量絶縁膜114の表面を覆い、かつ開口112A内を充填するように、窒化チタン膜を堆積して、上部電極115を形成する。上部電極115

50

の材料は、下部電極 1 1 3 と同じでもよく、異なってもよい。また、下部電極 1 1 3 および上部電極 1 1 5 は、複数の金属の積層膜で形成してもよく、例えば上部電極 1 1 5 を窒化チタン膜（下層）と多結晶シリコン膜（上層）の積層構造とすれば、開口 1 1 2 A 内を上部電極 1 1 5 で容易に充填することができる。上部電極 1 1 5 の形成の際に加わる熱処理を考慮し、酸化ジルコニウム膜が十分に結晶化していない場合には、窒素雰囲気中で 5 0 0 程度の熱処理を追加して、酸化ジルコニウム膜を完全に結晶化させる。

【 0 0 8 0 】

以上のようにして、キャパシタ素子 C a p が完成する。結晶粒界分断膜（上記の例では T i A l O 膜）は、膜の組成比および成膜後に加わるトータル熱処理を適切に設定することによって、最後まで非晶質状態が維持されている。

10

【 0 0 8 1 】

キャパシタ素子 C a p は、下部電極 1 1 3 の内壁部分と外壁部分を共に電極として利用するクラウン形や、下部電極 1 1 3 を開口 1 1 2 A 内に完全に充填して外壁部分のみを電極として利用するピラー型としてもよい。

【 0 0 8 2 】

本実施形態により、微細化によってメモリセルサイズが縮小した場合でも、静電容量値が大きく、リーク電流の小さいキャパシタ素子を容易に形成できる。従って、高集積度で電荷保持特性（リフレッシュ特性）に優れた D R A M 素子の形成が容易となる。

【 0 0 8 3 】

< 第三の実施形態 >

20

本実施形態の絶縁膜は、キャパシタ素子の容量絶縁膜として以外に、不揮発性メモリ素子（フラッシュメモリ等）のインターゲート絶縁膜や、一般的な M O S 型トランジスタの H i g h - K ゲート絶縁膜として用いることもできる。

【 0 0 8 4 】

本実施形態の絶縁膜を不揮発性メモリ素子に適用した場合の例について、図 1 3 を参照して説明する。

【 0 0 8 5 】

P 型のシリコンからなる半導体基板 2 0 0 上に、酸化シリコン膜を用いて形成したゲート絶縁膜 2 0 1 を介してフローティングゲート電極 2 0 2 を形成する。フローティングゲート電極 2 0 2 上には、本実施形態の絶縁膜を用いてインターゲート絶縁膜 2 1 0 を形成し、その上にコントロールゲート電極 2 0 6 を形成する。インターゲート絶縁膜 2 1 0 は、結晶化した酸化ジルコニウム膜 2 0 3 および 2 0 5 の間に、結晶粒界分断膜 2 0 4 として T i A l O 膜が挟まれて形成されている。

30

【 0 0 8 6 】

半導体基板 2 0 0 には、イオン注入法にて N 型不純物層 2 0 8 が形成されており、この N 型不純物層 2 0 8 はソース・ドレイン領域として機能する。コントロールゲート電極 2 0 6 を介して、フローティングゲート電極 2 0 2 の下層（ゲート絶縁膜）にトラップされる電子の状態を制御することにより、不揮発性メモリ素子として情報の記憶動作を行うことができる。

【 0 0 8 7 】

40

本実施形態の絶縁膜をインターゲート絶縁膜として用いることにより、リーク電流値が小さく、フローティングゲート電極とコントロールゲート電極間の静電容量値を高くすることができるので、微細化しても高性能な不揮発性メモリ素子を容易に形成することができる。

【 0 0 8 8 】

上述のようにして製造した D R A M 素子または不揮発性メモリ素子を用いることで、例えば、次に説明するデータ処理システムを形成することができる。図 1 4 は、本実施形態に係るデータ処理システムの概略構成図である。

【 0 0 8 9 】

データ処理システム 5 0 0 には、演算処理デバイス 5 2 0 と D R A M 素子 5 3 0 が含ま

50

れており、システムバス510を介して相互に接続されている。演算処理デバイス520は、MPU(Micro Processing Unit)や、DSP(Digital Signal Processor)等である。DRAM素子530は、第二の実施形態で説明した方法で形成したメモリセルを備えている。また、固定データの格納用に、ROM(Read Only Memory)540が、システムバス510に接続されていてもよい。

【0090】

システムバス510は、図14では簡便のため1本しか記載していないが、必要に応じてコネクタなどを介し、シリアルないしパラレルに接続される。また、各デバイスは、システムバス510を介さずに、ローカルなバスによって相互に接続されてもよい。

10

【0091】

また、データ処理システム500では、必要に応じて、不揮発性記憶デバイス550および入出力装置560がシステムバス510に接続される。不揮発性記憶デバイス550としては、ハードディスク、光ドライブ、SSD(Solid State Drive)などを利用できる。SSDには、第三の実施形態で説明したような記憶素子を備えた、NAND型フラッシュメモリを用いることができる。入出力装置560には、例えば、液晶ディスプレイなどの表示装置や、キーボード等のデータ入力装置が含まれる。

【0092】

データ処理システム500の各構成要素の個数は、図14では簡略化のため1つの記載にとどめているが、それに限定されず、全てまたはいずれかが複数個の場合も含まれる。データ処理システム500には、例えばコンピュータシステムが含まれるが、これに限定されない。

20

【符号の説明】

【0093】

- 1 下部電極
- 2 上部電極
- 3 酸化ジルコニウム膜
- 4 結晶粒界分断膜
- 5 酸化ジルコニウム膜
- 6 結晶粒界分断膜
- 7 酸化ジルコニウム膜
- 10 絶縁膜
- 101 半導体基板
- 103 素子分離領域
- 104 第1の層間絶縁膜
- 104A ビット線コンタクトプラグ
- 105 ゲート電極
- 105a ゲート絶縁膜
- 105b サイドウォール
- 105c 絶縁膜
- 106 ビット配線
- 107 第2の層間絶縁膜
- 107A 容量コンタクトプラグ
- 108 不純物拡散層
- 109 基板コンタクトプラグ
- 111 第3の層間絶縁膜
- 112 第4の層間絶縁膜
- 112A 開口
- 113 下部電極
- 114 容量絶縁膜

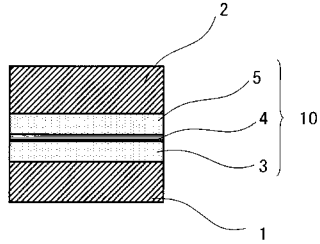
30

40

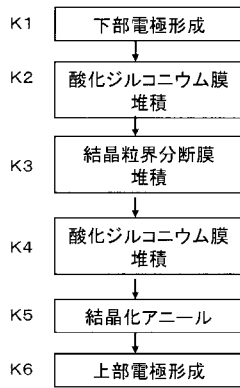
50

1 1 5	上部電極	
1 2 0	第5の層間絶縁膜	
1 2 1	配線層	
1 2 2	表面保護膜	
2 0 0	半導体基板	
2 0 1	ゲート絶縁膜	
2 0 2	フローティングゲート電極	
2 0 3	酸化ジルコニウム膜	
2 0 4	結晶粒界分断膜	
2 0 5	酸化ジルコニウム膜	10
2 0 5 a	基板コンタクト部	
2 0 5 b	基板コンタクト部	
2 0 5 c	基板コンタクト部	
2 0 6	コントロールゲート電極	
2 0 8	N型不純物層	
2 1 0	インターゲート絶縁膜	
5 0 0	データ処理システム	
5 1 0	システムバス	
5 2 0	演算処理デバイス	
5 3 0	D R A M素子	20
5 4 0	R O M	
5 5 0	不揮発性記憶デバイス	
5 6 0	入出力装置	
K	活性領域	
W	ワード配線	
T r 1	M O Sトランジスタ	
C a p	キャパシタ素子	

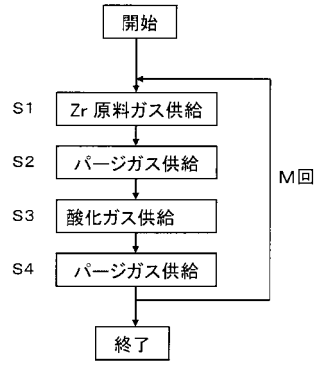
【図1】



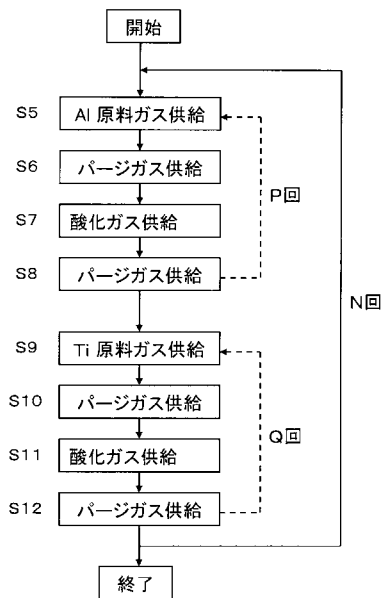
【図2】



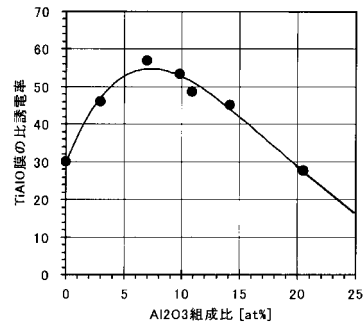
【図3】



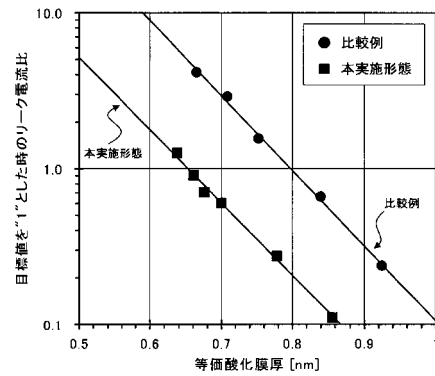
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/115 (2006.01)	H 0 1 L 29/78 3 0 1 G	
H 0 1 L 29/78 (2006.01)	H 0 1 L 21/316 X	
H 0 1 L 21/316 (2006.01)	H 0 1 L 21/316 M	
	H 0 1 L 21/316 P	

Fターム(参考) 5F083 AD04 AD24 AD42 AD48 AD49 AD56 AD60 EP02 EP23 EP56
 GA06 GA09 GA22 GA27 JA03 JA12 JA35 JA36 JA37 JA38
 JA39 JA40 JA53 LA21 MA03 MA05 MA06 MA17 MA20 NA01
 PR21 PR33 PR40
 5F101 BA26 BA36 BB05 BD02 BF09 BH02
 5F140 AA19 AA24 AA39 AB01 AB09 AC32 BD02 BD11 BD13 BE07
 BE10 BE17