

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-235726
(P2008-235726A)

(43) 公開日 平成20年10月2日(2008.10.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/205 (2006.01)	HO 1 L 21/205	5 F 0 0 3
HO 1 L 21/331 (2006.01)	HO 1 L 29/72	H 5 F 0 4 5
HO 1 L 29/737 (2006.01)		

審査請求 有 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願2007-75840 (P2007-75840)	(71) 出願人 000005108
(22) 出願日 平成19年3月23日 (2007. 3. 23)	株式会社日立製作所
(出願人による申告) 平成18年度、総務省、「高マイクログ波帯基盤技術の高度化のための研究開発」委託研究、産業再生法第30条の適用を受ける特許出願	東京都千代田区丸の内一丁目6番6号
	(74) 代理人 110000350
	ポレール特許業務法人
	(72) 発明者 小田 克矢
	東京都国分寺市東恋ヶ窪一丁目280番地
	株式会社日立製作所中央研究所内
	Fターム(参考) 5F003 BB01 BB04 BC01 BC04 BC08
	BE01 BF06 BM01 BP31
	5F045 AA03 AB02 AB05 AC01 AC05
	AC19 AD10 AD11 AE02 AE03
	AE05 AE07 AE09 AE11 AE13
	AE15 AE19 AE21 AE23 AE25
	AF03 BB05 CA01 DQ17

(54) 【発明の名称】 半導体多層膜の製造方法

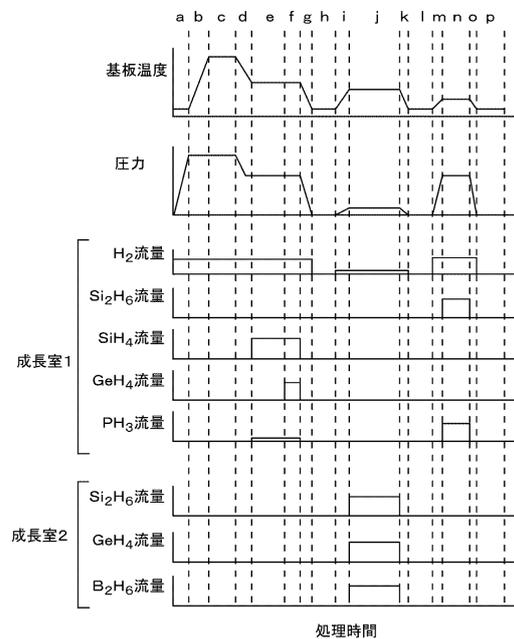
(57) 【要約】

【課題】 半導体多層膜、例えば、コレクタ、ベース、エミッタに供する各半導体層をエピタキシャル成長により連続して形成する半導体多層膜において、上記コレクタ/ベース及びエミッタ/ベースの各層界面での、結晶性の悪化に伴うリーク電流の発生を抑制する。

【解決手段】 例えば、コレクタ(第1の第1導電型単結晶層)、ベース(第2導電型単結晶層)、エミッタ(第2の第1導電型単結晶層)に供する各半導体層を大気に曝すことなく連続的に形成する際、コレクタとエミッタとに供する各半導体層は減圧状態でエピタキシャル成長し、ベースに供する半導体層は、高真空状態でエピタキシャル成長する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

単結晶基板表面に設けられた第 1 導電型領域上に、第 1 の第 1 導電型単結晶層と、該第 1 の第 1 導電型単結晶層上に設けられた第 1 導電型と反対導電型である第 2 導電型単結晶層と、該第 2 導電型単結晶層上に設けられた第 2 の第 1 導電型単結晶層からなる半導体多層膜の形成方法であって、前記半導体多層膜の形成中は常に単結晶基板を水素雰囲気中若しくは真空中に保持し、前記第 2 導電型単結晶層を成長する圧力を前記第 1 の第 1 導電型単結晶層および前記第 2 の第 1 導電型単結晶層を成長する圧力よりも低くすることを特徴とする半導体多層膜の製造方法。

【請求項 2】

前記第 1 の第 1 導電型単結晶層および前記第 2 の第 1 導電型単結晶層は第 1 の成長室にて形成し、前記第 2 導電型単結晶層は第 2 の成長室にて形成し、前記第 2 導電型単結晶層を成長する圧力を前記第 1 の第 1 導電型単結晶層および前記第 2 の第 1 導電型単結晶層を成長する圧力よりも低くすることを特徴とする請求項 1 に記載の半導体多層膜の製造方法。

10

【請求項 3】

前記第 1 の第 1 導電型単結晶層および前記第 2 導電型単結晶層および前記第 2 の第 1 導電型単結晶層を同一の成長室にて形成し、前記第 2 導電型単結晶層を成長する圧力を前記第 1 の第 1 導電型単結晶層および前記第 2 の第 1 導電型単結晶層を成長する圧力よりも低くすることを特徴とする請求項 1 に記載の半導体多層膜の製造方法。

20

【請求項 4】

前記第 1 の第 1 導電型単結晶層、前記第 2 導電型単結晶層、及び前記第 2 の第 1 導電型単結晶層からなる群のいずれか一者が、シリコン又はゲルマニウムを主成分として含むことを特徴とする請求項 1 に記載の半導体多層膜の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体多層膜の製造方法に関するものである。本発明は、特にコレクタ層、ベース層およびエミッタ層をエピタキシャル成長により形成したバイポーラトランジスタの製造方法に適用して有用である。

30

【背景技術】

【0002】

従来のエピタキシャル成長によってベース層とエミッタ層を形成したバイポーラトランジスタは、例えば、特開 2003077844 号公報（特許文献 1）に報告されている。

【0003】

これまでの代表的な製造方法を例示すれば、次の通りである。シリコン基板上に、コレクタ領域となる高濃度 n 型埋込層、低濃度 n 型シリコン層を形成し、次いで、素子分離絶縁膜、及び高濃度 n 型領域を形成する。各トランジスタ間に、通例溝型の素子分離領域を形成する。この後、この上部に、コレクタ・ベース分離絶縁膜、ベース引き出し多結晶シリコン膜、エミッタ・ベース分離絶縁膜の多層膜を堆積する。この多層膜におけるエミッタ領域の対応する領域にエミッタ開口部を形成し、前記エミッタ・ベース分離絶縁膜及び前記ベース引き出し多結晶シリコン膜の側壁に第 2 のエミッタ分離絶縁膜を形成する。次いで、前記コレクタ・ベース分離絶縁膜を選択的にエッチングすることによりベース引き出し多結晶シリコン膜のひさしを形成する。そして、その後、前記低濃度 n 型シリコン層の表面に低濃度 p 型単結晶シリコン層を形成する。そして、再び選択成長により、前記低濃度 p 型単結晶シリコン層上に p 型単結晶シリコン・ゲルマニウム層からなる真性ベースと、ベース引き出し多結晶シリコンのひさしの下に p 型多結晶シリコン・ゲルマニウム層からなるつなぎベースを同時に形成する。次いで、前記開口部に単結 n 型シリコン層からなるエミッタを形成し、更に、前記開口部の側壁に、第 3 のエミッタ・ベース分離の為の絶縁膜及び多結晶シリコン層を堆積する。この後、エミッタ電極となる多結晶 n 型シリ

40

50

コン層を形成し、当該積層体の全面に絶縁膜を堆積する。こうして得られた多層積層体の所望箇所に、コンタクトのための開口を形成し、ベース電極、エミッタ電極、およびコレクタ電極の各々を形成する。

【0004】

【特許文献1】特開2003077844号公報(図1)

【発明の開示】

【発明が解決しようとする課題】

【0005】

ベース層とエミッタ層をエピタキシャル成長により形成していた、これまでの代表的なバイポーラトランジスタの、真性部分におけるゲルマニウム組成比及び不純物濃度の深さ方向分布を図6に示す。横軸が表面からの深さ、縦軸は不純物濃度とGe組成比を示す。通例、半導体基板上に、n型単結晶シリコン(n-Si)と低濃度n型単結晶シリコン・ゲルマニウムの多層膜(n'-SiGe)からなるコレクタと、p型単結晶シリコン・ゲルマニウム層(p-SiGe)からなるベース層、及び高濃度n型単結晶シリコン層(n⁺-Si/SiGe)からなるエミッタ層と、を順次LPCVD法を用いたエピタキシャル成長によって形成している。この時、高い成長温度では各層の界面でドーピング不純物やゲルマニウムが偏析やミキシングを起こすため、ベース層を形成するp型不純物が基板中へと拡散してしまい(図6における、p-SiGeからn'-SiGeへの不純物濃度のだれにみられる)、ベース幅は、(D2'-D1')となる。この値は、p型単結晶シリコン・ゲルマニウム層を形成した直後のp型層の厚さよりも大きくなり、このバイポーラトランジスタの遮断周波数は低下する。尚、D2'の位置はエミッタ側からのn型とベース側からのp型の不純物濃度が同等となる位置である。又、図6でのn+Si領域は半導体基板上に、実際的な観点から、通例設けられる高濃度不純物領域である。

【0006】

一方、UHV/CVD法を用いたエピタキシャル成長によってコレクタ・ベース・エミッタ層の各層を形成すると、成長速度が遅いためスループットが極端に悪化すると同時に、エミッタ層でn型不純物のドーピング濃度が上げられないため、エミッタ抵抗の増大によりトランジスタの特性が悪化する。

【0007】

こうした事実を背景に、本発明の目的は、導電型の異なる複数の単結晶層からなる半導体多層膜を製造するに際し、多層膜の各層の不純物分布のばけを抑え、高濃度ドーピングが可能な半導体多層膜の形成方法を提供せんとするものである。

【課題を解決するための手段】

【0008】

本発明に係る半導体多層膜の形成方法は、次の通りである。即ち、単結晶基板表面、例えば単結晶シリコン基板表面に設けられた第1導電型領域上(即ち、代表例としては、通例、高濃度n型埋込領域上)に、第1の第1導電型単結晶層(即ち、代表例としては、通例n型単結晶シリコン・ゲルマニウム層)と、該第1の第1導電型単結晶層上に設けられた第1導電型と反対導電型である第2導電型単結晶層(即ち、代表例としては、p型単結晶シリコン・ゲルマニウム層)と、該第2導電型単結晶層上に設けられた第2の第1導電型単結晶層(即ち、代表例としては、n型単結晶シリコン層)からなる半導体多層膜の形成方法であって、前記半導体多層膜の形成中は常に単結晶基板を水素雰囲気中若しくは真空中に保持し、前記p型単結晶シリコン・ゲルマニウム層を成長する圧力を前記n型単結晶シリコン・ゲルマニウム層および前記n型単結晶シリコン層を成長する圧力よりも低くすることを特徴とするものである。

【0009】

又は、単結晶基板表面、例えば単結晶シリコン基板表面に設けられた第1導電型領域上(即ち、代表例としては、通例、高濃度n型埋込領域上)上に、第1の第1導電型単結晶層(即ち、代表例としては、通例n型単結晶シリコン・ゲルマニウム層)と、該第1の第1導電型単結晶層上に設けられた第1導電型と反対導電型である第2導電型単結晶層(即

ち、代表例としては、p型単結晶シリコン・ゲルマニウム層)と、該第2導電型単結晶層上に設けられた第2の第1導電型単結晶層すなわちn型単結晶シリコン層からなる半導体多層膜の形成方法であって、前記半導体多層膜の形成中は常に単結晶基板を水素雰囲気中若しくは真空中に保持し、前記n型単結晶シリコン・ゲルマニウム層および前記n型単結晶シリコン層は第1の成長室にて形成し、前記p型単結晶シリコン・ゲルマニウム層は第2の成長室にて形成し、前記p型単結晶シリコン・ゲルマニウム層を成長する圧力を前記n型単結晶シリコン・ゲルマニウム層および前記n型単結晶シリコン層を成長する圧力よりも低くするものである。

【0010】

更に、単結晶基板表面、例えば単結晶シリコン基板表面に設けられた第1導電型領域上(即ち、代表例としては、通例、高濃度n型埋込領域上)上に、第1の第1導電型単結晶層(即ち、代表例としては、通例n型単結晶シリコン・ゲルマニウム層)と、該第1の第1導電型単結晶層上に設けられた第1導電型と反対導電型である第2導電型単結晶層(即ち、代表例としては、p型単結晶シリコン・ゲルマニウム層)と、該第2導電型単結晶層上に設けられた第2の第1導電型単結晶層すなわちn型単結晶シリコン層からなる半導体多層膜の形成方法であって、前記半導体多層膜の形成中は常に単結晶基板を水素雰囲気中若しくは真空中に保持し、前記n型単結晶シリコン・ゲルマニウム層と前記p型単結晶シリコン・ゲルマニウム層と前記n型単結晶シリコン層を同一の成長室にて形成し、前記p型単結晶シリコン・ゲルマニウム層を成長する圧力を前記n型単結晶シリコン・ゲルマニウム層および前記n型単結晶シリコン層を成長する圧力よりも低くすればよい。

10

20

【0011】

上述の各半導体多層膜の製造方法において、前記第1の第1導電型単結晶層(例えば、前記n型単結晶シリコン・ゲルマニウム層)および前記第2の第1導電型単結晶層(例えば、前記n型単結晶シリコン層)を成長する圧力が100Pa以上となすのが良い。又、上述の各半導体多層膜の製造方法において、前記第2導電型単結晶層(例えば、前記p型単結晶シリコン・ゲルマニウム層)を成長する圧力が1Pa以下であるのが良い。

【0012】

尚、上記の説明では、本発明の理解を容易ならしめる為、各半導体層の例示を、具体例であるバイポーラトランジスタでの例を括弧書きにて例示した。但し、本発明の半導体多層膜はこれに限定されるものでない。

30

【発明の効果】

【0013】

本発明は、導電型の異なる複数の単結晶層からなる半導体多層膜を製造するに際し、多層膜の各層での不純物分布のばけを抑え、高濃度ドーピングが可能な半導体多層膜の形成方法を提供することが出来る。

【発明を実施するための最良の形態】

【0014】

本発明の実施に当たっての、代表的な半導体材料は、前記第1の第1導電型単結晶層、前記第2導電型単結晶層、及び前記第2の第1導電型単結晶層からなる群のいずれか一者がシリコンまたはゲルマニウムを主成分として含む半導体材料である。そしてこれらは、代表的な適用例であるバイポーラトランジスタに適用して極めて有用なものである。例えば、前記第1の第1導電型単結晶層をコレクタ領域、前記第2導電型単結晶層をベース領域、及び前記第2の第1導電型単結晶層をエミッタ領域として適用する。前記シリコンまたはゲルマニウムを主成分として含む半導体材料を例示すれば、Si、Si-Ge系半導体材料、Geである。更には、同材料に、カーボン(C)を含んだSiC系半導体材料あるいはSiGeC系半導体材料なども有用である。

40

【0015】

本発明に係るバイポーラトランジスタの形成方法の好適な実施の形態は、次の通りである。図7は、本発明の製造方法になる半導体多層膜の代表例の断面図である。即ち、シリコン基板30上の高濃度埋込み領域31上に、低濃度コレクタ32と、コレクタ領域と反

50

対導電型の単結晶層からなる真性ベース層33と、コレクタ領域と同じ導電型である単結晶層からなるエミッタ領域34を大気に曝すことなく連続して形成するものであり、前記真性ベースの形成は雰囲気圧力が1 Pa以下の高真空状態で行い、前記コレクタ、及びエミッタの形成は雰囲気圧力が100 Pa以上の減圧状態で行うものである。従って、通例は、前記真性ベースの形成は雰囲気圧力と前記コレクタ、及びエミッタの形成は雰囲気圧力とで、概ね2桁以上の圧力差がある。尚、この場合、各ガスの流量は、キャリアガスは数l/min、例えば1l/minより10l/minが、一方原料ガスは1cc/minより50cc/min程度が多用される。尚、上記高濃度埋込み領域31が設けられたシリコン基板30は、当該技術分野の通例の方法で準備される。より実際に半導体装置の特性改善のため、上記高濃度埋込み領域31以外に、その他の半導体層などが挿入することも可能である。

10

【0016】

このようにコレクタ、真性ベース、エミッタを連続して形成するため、真性ベースおよびエミッタのエピタキシャル成長の前に高温のクリーニング処理が不要となり、熱処理に伴うドーパントの拡がりを低減することができ、トランジスタの高速化が可能となる。しかも、真性ベースを圧力が1 Pa以下の高真空状態で成長することで、ゲルマニウム組成比やドーピング濃度、膜厚を高精度に制御できるため、ベースの内部電界を効果的に発生させることで高速化が可能となると共に、歩留まりを向上することができる。更にコレクタとエミッタを100 Pa以上大気圧以下の減圧状態でエピタキシャル成長することにより、高濃度ドーピングによる抵抗低減と、高速成長によるスループット向上が可能となる。

20

【0017】

尚、上記真性ベースを（前記第2導電型単結晶層に相当する）形成する雰囲気圧力は、1 Pa以下の高真空状態となすが、1 Pa以下0.1 Pa程度が実際的である。又、形成する半導体膜が均一に形成できる雰囲気圧力にする必要がある。この値は各種材料系、ポンプの排気速度など種々の条件にもよるが、概ね0.01 Pa程度である。一方、コレクタとエミッタ（第1の第1導電型単結晶層と第2の第1導電型単結晶層に相当する）を形成する為の雰囲気圧力は、100 Pa以上大気圧以下の減圧状態でエピタキシャルするが、500 Paから4000 Pa程度が実際的である。

30

【0018】

次に、本発明に係る半導体多層膜の製造方法の更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

<実施例1>

図1は、本発明に係る半導体製造装置および半導体多層膜の製造方法の第1の実施例を示す成長シーケンスである。横軸は処理時間、縦軸には、基板温度、雰囲気圧力、及び各種ガスの流量を示している。上段のアルファベットは各工程を指している。本例は、n型にドーピングされた単結晶シリコン・ゲルマニウム層とp型にドーピングされた単結晶シリコン・ゲルマニウム層からなる多層膜を形成する際の基板温度と成長圧力、およびガス流量の変化をステップごとに示す。

40

【0019】

図2には、本実施例を実現するために必要な半導体製造装置の構成図を示す。導電型の異なるドーピングを行って多層膜を形成するには、一般的には、一方の導電型のドーピングを行った後に同一の成長室で他方の導電型のドーピングを行うと、残留しているドーパントが取り込まれることによりドーピング濃度の制御性が悪化してしまう。又、残留しているドーパントが、結晶成長表面でのガスの吸着を阻害すること等から均一に成長が進行せず、エピタキシャル層の結晶性が悪化してしまう。従って、異なる導電型の半導体多層構造を形成する場合には、それぞれの導電型に応じた成長室を設ける必要がある。例えば、成長室1でn型ドーピングされた半導体層を形成する場合、p型ドーピングされた半導体層を形成する場合は成長室1とは別に設けた成長室2内で成長する必要がある。このよ

50

うな観点から、図2の例では、成長室1(10)及び成長室2(11)を準備し、これらを搬送室12で結んでいる。各成長室には、ターボ分子ポンプ14、16、更に、ドライポンプ15、17などの排気系が接続される。図2において、符号1,5はバルブ、2,6は切り替えバルブ、3,7はコンダクタンスバルブ、4,8はバイパスライン、13はロードロック室である。

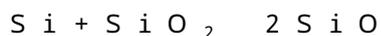
【0020】

<エピタキシャル成長の為の準備の諸工程>

まず始めに、基板表面の汚染物や自然酸化膜をあらかじめ除去するために基板の洗浄をおこなう。例えば、アンモニア、過酸化水素、水の混合液を加熱したもので基板を洗浄することにより、表面の重金属や有機物による汚染に加え、基板表面に付着したパーティクルを除去することができる。次いで、アンモニア、過酸化水素、水の混合液による洗浄中に基板表面に形成された酸化膜をフッ酸水溶液によって除去し、その直後に純水で洗浄することにより、シリコン基板表面は水素原子で覆われた状態となる。この状態では、基板の最表面に存在するシリコン原子は水素と結合しているため、基板洗浄を行ってから成長を開始するまでの間に表面に自然酸化膜が形成されにくくなる。この洗浄による基板表面の水素終端処理に加え、更に、表面に自然酸化膜が形成されるのを防ぐためには、基板の洗浄を行った後、基板表面が再び酸化されたり、汚染物が付着するのを防ぐため、シリコン基板を清浄な窒素中にて搬送すれば好適である。以下の各実施例に関しても、エピタキシャル成長前に行う基板の洗浄と搬送方法に関しては同様である。

【0021】

次いで、洗浄を行った基板をロードロック室13内に設置し、ロードロック室の真空排気を開始する。ロードロック室13の真空排気が完了した後、シリコン基板を、搬送室12を経由して成長室1(10)に搬送する。基板表面に汚染物が付着するのを防ぐため、搬送室及び成長室1は高真空状態もしくは超高真空状態であることが望ましく、例えば圧力が 1×10^{-5} Pa程度以下であると好適である。後に述べる成長室2(11)に関しても、真空度に関しては同様である。又、これらの成長室内で形成した単結晶層中に酸素や炭素が取り込まれることによる結晶欠陥の発生を防ぐため、搬送室や成長室1および成長室2に酸素や水分、または有機系の汚染物を含んだガスの混入を防ぐ必要がある。このことから、シリコン基板の搬送を開始するのはロードロック室13の圧力が 1×10^{-5} Pa程度以下になってから行うことが望ましい。シリコン基板表面を水素終端処理しても、搬送中における表面の酸化膜形成や汚染物の付着を完全に防ぐことはできないため、エピタキシャル成長前にシリコン基板表面のクリーニングを行う。クリーニング方法としては、例えば真空中でシリコン基板を加熱することによって基板表面の自然酸化膜を以下の反応によって除去することが可能となる。



又は、成長室1(10)内に清浄な水素を供給した状態でシリコン基板を加熱することによっても基板表面のクリーニングを行うことが可能である。前に述べた真空中での加熱によるクリーニングでは、基板温度が500程度以上になると基板表面を終端していた水素は脱離し、基板表面のむき出しになったシリコン原子と成長室内の雰囲気中に含まれる水分や酸素が反応し、基板表面が再酸化されてしまう。そして、この酸化膜が再び還元されることにより、クリーニングと共に基板表面の凹凸が増大し、その後行うエピタキシャル成長の均一性や結晶性を悪化させるという難点がある。又、同時に成長室内の雰囲気中に含まれる炭酸ガスや有機系のガスが表面に付着することから、炭素汚染によるエピタキシャル成長層の結晶性の悪化も発生する。一方、水素を基板表面に供給した状態でシリコン基板を加熱した場合、500以上の温度で水素が基板表面から脱離してしまっても、常に清浄な水素ガスが供給されているため、基板表面のシリコンと水素が結合と脱離を繰り返す。その結果、表面のシリコンは再酸化されにくくなり、クリーニング中に表面の凹凸が発生することもなく、清浄な表面状態を得ることが可能となる。

【0022】

水素雰囲気中でクリーニングを行うため、まず始めに成長室1(10)に水素ガスを供

給する(図1工程a)。このとき、水素ガスを供給する前に基板表面から水素が脱離するのを防ぐため、基板温度を水素の脱離する500より低くすれば好適である。また、水素ガスの流量は制御性良くガスが供給できるように10ml/min以上とし、排気されたガスを安全に処理するためには100l/min以下とすれば好適である。このとき、成長室1内の、水素ガスの分圧の下限は、基板表面に均一にガスが供給されるように100Paとし、上限は装置の安全性を保つために大気圧とすればよい。水素ガスが供給された後、シリコン基板をクリーニング温度まで加熱する(図1工程b)。このときの加熱方法としては、加熱に際してのシリコン基板への汚染や基板内での極端な温度の違いなどがなければ、どのような機構や構造でも良い。例えばワークコイルに高周波を印加して加熱する誘導加熱や、抵抗ヒータによる加熱などが適用できるほか、特に短時間での温度制御が可能な方法として、ランプからの輻射を利用した加熱方法を用いることができる。この加熱方法はクリーニングに限らず、後述する単結晶の成長に際しての加熱に関しても同様である。

10

20

30

40

50

【0023】

クリーニング温度までシリコン基板を加熱した後、所定の時間基板を加熱することにより表面の自然酸化膜や汚染物が除去できるが、例えばクリーニング温度は、クリーニングの効果が得られる温度として600以上であれば良く、又、熱処理による基板中のドーパントの拡散が顕著となる1000以下とすれば好適である(図1工程c)。更に、エピタキシャル成長の前に形成されている構造へ与える影響を低減するため、クリーニング温度は可能な限り低くする必要がある。又、基板表面の自然酸化膜や汚染物質の除去効率はクリーニング温度によって変化し、温度が高いほど短時間で効果が得られるため、必要以上に熱処理を行わない条件で加熱を行うことが望ましい。クリーニング温度が700の場合、クリーニングの効果が小さいため、クリーニング時間を30分とする必要があるのに対し、クリーニング時間を900とした場合、クリーニング時間は2分以上であればよい。既に形成されている構造への影響として、例えば基板中のドーパントの拡散による特性変動を考えると、ドーパントの拡散を押さえるためには、クリーニング温度を約800以下とする事が望ましく、この時のクリーニング時間は10分とすればよい。

【0024】

又、クリーニング温度の低温化を可能とする方法として、原子状水素を用いたクリーニングを行うこともできる。この方法では、基板表面に活性な水素原子を照射することにより、基板温度を上げなくても酸素の還元反応を生じさせることが可能となり、室温においてもクリーニング効果は得られる。原子状水素の発生方法としては、高温に加熱したタングステンなどのフィラメントに水素ガスを照射することにより熱的に水素分子を解離させる方法や、水素ガス中でプラズマを発生させて電氣的に水素分子を解離させる方法や、紫外線などの照射による原子状水素の発生などが可能である。但しこの場合、フィラメントやプラズマを発生する電極周辺からの金属汚染の発生や、プラズマによる石英部品などからの汚染物の発生などに十分注意をする必要がある。各方法とも、水素原子を大量に発生させるのは非常に困難であるため、水素ガスの中で、ある割合の分子を原子状態に解離させて基板表面に照射することにより、低温化が可能となる。例えば、クリーニング時間を10分以内とするためには、クリーニング温度を650とすればよい。

【0025】

以上、水素を用いたクリーニングについて説明を行ったが、クリーニング方法に関しては他の実施例に関しても同様である。

【0026】

<エピタキシャル成長>

クリーニングが終了した後、エピタキシャル成長を行う温度まで基板温度を下げ、エピタキシャル成長を行う温度で基板温度を安定させる時間を設ける(図1工程d)。温度の安定化を行うステップでは、クリーニング後のシリコン基板表面を清浄な状態に保つために水素ガスを供給し続けることが望ましいが、水素ガスは基板表面を冷却する効果を持っているため、加熱条件が同じであればガスの流量に応じて基板表面温度が変化してしまう

。従って、エピタキシャル成長で用いるガスの総流量と大きく異なる流量の水素ガスを供給した状態で温度が安定していても、エピタキシャル成長を開始した時点でガスの流量が変わることにより基板温度が大きく変動してしまう。この現象を防ぐため、基板温度の安定化を行うステップにおいては、その水素流量をエピタキシャル成長で用いるガスの総流量とほぼ同じ値を用いることが望ましい。又、必ずしも基板温度がエピタキシャル成長温度まで下がってから温度安定化を行うステップを設ける必要はなく、基板温度を下げながら水素ガスの流量を調整し、基板温度がエピタキシャル成長温度になった時点で水素ガスの流量が成長ガスの流量と等しくなれば好適であり、この場合、基板温度を下げたと同時にエピタキシャル成長を開始できるため、スループットを大幅に向上することができる。

10

【0027】

<<第1の第1導電型結晶層の成長>>

次いで、エピタキシャル層の原料ガスとn型ドーピングガスを供給することによって低濃度コレクタ層のエピタキシャル成長を開始する(図1工程e、f)。図の例では、原料ガスとして、 SiH_4 及び GeH_4 、ドーピングガスとして、 PH_3 が例示されている。ここで使用する原料ガスとしては、シリコン、ゲルマニウム等の4族元素と水素、塩素、フッ素などからなる化合物を用いることができる。例えば、モノシラン(SiH_4)、ジシラン(Si_2H_6)、モノゲルマン(GeH_4)、ジクロルシラン(SiH_2Cl_2)、三塩化シリコン(SiHCl_3)、四塩化シリコン(SiCl_4)などが挙げられるが、このほかのガスに関しても使用方法は同様である。本実施例では、単結晶シリコン・ゲルマニウムからなる多層膜の形成方法を例に挙げて説明を行うが、4族元素の炭素を導入した単結晶シリコン・ゲルマニウム・カーボンからなる多層膜を形成するには、炭素の原料ガスとして、モノメチルシラン(CH_3SiH_3)、ジメチルシラン($(\text{CH}_3)_2\text{SiH}_2$)、トリメチルシラン($(\text{CH}_3)_3\text{SiH}$)等を添加すればよい。また、n型ドーピングガスとしては、5族元素と水素、塩素、フッ素などからなる化合物を用いることができ、例えば、ホスフィン(PH_3)、アルシン(AsH_3)などが挙げられる。

20

【0028】

バイポーラトランジスタの耐圧を向上するためには、低濃度コレクタ層の厚さは100nm程度以上に厚くする必要があるため、エピタキシャル成長速度を上げてスループットを向上するのが望ましい。その為、成長温度と成長圧力を上げても気相中の反応が起きにくいジクロルシランやモノシラン等の原料ガスを用い、温度範囲としては、原料ガスが熱的に分解を始める600以上で、上限は良好な表面モフォロジーが保たれる800以下であれば好適である。この温度範囲で、成長圧力は成長速度が表面での反応で律速される100Pa以上で、上限はエピタキシャル成長装置の安全性を確保するために大気圧以下であれば好適である。図2に例示する成長室1(10)からバイパスライン4を通してドライポンプ1により排気を行い、コンダクタンスバルブ3の開度を調整することで成長圧力を制御することが可能となる。

30

【0029】

成長室1でのn型層の形成を終了するため、成長ガス及びドーピングガスの供給を停止し、反応室1からガスを排気すると同時に基板温度を下げる(図1工程g)。成長室間の移動を行う際(図1工程h)、直接成長室の間でウェハの搬送を行うことも可能であるが、n型及びp型のドーピングを行う二つの成長室間で、スループット良くエピタキシャル成長を行うためには、基板の搬送室12を設ければよい(図2)。基板表面を終端している水素原子は、基板温度が低ければ安定な状態で表面に存在することができるので、基板用面に汚染物質が付着しない範囲であれば、水素の供給に中断時間を設けても良い。例えば、成長室や搬送室の真空度が 1×10^{-7} Pa以下の場合、基板温度を室温まで下げれば、中断時間を10分程度設けても基板表面に汚染物質は付着しない。

40

又、基板表面のクリーニング終了時と同様に、基板表面に汚染物が付着するのを防ぐために清浄な水素ガスを供給することもできる。成長室1(10)から搬送室12を介して成長室2(11)に基板を移動する場合、成長室1と同様に、シリコン基板表面に汚染物を

50

付着させないためには、基板搬送室と成長室2にも水素ガスを供給し、基板は常に清浄な水素ガス中にある状態とすれば好適である。但し、成長室1から搬送室へ基板を搬送する際には、成長室1と搬送室の圧力が大きく異なっていると、ゲートバルブ1を開けた際に圧力の高い方から低い方へと水素ガスが急激に流れる為、基板支持位置がずれたり、パーティクルが巻き上げられる恐れがある。従って、基板の搬送を行う際には、成長室1と搬送室の圧力をほぼ等しくなるように制御する必要がある。同様に、成長室2に搬送室の圧力と同じ圧力になるように制御した状態で水素ガスを供給し、搬送室から成長室2に基板を搬送する。又、ここでは、基板表面のクリーニングと同様に、原子状の水素を含有した水素ガスを供給することにより、基板表面は反応性の高くなった水素原子と容易に結合しやすいため、特に低温状態での基板表面の水素被覆率が向上する。その結果、成長を中断し基板を搬送・保持している間の基板表面の汚染が発生しにくいため、多層膜の結晶性を向上させることができる。原子状水素を添加した基板搬送中の水素ガス供給方法に関しては、以下の実施例に関しても同様である。

10

20

30

40

50

【0030】

<<第2導電型単結晶層の成長>>

成長室2(11)内に基板を設置した後、清浄な水素を供給し続けた状態で基板温度をエピタキシャル成長温度まで上昇させる(図1工程i)。この時の水素ガス供給条件は、基板表面が水素で終端されて成長室2内の雰囲気中で再酸化されない状態であれば好適である。エピタキシャル成長の開始前後で基板温度を安定させるためには、後述するエピタキシャル成長中のガス流量と概ね等しくなる流量とすれば良い。成長室1で成長した低濃度n型単結晶シリコン・ゲルマニウム層の表面を清浄な状態に保ったまま成長室2に基板を搬送しているため、成長室2で、p型単結晶シリコン・ゲルマニウム層を成長する前に基板表面のクリーニングを行う必要が無い。その結果、エピタキシャル成長温度よりも高い温度での処理が必要なくなるため、成長室1で形成したn型単結晶シリコン・ゲルマニウム層及びシリコン基板中のドーパントの拡散や、転移及び欠陥の発生による結晶性の悪化を生じることがない。基板温度が、成長室2でのエピタキシャル成長温度に到達した後、成長ガス及びp型ドーピングガスを導入することにより、第2の半導体層であるp型単結晶シリコン・ゲルマニウム層の成長を開始する(図1工程j)。図では原料ガスとして、 SiH_4 及び GeH_4 、ドーピングガスとして、 B_2H_6 が例示されている。p型ドーピングガスとしては、3族元素と水素、塩素、フッ素などからなる化合物を用いることができ、例えば、ジボラン(B_2H_6)が挙げられる。又、シリコン及びゲルマニウムの原料ガスに関しては低濃度コレクタ層と同様であるが、特に10nm以下でプロファイルが変化する真性ベース周辺のエピタキシャル成長を行うためには、膜厚や組成比、ドーパントの高精度制御が要求される。その為、低温で分解・反応し結晶性の良いp型シリコン・ゲルマニウムを成長することができるジシランとゲルマンを用いると好適である。

【0031】

エピタキシャル成長を行う温度範囲は、ジシランが基板表面で反応を起こす500以上で、上限は表面モフォロジーが良好な800以下の範囲である。この温度範囲で、成長圧力は成長速度が表面での反応で律速される0.01Pa以上で、上限は気相中での反応が起こり始める1Pa以下であればよい。以下の実施例においても、p型単結晶シリコン・ゲルマニウムのエピタキシャル成長条件に関しては同様である。ドーピング濃度は、ドーピングガスの流量によって制御でき、例えば $1 \times 10^{19} \text{ cm}^{-3}$ のp型ドーピングを行うためには、ジボランの流量を0.01ml/minとすればよい。低濃度コレクタ層の終了時と同様に、p型単結晶シリコン・ゲルマニウム層の成長が終了すると同時に、成長ガス及びドーピングガスの供給を停止し、反応室2からガスを排気すると同時に基板温度を下げる(図1工程k)。そして、更にエミッタとなるn型単結晶層を形成するため、再び成長室1へ基板を搬送する(図1工程l)。基板の搬送方法に関しては、前述と同様である。

【0032】

<<第2の第1導電型単結晶層の成長>>

次いで、p型単結晶シリコン・ゲルマニウム層上にエミッタとなるn型単結晶シリコン層をエピタキシャル成長する。エピタキシャル成長の条件に関しては、低濃度n型コレクタと同様であるが、エミッタ抵抗を低減するためにできるだけ高濃度のドーピングを行う必要があるため、低温で高濃度ドーピングが実現できるジシランを原料ガスとして用いれば好適である(図1工程n)。

【0033】

本実施例に例示したように、低濃度コレクタ、真性ベース、エミッタの相当する、第1の第1導電型単結晶層、第2導電型単結晶層、及び第2の第1導電型単結晶層の各層をエピタキシャル成長により形成するため、コレクタ/ベースおよびベース/エミッタ界面における結晶性を向上できる。このことによって、トランジスタのリーク電流を抑制し、耐圧を向上することができる。又、エミッタを形成するまでに、エピタキシャル成長温度以上の熱処理が不要となることから、不純物拡散や界面でのミキシングを防ぐことが可能となる。その結果、図5に示すような高濃度で薄い真性ベース層を形成できるため、バイポーラトランジスタの高速化・高性能化に有効である。例えばベースドーピング濃度を $1 \times 10^{20} \text{ cm}^{-3}$ とした場合、本実施例を用いて形成したバイポーラトランジスタでは、 $1 \times 10^{20} \text{ cm}^{-3}$ のベースドーピング濃度を維持したまま10nm程度以下の厚さのベース幅が実現できる。従って、このトランジスタでは200GHzを超える遮断周波数を実現できる。また、ベース層の高いドーピング濃度が維持できることから、ベース抵抗が低減でき、バイポーラトランジスタの最大発信周波数を著しく向上することができる上に、トランジスタの雑音の低減が可能となる。さらに真性ベース(p-SiGe)はゲルマニウム組成比、ドーピング濃度、膜厚を高精度に制御でき、コレクタとエミッタではスループットを向上することができるため、高性能化と歩留まり向上に加え、高スループットによる低コスト化を実現することができる。

尚、図8は、当該バイポーラトランジスタの主要部の、半導体層の積層構成を示す断面図である。そして、図5は、本例でのバイポーラトランジスタの、真性部分におけるゲルマニウム組成比及び不純物濃度の深さ方向分布を示すものである。前述の図6と同様の表示である。図5及び図8に示した例は、より実際的なバイポーラトランジスタを提供する為、本発明の主要部以外の部分において、通例用いている半導体層が挿入されている。Si基板30にコレクタ領域となる高濃度n型埋め込み領域31が設けられていることは前述した。更に、この上部に本例ではn-Si層35が挿入されている。この層はこの上部に形成される低濃度SiGe層とのバンドギャップが連続して変化させる為の層である。これらの各半導体層は通例の方法に従って十分である。又、不純物の高濃度、低濃度も当該分野で通例用いられているものを用いて十分である。これら以外の、符号32、33、及び34は、低濃度コレクタ、真性ベース、エミッタに対応する、第1の第1導電型単結晶層、第2導電型単結晶層、及び第2の第1導電型単結晶層の各層に相当する。

【0034】

<実施例2>

図3は、本発明に係る半導体製造装置および半導体多層膜の製造方法の、第2の実施例を示す成長シーケンスである。図3は、n型にドーピングされた単結晶シリコン・ゲルマニウム層とp型にドーピングされた単結晶シリコン・ゲルマニウム層からなる多層膜を形成する際の基板温度と成長圧力、およびガス流量の変化をステップごとに示す。図4には、本実施例を実現するために必要な半導体製造装置の構成図を示す。図において、符号20が成長室、21が搬送室、22がロードロック室、23がターボ分子ポンプ、24がドライポンプである。その他は図2と同様である。実施例1と異なるのは、p型単結晶シリコン・ゲルマニウム層とn型単結晶シリコン・ゲルマニウム層を同一の成長室で形成する点である。導電型の異なるドーピングを同一の成長室で連続して行うと、残留している別のドーパントが取り込まれることによりドーピング濃度の制御性が悪化してしまう。又、残留しているドーパントが、結晶成長表面でのガスの吸着を阻害すること等から均一に成長が進行せず、エピタキシャル層の結晶性が悪化してしまう。そのため、導電型を変えて成長を行う時には、基板を一度成長室から出し、成長室のクリーニングを行った後に再び基

10

20

30

40

50

板を戻せばよい。この時、基板の搬送に際しては、超高真空中かもしくは清浄な水素雰囲気中にて行い、基板表面に酸化膜が形成されたり、汚染物が付着しないようにすることはもちろんであり、この方法に関しては実施例1と同様である。

【0035】

低濃度n型単結晶シリコン・ゲルマニウム層を形成した後(図3工程e、f)、基板を搬送室に搬送し、成長室のクリーニングを行う(図3工程h)。成長室のクリーニングは真空中で加熱する他、水素ガスや Cl_2 やHClなどのハロゲン系のガスを流した状態で成長室を加熱することもできる。加熱方法としては、成長室を加熱するために設けた専用の加熱機構を用いても良いが、基板を加熱する機構を用いて成長室を加熱しても良い。例えば水素ガスを用いる場合、水素ガスの流量はガスが均一に供給されるように $10\text{ml}/\text{min}$ 以上であり、排気した水素ガスの処理を行うためには $100\text{l}/\text{min}$ 以下であればよい。また、水素の分圧は、水素が均一に供給される様に 10Pa 以上とし、エピタキシャル成長装置の安全性を確保するために大気圧以下とすれば好適である。クリーニングを行う成長室内の温度は、加熱機構の配置に加え、用いている材料や形状場所によっても異なるが、エピタキシャル成長中に冷却されている部分はドーパントが堆積しにくいいため、低温でのクリーニングで効果を得ることができる。例えば、冷却水やその他の冷却媒体により冷却されたステンレスなどでは、エピタキシャル成長中にその表面にドーパントが堆積しにくいいため、クリーニングの効果が得られ始める 50 以上で加熱を行えば良く、上限としては、ステンレスの膨張による真空容器のリークが発生する可能性が生じる 250 以下とすればよい。一方、エピタキシャル成長中に冷却できない部分には、エピタキシャル成長中にシリコンやゲルマニウムと共に高濃度のドーパントが堆積する可能性があることから、比較的高温でのクリーニングが必要となる。たとえば、基板を支持する石英製のサセプタなどは、クリーニングの効果が得られる 200 以上であればよい。クリーニングの効果は温度などにより大きく左右されることから、クリーニングの加熱に必要な時間は温度によって変化するが、スループットの低下を防ぐためになるべく高い温度で短時間の処理を行うことが望ましい。例えば、高温部分の温度が 1000 程度の場合、加熱時間は 10 分程度でよい。

10

20

【0036】

一方、クリーニングガスとしてHClを用いた場合、水素ガスよりも低温でクリーニングの効果が得られる。例えば、HClの流量を $50\text{ml}/\text{min}$ とし、圧力を 100Pa とした場合、石英製のサセプタなどでは、表面温度を 500 程度に保つことにより、約 10 分でクリーニングが完了する。さらに、クリーニングガスとして ClF_3 を用いた場合、室温でもシリコンのエッチング反応が生じるため、 ClF_3 の圧力を 10Pa 以上とすることにより、成長室内に堆積したシリコンやドーパントをクリーニングすることができる。ただし、 ClF_3 を初めとするハロゲン系のガスでは、金属部品などの腐食が生じる恐れがあるため、水分濃度の管理や、排気配管等の定期的な交換が必要となる。

30

【0037】

本実施例により、ドーピングを行った後に成長室内に残留しているドーパントを除去することが可能となるため、ドーピングガスを流さずに成長した単結晶シリコン・ゲルマニウム層内のドーパント濃度を低減できる。

40

クリーニング終了後、再び基板を成長室に設置し、p型単結晶シリコン・ゲルマニウム層を形成する(図3工程j)。エミッタとなるn型単結晶シリコンの成長前についても同様である(図3工程l~n)。

【0038】

本実施例により、成長室が一つであっても、ドーピングを行った後に成長室内に残留しているドーパントを除去することが可能となるため、実施例1の効果に加えて、異なるドーパントを用いた多層膜の形成を行うエピタキシャル成長装置のコストを大幅に低減することが可能となる。

【0039】

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されるこ

50

となく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。例えば、実施例中ではn型単結晶シリコン・ゲルマニウム層、p型単結晶シリコン・ゲルマニウム層およびn型単結晶シリコン層からなる多層膜の場合について説明したが、単結晶シリコン・ゲルマニウム・カーボン層等を用いてよいことは言うまでもない。

【0040】

本発明は、導電型の異なる複数の単結晶層からなる半導体多層膜を製造するに際し、各層での不純物分布のばけを抑え、各層界面の不純物がないことから多層膜中での結晶欠陥の発生が無く、成長圧力を挙げることで高濃度ドーピングが可能である。更に、加えてスループットの向上を実現する半導体多層膜の形成方法を提供することが出来る。更に、前述した各実施例より明らかなように、本発明の半導体多層膜の製造方法をバイポーラトランジスタの製造方法に適用して、極めて有用である。即ち、本発明の半導体多層膜の製造方法によれば、コレクタ/ベースおよびベース/エミッタ界面における結晶性を向上できることから、バイポーラトランジスタのリーク電流を抑制し、耐圧を向上することができる。又、バイポーラトランジスタの真性ベースにおけるゲルマニウム組成比と不純物濃度、及び膜厚を高精度に、再現性良く制御できることから、高濃度で非常に薄い接合が得られる。このように、本発明の半導体多層膜の製造方法を、バイポーラトランジスタの製造方法に適用することにより、トランジスタの高速動作と雑音の低減が可能となる。更には、コレクタとエミッタ成長でのスループット向上により低コスト化が実現できる。

10

【図面の簡単な説明】

【0041】

20

【図1】図1は、本発明に係る半導体多層膜の製造方法を示すプロセスシーケンスである。

【図2】図2に示したプロセスシーケンスを実現するためのエピタキシャル成長装置の構成図である。

【図3】図3は、本発明に係る半導体多層膜の製造方法の第2の実施例を示すプロセスシーケンスである。

【図4】図4に示したプロセスシーケンスを実現するためのエピタキシャル成長装置の構成図である。

【図5】図5は、本発明に係る半導体多層膜における不純物濃度とゲルマニウム組成比の深さ方向の分布を示す特性図である。

30

【図6】図6は、これまでの半導体多層膜における不純物濃度とゲルマニウム組成比の深さ方向の分布を示す特性図である。

【図7】図7は、本発明の半導体多層膜の断面図である。

【図8】図8は、実施例1に例示した半導体多層膜の断面図である。

【符号の説明】

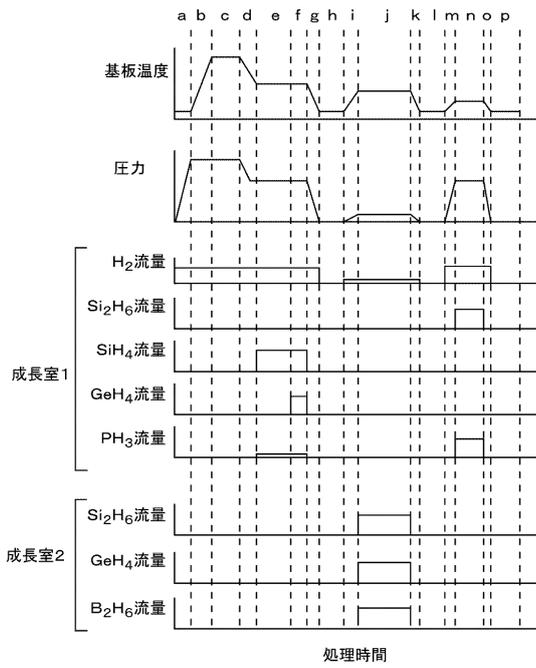
【0042】

1、5：バルブ、2、6：切り替えバルブ、3、7：コンダクタンスバルブ、4、8：バイパスライン、10：成長室、11：成長室、12：搬送室、13：ロードロック室、14：ターボ分子ポンプ、15：ドライポンプ、16：ターボ分子ポンプ、17：ドライポンプ、20：ドライポンプ、21：搬送室、22：ロードロック室、23：ターボ分子ポンプ、24：ドライポンプ、30：半導体基板、31：高濃度不純物埋め込み領域、32：第1の第1導電型単結晶層、33：第2導電型単結晶層、34：第2の第1導電型単結晶層、35：挿入された半導体層。

40

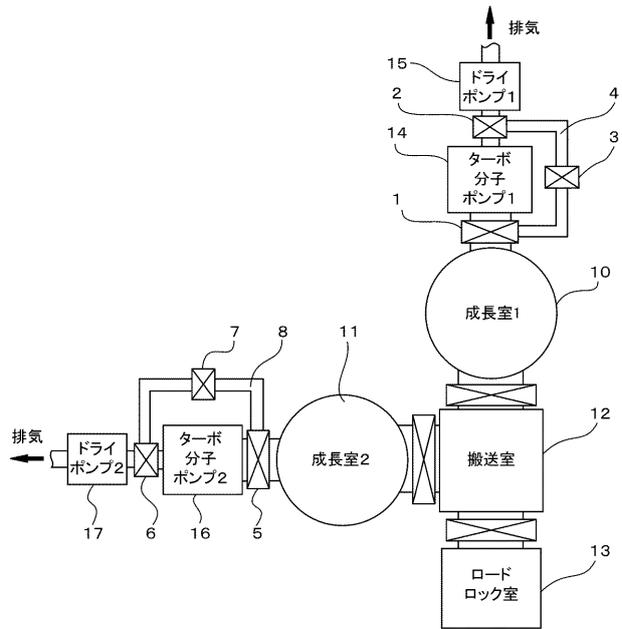
【 図 1 】

図 1



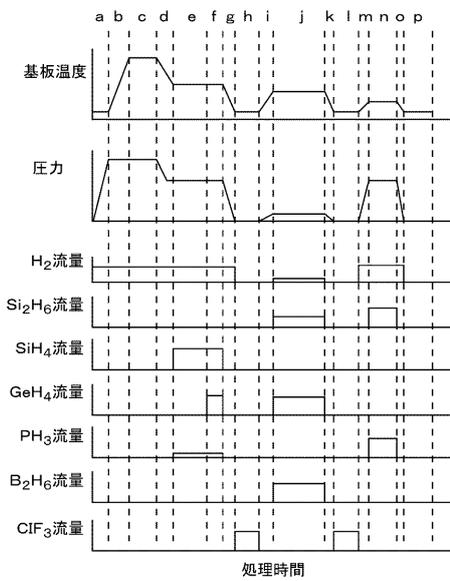
【 図 2 】

図 2



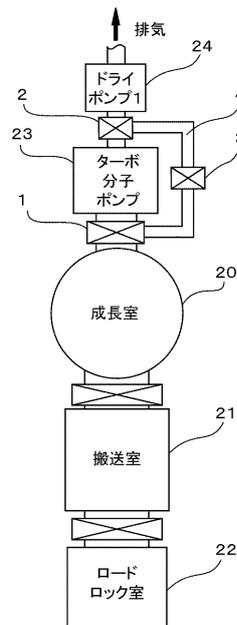
【 図 3 】

図 3



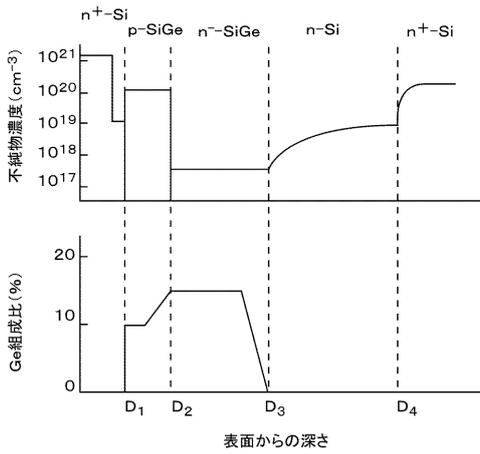
【 図 4 】

図 4



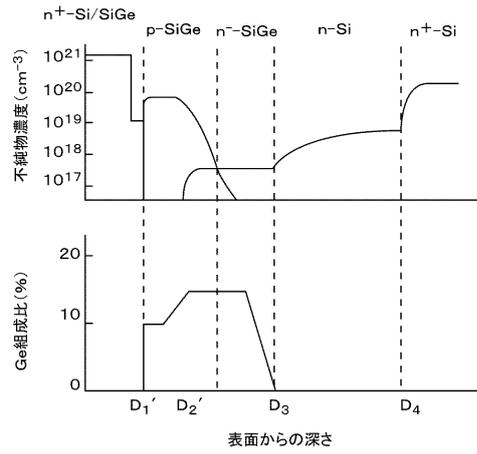
【 図 5 】

図 5



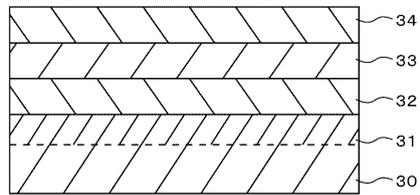
【 図 6 】

図 6



【 図 7 】

図 7



【 図 8 】

図 8

