

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5594294号
(P5594294)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月15日(2014.8.15)

| | |
|--------------------------|----------------------|
| (51) Int.Cl. | F I |
| HO 1 L 21/82 (2006.01) | HO 1 L 21/82 B |
| HO 1 L 21/822 (2006.01) | HO 1 L 27/04 A |
| HO 1 L 27/04 (2006.01) | HO 1 L 27/08 1 O 2 D |
| HO 1 L 27/088 (2006.01) | |
| HO 1 L 21/8234 (2006.01) | |

請求項の数 8 (全 16 頁)

| | | | |
|---------------|------------------------------|-----------|------------------------------|
| (21) 出願番号 | 特願2011-547278 (P2011-547278) | (73) 特許権者 | 000005821 |
| (86) (22) 出願日 | 平成22年12月14日(2010.12.14) | | パナソニック株式会社 |
| (86) 国際出願番号 | PCT/JP2010/007255 | | 大阪府門真市大字門真1006番地 |
| (87) 国際公開番号 | W02011/077664 | (74) 代理人 | 100104732 |
| (87) 国際公開日 | 平成23年6月30日(2011.6.30) | | 弁理士 徳田 佳昭 |
| 審査請求日 | 平成25年9月19日(2013.9.19) | (74) 代理人 | 100120156 |
| (31) 優先権主張番号 | 特願2009-294231 (P2009-294231) | | 弁理士 藤井 兼太郎 |
| (32) 優先日 | 平成21年12月25日(2009.12.25) | (72) 発明者 | 田丸 雅規 |
| (33) 優先権主張国 | 日本国(JP) | | 大阪府門真市大字門真1006番地 パナソニック株式会社内 |
| | | (72) 発明者 | 中西 和幸 |
| | | | 大阪府門真市大字門真1006番地 パナソニック株式会社内 |

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1方向に延びる複数のゲートが前記第1方向に直交する第2方向に並べて配置されているセル列が、複数個、前記第1方向に並べて配置されており、

前記複数のセル列は、それぞれ、

前記ゲートの下に形成されており、前記第2方向にそれぞれ延びている第1導電型ウエル領域および第2導電型ウエル領域を備え、

前記複数のセル列のうちの1つである第1のセル列は、

前記第1導電型ウエル領域において、前記第1導電型ウエル領域と同一導電型の不純物が注入されてなる第1のウエル電位給電領域と、

前記第1のウエル電位給電領域の前記第2方向における両側にそれぞれ配置された、第1および第2の隣接ゲートと、

前記第1の隣接ゲートに、前記第1のウエル電位給電領域の反対側に隣接して配置された第3の隣接ゲートと、

前記第2の隣接ゲートに、前記第1のウエル電位給電領域の反対側に隣接して配置された第4の隣接ゲートとを備え、

前記第1～第4の隣接ゲートは、前記第2方向において同一ピッチで配置されており、かつ、

前記複数のセル列のうちの、前記第1のセル列に前記第1方向において隣接する第1の隣接セル列は、前記第1～第4の隣接ゲートに前記第1方向においてそれぞれ対向してい

る4本のゲートを、有し、

前記第1の隣接ゲートと前記第3の隣接ゲートとの間に、前記第1導電型ウエル領域と同一導電型の不純物が注入されてなる第2のウエル電位給電領域が形成されている
ことを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記第1および第2の隣接ゲートのうち少なくともいずれか一方は、前記第1の隣接セル列における、当該隣接ゲートと対向しているゲートと、一体になるように接続されている
ことを特徴とする半導体装置。

10

【請求項3】

請求項1または2記載の半導体装置において、

前記第1および第2の隣接ゲートは、ダミーゲートである

ことを特徴とする半導体装置。

【請求項4】

請求項1記載の半導体装置において、

前記第1および第2のウエル電位給電領域は、一体に形成されている

ことを特徴とする半導体装置。

【請求項5】

請求項1または4記載の半導体装置において、

前記第1、第2および第3の隣接ゲートは、ダミーゲートである

ことを特徴とする半導体装置。

20

【請求項6】

請求項1記載の半導体装置において、

前記第1のセル列における前記第1導電型ウエル領域と、前記第1の隣接セル列における前記第1導電型ウエル領域とは、前記第1方向において隣接しており、
前記第1の隣接セル列は、

前記第1導電型ウエル領域において、前記第1導電型ウエル領域と同一導電型の不純物が注入されてなる第3のウエル電位給電領域を備えている

ことを特徴とする半導体装置。

30

【請求項7】

請求項1記載の半導体装置において、

前記第1～第4の隣接ゲートは、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界を跨いで延びている

ことを特徴とする半導体装置。

【請求項8】

請求項1記載の半導体装置において、

前記第1～第4の隣接ゲートは、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界において分割されている

ことを特徴とする半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ウエル領域に給電するためのウエル電位給電領域が設けられた半導体装置に関するものである。

【背景技術】

【0002】

従来の半導体装置では、ウエル電位を制御することを目的として、あるいは、ラッチアップを防止することを目的として、活性トランジスタの近傍に、ウエル領域に給電するためのウエル電位給電領域が設けられている。なお、「活性トランジスタ」とは、トランジ

50

スタの動作特性を利用して、回路の所望の機能に寄与するトランジスタのことをいう。

【0003】

図12はウエル電位給電領域が設けられた半導体装置の従来のレイアウトの一例を示す図である。図12の構成では、図面横方向において標準セルが複数配置された標準セル列が、図面縦方向に並べて配置されている。そして中央の標準セル列に、ウエル電位給電セルVSCが挿入されている。VSCNはN型の不純物が注入されており、N型ウエルにウエル電位を給電するウエル電位給電領域(TAP領域)であり、VSCPはP型の不純物が注入されており、P型ウエルにウエル電位を給電するウエル電位給電領域である。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開2008-235350号公報

【特許文献2】特開2007-12855号公報

【特許文献3】特開2001-148464号公報

【特許文献4】特開2009-32961号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

最近の半導体装置では、微細化の進展により、ゲートを露光する際に、回折光による光近接効果の影響が大きくなっている。このため、周辺のゲートパターンの状況に応じて、光近接効果の影響が大きく異なってしまい、ゲート長のばらつきが生じるという問題が起こっている。

20

【0006】

この問題に対処するためには、対象ゲートの周辺のゲートパターンの形状規則性を保つことが必要である。そして、対象ゲートの左右方向に並ぶゲートパターンだけでなく、その上下方向に並ぶゲートパターンの形状規則性に関しても、これを維持する必要がある。

【0007】

しかしながら、従来では、ウエル電位給電セルを配置した場合には、対象ゲートの左右方向および上下方向に並ぶゲートパターンの形状規則性を維持することができなくなる。例えば図12のレイアウトでは、ウエル電位給電セルVSCの挿入により、上の標準セル列におけるゲート電極GT5およびダミーゲートGT4、GT6に関しては、その下側にゲートが隣接配置されておらず、また下の標準セル列におけるゲート電極GB4、GB5、GB6に関しては、その上側にゲートが隣接配置されていない。また、ゲート電極GM3、GM7に関しては、それぞれ右側および左側にゲートが隣接配置されていない。このように、ウエル電位給電セルVSCを挿入したことによって、その周辺のゲートパターンの形状規則性が維持されなくなってしまう。

30

【0008】

よって、従来の半導体装置では、ゲートパターンの形状規則性を維持するために、活性トランジスタを有する標準セルを、ウエル電位給電セルVSCの近傍を避けて配置する必要があった。ところがこの場合には、半導体装置のレイアウト面積の増大を招くことになり、好ましくない。

40

【0009】

前記の問題に鑑み、本発明は、ウエル電位給電領域を有する半導体装置を、光近接効果によるゲート長のばらつきを確実に抑制し、かつ、レイアウト面積を増大させることなく、実現することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様では、第1方向に延びる複数のゲートが前記第1方向に直交する第2方向に並べて配置されているセル列が、複数個、前記第1方向に並べて配置されている半導体装置において、

50

前記複数のセル列は、それぞれ、
 前記ゲートの下に形成されており、前記第2方向にそれぞれ延びている第1導電型ウエル領域および第2導電型ウエル領域を備え、
 前記複数のセル列のうちの一つである第1のセル列は、
 前記第1導電型ウエル領域において、前記第1導電型ウエル領域と同一導電型の不純物が注入されてなる第1のウエル電位給電領域と、
 前記第1のウエル電位給電領域の前記第2方向における両側にそれぞれ配置された、第1および第2の隣接ゲートと、
 前記第1の隣接ゲートに、前記第1のウエル電位給電領域の反対側に隣接して配置された第3の隣接ゲートと、
 前記第2の隣接ゲートに、前記第1のウエル電位給電領域の反対側に隣接して配置された第4の隣接ゲートとを備え、
 前記第1～第4の隣接ゲートは、前記第2方向において同一ピッチで配置されており、かつ、
 前記複数のセル列のうち、前記第1のセル列に前記第1方向において隣接する第1の隣接セル列は、前記第1～第4の隣接ゲートに前記第1方向においてそれぞれ対向している4本のゲートを、有している。

【0011】

この態様によると、第1のセル列の第1導電型ウエル領域において、第1のウエル電位給電領域が設けられている。そして、第1のウエル電位給電領域の第2方向における両側に配置された第1および第2の隣接ゲート、およびそのさらに両側に配置された第3および第4の隣接ゲートは、第2方向において同一ピッチで配置されている。さらに、第1のセル列に第1方向において隣接する第1の隣接セル列は、第1～第4の隣接ゲートに第1方向においてそれぞれ対向している4本のゲートを、有している。すなわち、第1のウエル電位給電領域の周辺のゲートパターンに関して、形状規則性が維持されている。したがって、ゲートパターンに応じて異なる光近接効果の影響を回避することができるので、ゲート長のばらつきを確実に抑制しつつ、ウエル電位給電領域の設置によるレイアウト面積の増大を抑制することができる。

【0012】

本発明の他の態様では、第1方向に延びる複数のゲートが前記第1方向に直交する第2方向に並べて配置されているセル列が、複数個、前記第1方向に並べて配置されている半導体装置において、

前記複数のセル列は、それぞれ、
 前記ゲートの下に形成されており、前記第2方向にそれぞれ延びている第1導電型ウエル領域および第2導電型ウエル領域を備え、
 前記複数のセル列のうちの一つである第1のセル列は、
 前記第1導電型ウエル領域において、前記第1導電型ウエル領域と同一導電型の不純物が注入されてなる第1のウエル電位給電領域と、
 前記第1のウエル電位給電領域の上に配置された第1のゲートとを備えている。

【0013】

この態様によると、第1のセル列の第1導電型ウエル領域において、第1のウエル電位給電領域が設けられている。そして、この第1のウエル電位給電領域の上に、第1のゲートが配置されている。この構造によって、この第1のゲートを含む複数のゲートに関して、第2方向において同一ピッチで配置することが可能になり、また、第1方向において他のゲートを対向させることが可能になる。すなわち、第1のウエル電位給電領域の周辺のゲートパターンに関して、形状規則性を維持することができる。したがって、ゲートパターンに応じて異なる光近接効果の影響を回避することができるので、ゲート長のばらつきを確実に抑制しつつ、ウエル電位給電領域の設置によるレイアウト面積の増大を抑制することができる。

【発明の効果】

【0014】

本発明によると、ウエル電位給電領域を配置した場合でも、その周辺のゲートパターンの形状規則性を維持することができるので、ゲート長のばらつきを確実に抑制しつつ、ウエル電位給電領域の設置によるレイアウト面積の増大を抑制することができる。

【図面の簡単な説明】

【0015】

【図1】第1の実施形態に係るタップセルのレイアウト構造の例である。

【図2】第1の実施形態に係るタップセルのレイアウト構造の他の例である。

【図3】図1および図2のタップセルを用いた半導体装置のレイアウト構成の一例である。

【図4】図1のタップセルの断面構造を示す図である。

【図5】図2のタップセルの断面構造を示す図である。

【図6】第2の実施形態に係るタップセルのレイアウト構造の例である。

【図7】図6に示すトランジスタ型のウエル電位給電領域を用いた半導体装置のレイアウト構成の一例である。

【図8】半導体装置のレイアウト構成の他の例である。

【図9】半導体装置のレイアウト構成の他の例である。

【図10】半導体装置のレイアウト構成の他の例である。

【図11】半導体装置のレイアウト構成の他の例である。

【図12】従来の半導体装置のレイアウトの一例である。

【発明を実施するための形態】

【0016】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本願明細書において、「ダミーゲート」とは、トランジスタを構成しないゲートのことをいう。また、活性トランジスタのゲートとして機能するゲートのことを、「ゲート電極」という。さらに、単に「ゲート」という場合は、「ダミーゲート」と「ゲート電極」の両方を含み得るものとする。

【0017】

(第1の実施形態)

図1は第1の実施形態に係るタップセルのレイアウト構造の例を示す図である。ここで、「タップセル」とは、ウエルへの電位給電領域を有するセルのことをいう。図1のレイアウト構造では、インバータを構成する論理セル5a, 5bの間にタップセル1が隣接配置されている。

【0018】

図1において、タップセル1は、N型ウエル領域NWに形成されたN型不純物拡散領域11nと、P型ウエル領域PWに形成されたP型不純物拡散領域11pとを有している。N型ウエル領域NWには、N型不純物拡散領域11nからコンタクトおよび配線を介して所望のウエル電位が給電される。P型ウエル領域PWには、P型不純物拡散領域11pからコンタクトおよび配線を介して所望のウエル電位が給電される。すなわち、N型不純物拡散領域11nとP型不純物拡散領域11pは、ウエル電位給電領域(TAP領域)を構成する。

【0019】

論理セル5a, 5bは、それぞれ、N型ウエル領域NWに形成されたPMOSトランジスタTPa, TPbとP型ウエル領域PWに形成されたNMOSトランジスタTNa, TNbとを備えている。

【0020】

そして、タップセル1と論理セル5a, 5bとの間には、それぞれ、ダミーゲート12a, 12bが配置されている。また、論理セル5a, 5bのタップセル1とは反対側の境界にも、ダミーゲート13a, 13bがそれぞれ配置されている。

【0021】

10

20

30

40

50

このようにダミーゲートを配置したことによって、図 1 に示すように、縦方向に延びる複数のゲート（ダミーゲートを含む）が、横方向においてほぼ一定ピッチ P でレイアウトされる。すなわち、図 1 のようなタップセル 1 のレイアウト構造を採用することによって、論理セル 5 a , 5 b の間にタップセル 1 を配置した場合でも、ゲートパターンの形状規則性を保つことができる。

【 0 0 2 2 】

図 2 は第 1 の実施形態に係るタップセルのレイアウト構造の他の例を示す図である。図 2 のレイアウト構造では、インバータを構成する論理セル 5 a , 5 b の間にタップセル 2 が隣接配置されている。論理セル 5 a , 5 b のレイアウト構造は、図 1 と同様である。

【 0 0 2 3 】

図 2 において、タップセル 2 は、N 型ウエル領域 NW に形成された 2 個の N 型不純物拡散領域 2 1 n , 2 2 n と、P 型ウエル領域 PW に形成された 2 個の P 型不純物拡散領域 2 1 p , 2 2 p とを有している。N 型ウエル領域 NW には、N 型不純物拡散領域 2 1 n , 2 2 n からコンタクトおよび配線を介して所望のウエル電位が給電される。P 型ウエル領域 PW には、P 型不純物拡散領域 2 1 p , 2 2 p からコンタクトおよび配線を介して所望のウエル電位が給電される。すなわち、2 個の N 型不純物拡散領域 2 1 n , 2 2 n と 2 個の P 型不純物拡散領域 2 1 p , 2 2 p は、ウエル電位給電領域（TAP 領域）を構成する。

【 0 0 2 4 】

そして、タップセル 2 と論理セル 5 a , 5 b との間には、それぞれ、ダミーゲート 2 3 a , 2 3 b が配置されている。さらに、N 型不純物拡散領域 2 1 n , 2 2 n の間から P 型不純物拡散領域 2 1 p , 2 2 p の間にわたって、ダミーゲート 2 3 c が配置されている。

【 0 0 2 5 】

このようにダミーゲートを配置したことによって、図 2 に示すように、縦方向に延びる複数のゲート（ダミーゲートを含む）が、横方向においてほぼ一定のピッチ P でレイアウトされる。すなわち、図 2 のようなタップセル 2 のレイアウト構造を採用することによって、論理セル 5 a , 5 b の間にタップセル 2 を配置した場合でも、ゲートパターンの形状規則性を保つことができる。

【 0 0 2 6 】

図 3 は図 1 および図 2 に示すタップセルを用いた半導体装置のレイアウト構成の一例である。図 3 のレイアウトでは、縦方向（第 1 方向）に延びる複数のゲートが横方向（第 2 方向）に並べて配置されているセル列 A 1 , A 2 が、縦方向に並べて配置されている。セル列 A 1 , A 2 では、それぞれ、横方向に延びている P 型ウエル領域 PW および N 型ウエル領域 NW がゲートの下に形成されている。なお、セル列 A 2 では、P 型ウエル領域 PW と N 型ウエル領域 NW がフリップされており、セル列 A 1 , A 2 の N 型ウエル領域 NW は隣接している。

【 0 0 2 7 】

図 3 のレイアウト構成では、図 1 に示したタップセル 1 と同一構成からなるタップセル 1 A , 1 B , 1 C , 1 D と、図 2 に示したタップセル 2 と同一構成からなるタップセル 2 A , 2 B , 2 C , 2 D とが配置されている。

【 0 0 2 8 】

ここで、セル列 A 1 に配置されたタップセル 1 A における N 型不純物拡散領域 1 4 n に着目する。N 型不純物拡散領域 1 4 n は、セル列 A 1 の N 型ウエル領域 NW にウエル電位を給電するウエル電位給電領域として機能する。そして、第 1 のウエル電位給電領域としての N 型不純物拡散領域 1 4 n の横方向における両側に、第 1 および第 2 の隣接ゲートとしてのダミーゲート 1 5 a , 1 5 b がそれぞれ配置されている。ダミーゲート 1 5 a の、N 型不純物拡散領域 1 4 n の反対側には、第 3 の隣接ゲートとしてのゲート電極 1 5 c が隣接して配置されており、ダミーゲート 1 5 b の、N 型不純物拡散領域 1 4 n の反対側には、第 4 の隣接ゲートとしてのゲート電極 1 5 d が隣接して配置されている。

【 0 0 2 9 】

そして、ゲート電極 1 5 c、ダミーゲート 1 5 a、1 5 b、ゲート電極 1 5 d は、横方

10

20

30

40

50

向において同一ピッチPで配置されている。さらに、第1の隣接セル列としてのセル列A2は、セル列A1のゲート電極15c、ダミーゲート15a, 15b、ゲート電極15dに縦方向においてそれぞれ対向(間隔S)している、4本のゲート15e, 15f, 15g, 15hを有している。すなわち、着目したN型不純物拡散領域14nに関して、横方向に2本ずつ隣接する計4本のゲートのパターンが、形状規則性を有している。

【0030】

また、セル列A2に配置されたタップセル2CにおけるN型不純物拡散領域16nに着目する。N型不純物拡散領域16nは、セル列A2のN型ウエル領域NWにウエル電位を給電するウエル電位給電領域として機能する。そして、第1のウエル電位給電領域としてのN型不純物拡散領域16nの横方向における両側に、第1および第2の隣接ゲートとしてのダミーゲート17a, 17bがそれぞれ配置されている。ダミーゲート17aの、N型不純物拡散領域16nの反対側には、第3の隣接ゲートとしてのゲート電極17cが隣接して配置されており、ダミーゲート17bの、N型不純物拡散領域16nの反対側には、第4の隣接ゲートとしてのダミーゲート17dが隣接して配置されている。さらに、ダミーゲート17bとダミーゲート17dとの間には、第2のウエル電位給電領域としてのN型不純物拡散領域18nが形成されている。

10

【0031】

そして、ゲート電極17c、ダミーゲート17a, 17b, 17dは、横方向において同一ピッチPで配置されている。さらに、第1の隣接セル列としてのセル列A1は、セル列A2のゲート電極17c、ダミーゲート17a, 17b, 17dに縦方向においてそれぞれ対向している、4本のゲート17e, 17f, 17g, 17hを有している。すなわち、着目したN型不純物拡散領域16nに関して、横方向に2本ずつ隣接する計4本のゲートのパターンが、形状規則性を有している。

20

【0032】

このようなレイアウトによって、ウエル電位給電領域を配置した場合でもその周辺のゲートパターンの形状規則性を維持することができるため、ゲートパターンに応じて異なる光近接効果の影響を回避することができる。したがって、ゲート長のばらつきを確実に抑制しつつ、ウエル電位給電領域の設置によるレイアウト面積の増大を抑制することができる。

【0033】

なお、ここでは、N型ウエル領域にウエル電位を給電するN型不純物拡散領域に着目して説明を行ったが、P型ウエル領域にウエル電位を給電するP型不純物拡散領域に関しても、同様の構成を実現することができ、同様の作用効果が得られる。

30

【0034】

ここで、「ゲートが同一ピッチPで配置されている」とは、ピッチが完全に同一であることを意味するものでは必ずしもなく、ほぼ同一のピッチで配置されていればよく、ある程度までの変動を許容するものとする。例えば、ピッチPの半分(=P/2)程度までの変動は許容するものとする。あるいは、ゲート幅Lgまでの変動は許容するものとする。

【0035】

また、ウエル電位給電領域に隣接する4本のゲートと、これらに対向する4本のゲートとは、ほぼ同じ間隔をもって配置されているのが好ましい。なお、タップセル2Cにおけるダミーゲート17a, 17b, 17dのように、対向しているゲートと、一体となるように接続されていてもかまわない。

40

【0036】

また、ウエル電位給電領域は、隣接するセル列における同一導電型のウエル電位給電領域と、一体に形成されていてもかまわない。例えば、タップセル2CにおけるN型不純物拡散領域16nは、一点鎖線で示したように、セル列A1のタップセル2Aにおける第3のウエル電位給電領域としてのN型不純物拡散領域19nと、一体に形成されていてもよい。このように形成することによって、ウエル電位給電領域を形成するための不純物注入がより容易になる。

50

【 0 0 3 7 】

なお、図 1 ~ 図 3 の構成において、ゲートが同一ピッチ P で配置されていることに加え、各ゲートの横方向の幅が同一であることが、好ましい。

【 0 0 3 8 】

また、図 1 ~ 図 3 では、ウエル電位給電領域の縦方向のサイズは、隣接するトランジスタのゲート幅（拡散領域の幅）と同じであるように図示しているが、これに限られるものではなく、トランジスタのゲート幅とは異なるようにしてもよい。

【 0 0 3 9 】

また、図 1 ~ 図 3 では、各ゲートは、N型ウエル領域 NW と P型ウエル領域 PW との境界を跨いで延びているが、この境界で分割して配置してもよい。さらには、N型ウエル領域 NW 内、または P型ウエル領域 PW 内においても、近接効果による影響を考慮した上で、ゲートを分割して配置してもかまわない。

10

【 0 0 4 0 】

また、ウエル電位給電領域は、ゲート同士の間挟まれて配置されていけばよく、縦方向および横方向においてそのサイズは特には制限されない。

【 0 0 4 1 】

図 4 (a) は図 1 と同一の平面図、図 4 (b) , (c) は図 4 (a) の線 X - X ' における断面構造を示す図、図 4 (d) は図 4 (a) の線 Y - Y ' における断面構造を示す図である。図 1 のようなタップセルの構造を採用した場合、ウエル電位給電領域 1 1 n , 1 1 p の横方向の幅が微小であるため、不純物の注入が必ずしもうまくいかない可能性がある。すなわち図 4 (b) に示すように、理想的には、ダミーゲートに挟まれたウエル電位給電領域にはウエル領域と同一導電型（図では N 型）の不純物が注入されるのが好ましい。ところが実際の製造プロセスでは、図 4 (c) , (d) に示すように、隣接する拡散領域に注入される別の導電型（図では P 型）の不純物がウエル電位給電領域に注入されてしまい、このため、ダミーゲート間にウエル電位給電領域がうまく形成されない可能性がある。

20

【 0 0 4 2 】

図 5 (a) は図 2 と同一の平面図、図 5 (b) は図 5 (a) の線 X - X ' における断面構造を示す図である。図 2 のようなタップセルの構造を採用した場合には、図 5 (b) に示すように、たとえ、隣接する拡散領域に注入される別の導電型（図では P 型）の不純物がウエル電位給電領域に注入されてしまった場合であっても、ダミーゲートの間には、ウエル領域と同一導電型（図では N 型）のウエル電位給電領域が形成される。

30

【 0 0 4 3 】

（第 2 の実施形態）

図 6 は第 2 の実施形態に係るタップセルのレイアウト構造の例を示す図である。図 6 のレイアウト構造では、インバータを構成する論理セル 5 a , 5 b の間にタップセル 3 が隣接配置されている。論理セル 5 a , 5 b のレイアウト構造は、図 1 と同様である。

【 0 0 4 4 】

図 6 において、タップセル 3 は、N型ウエル領域 NW に形成された N 型不純物拡散領域 3 1 n と、P型ウエル領域 PW に形成された P 型不純物拡散領域 3 1 p とを有している。N型ウエル領域 NW には、N 型不純物拡散領域 3 1 n からコンタクトおよび配線を介して所望のウエル電位が給電される。P型ウエル領域 PW には、P 型不純物拡散領域 3 1 p からコンタクトおよび配線を介して所望のウエル電位が給電される。すなわち、N 型不純物拡散領域 3 1 n と P 型不純物拡散領域 3 1 p は、ウエル電位給電領域（TAP 領域）を構成する。

40

【 0 0 4 5 】

そして、タップセル 3 と論理セル 5 a , 5 b との間には、それぞれ、ダミーゲート 3 2 a , 3 2 b が配置されている。さらに、N 型不純物拡散領域 3 1 n および P 型不純物拡散領域 3 1 p の上に、ダミーゲート 3 2 c が配置されている。すなわち、N 型不純物拡散領域 3 1 n および P 型不純物拡散領域 3 1 p は、いわゆるトランジスタ型のウエル電位給電

50

領域になっている。

【 0 0 4 6 】

このようにダミーゲートを配置したことによって、図 6 に示すように、縦方向に延びる複数のゲート（ダミーゲートを含む）が、横方向においてほぼ一定のピッチ P でレイアウトされる。すなわち、図 6 のようなタップセル 3 のレイアウト構造を採用することによって、論理セル 5 a , 5 b の間にタップセル 3 を配置した場合でも、ゲートパターンの形状規則性を保つことができる。

【 0 0 4 7 】

図 7 は図 6 に示すトランジスタ型のウエル電位給電領域を用いた半導体装置のレイアウト構成の一例である。図 7 のレイアウトでは、縦方向（第 1 方向）に延びる複数のゲートが横方向（第 2 方向）に並べて配置されているセル列 B 1 , B 2 , B 3 が、縦方向に並べて配置されている。セル列 B 1 , B 2 , B 3 では、それぞれ、横方向に延びている P 型ウエル領域 P W および N 型ウエル領域 N W がゲートの下に形成されている。なお、セル列 B 2 では、P 型ウエル領域 P W と N 型ウエル領域 N W がフリップされており、セル列 B 1 , B 2 の N 型ウエル領域 N W は隣接しており、セル列 B 2 , B 3 の P 型ウエル領域 P W は隣接している。

10

【 0 0 4 8 】

図 7 のレイアウト構成では、トランジスタ型の第 1 のウエル電位給電領域として、P 型不純物拡散領域 3 3 p , 3 4 p と、N 型不純物拡散領域 3 3 n とが設けられている。P 型不純物拡散領域 3 3 p はセル列 B 1 の P 型ウエル領域 P W に給電を行い、N 型不純物拡散領域 3 3 n はセル列 B 1 の N 型ウエル領域 N W に給電を行い、P 型不純物拡散領域 3 4 p はセル列 B 2 の P 型ウエル領域 P W に給電を行う。そして、P 型不純物拡散領域 3 3 p の上には第 1 のゲートとしてのダミーゲート 3 4 a が、N 型不純物拡散領域 3 3 n の上には第 1 のゲートとしてのダミーゲート 3 4 b が、そして P 型不純物拡散領域 3 4 p の上には第 1 のゲートとしてのダミーゲート 3 4 c が、それぞれ配置されている。

20

【 0 0 4 9 】

このようなレイアウトによって、ウエル電位給電領域を配置した場合でもその周辺のゲートパターンの形状規則性を維持することができるため、ゲートパターンに応じて異なる光近接効果の影響を回避することができる。したがって、ゲート長のばらつきを確実に抑制しながら、ウエル電位の制御やラッチアップ防止のためのウエル電位給電領域の設置による面積増大を抑制できる。

30

【 0 0 5 0 】

なお、トランジスタ型のウエル電位給電領域上に配置するゲートは、活性トランジスタのゲートとして機能するゲート電極であってもかまわない。図 7 のレイアウトでは、セル列 B 3 の P 型ウエル領域 P W に給電を行う第 1 のウエル電位給電領域としての P 型不純物拡散領域 3 5 p の上に、その下の活性トランジスタ T N 1 から延びる第 1 のゲートとしてのゲート電極 3 6 が配置されている。

【 0 0 5 1 】

< レイアウト構成の他の例 >

(その 1)

40

図 8 は半導体装置のレイアウト構成の他の例である。図 8 のレイアウトでは、図 7 と同様に、縦方向に延びる複数のゲートが横方向に並べて配置されているセル列 C 1 , C 2 , C 3 が、縦方向に並べて配置されている。セル列 C 1 , C 2 , C 3 では、それぞれ、横方向に延びている P 型ウエル領域 P W および N 型ウエル領域 N W がゲートの下に形成されている。なお、セル列 C 2 では、P 型ウエル領域 P W と N 型ウエル領域 N W がフリップされており、セル列 C 1 , C 2 の N 型ウエル領域 N W は隣接しており、セル列 C 2 , C 3 の P 型ウエル領域 P W は隣接している。

【 0 0 5 2 】

図 8 のレイアウト構成の特徴の 1 つは、P 型不純物拡散領域 4 1 p と N 型不純物拡散領域 4 1 n である。P 型不純物拡散領域 4 1 p はセル列 C 1 の P 型ウエル領域 P W に給電を

50

行い、N型不純物拡散領域41nはセル列C1のN型ウエル領域NWに給電を行う。そして、P型不純物拡散領域41pとN型不純物拡散領域41nはともに、両側のダミーゲート42a, 42bの下に重なるように配置されている。このような配置を許容することによって、不純物拡散領域の横方向の幅を拡大することができるので、製造プロセスにおいて不純物注入がより容易になるという効果が得られる。

【0053】

また、セル列C3のP型ウエル領域PWに給電を行うP型不純物拡散領域43pは、片側のダミーゲート44aの下に重なるように配置されている。同様に、セル列C3のN型ウエル領域NWに給電を行うN型不純物拡散領域43nは、片側のダミーゲート44bの下に重なるように配置されている。このような配置によっても、不純物拡散領域の横方向の幅を拡大することができる。

10

【0054】

(その2)

図9は半導体装置のレイアウト構成の他の例である。図9のレイアウトでは、図7と同様に、縦方向に延びる複数のゲートが横方向に並べて配置されているセル列D1, D2, D3が、縦方向に並べて配置されている。セル列D1, D2, D3では、それぞれ、横方向に延びているP型ウエル領域PWおよびN型ウエル領域NWがゲートの下に形成されている。なお、セル列D2では、P型ウエル領域PWとN型ウエル領域NWがフリップされており、セル列D1, D2のN型ウエル領域NWは隣接しており、セル列D2, D3のP型ウエル領域PWは隣接している。

20

【0055】

図9のレイアウト構成の特徴の1つは、トランジスタ型のウエル電位給電領域において、ダミーゲートを挟む拡散領域の一方が、ウエル領域とは異なる導電型の不純物が注入されている点にある。例えば、セル列D1のN型ウエル領域NWに、N型不純物拡散領域45nとP型不純物拡散領域45pとがダミーゲート46を挟んで配置されている。また、セル列D2のP型ウエル領域PWに、P型不純物拡散領域47pとN型不純物拡散領域47nとがダミーゲート48を挟んで配置されている。

【0056】

例えば、P型不純物拡散領域45pを配置することによって、その右側に配置されるPMOSTランジスタのソースまたはドレインとなるP型不純物拡散領域に対して、動作上問題とならないように確実に不純物を注入することが可能になる。すなわち、トランジスタ型のウエル電位給電領域において、ダミーゲートを挟む拡散領域の一方を、ウエル領域とは異なる導電型の不純物拡散領域にすることによって、これに隣接するトランジスタの拡散領域を確実に形成することができる。

30

【0057】

(その3)

これまでの説明では、主として、ウエル電位給電領域の両側に配置された隣接ゲートはダミーゲートである例を示した。ただし、本実施形態では、ウエル電位給電領域の両側に配置された隣接ゲートは、活性トランジスタのゲート電極として機能するゲートであってもかまわない。

40

【0058】

図10および図11は半導体装置のレイアウト構成の他の例である。図10のレイアウトでは、縦方向に延びる複数のゲートが横方向に並べて配置されているセル列E1, E2が、縦方向に並べて配置されている。セル列E1, E2では、それぞれ、横方向に延びているP型ウエル領域PWおよびN型ウエル領域NWがゲートの下に形成されている。なお、セル列E2では、P型ウエル領域PWとN型ウエル領域NWがフリップされており、セル列E1, E2のN型ウエル領域NWは隣接している。図11のレイアウトも同様に、セル列F1, F2が配置されている。

【0059】

例えば、図10において、第1のウエル電位給電領域となるP型不純物拡散領域51p

50

には、活性トランジスタのゲートとして機能する第1および第2の隣接ゲートとしてのゲート電極52a, 52bが隣接している。また、図11において、第1のウエル電位給電領域となるN型不純物拡散領域53nには、活性トランジスタのゲートとして機能する第1の隣接ゲートとしてのゲート電極54aと、第2の隣接ゲートとしてのダミーゲート54bが隣接している。

【0060】

なお、上述した半導体装置のレイアウトにおいて、セル列同士の間、横方向に延びる、ウエル領域と同一導電型の不純物拡散領域を設けてもよい。例えば、図7のレイアウトにおいて、セル列B1, B2間に、横方向に延びるN型不純物拡散領域を設け、セル列B2, B3間に、横方向に延びるP型不純物拡散領域を設けてもかまわない。例えば、セル列間に設けた不純物拡散領域をウエル領域への給電に用いることによって、ウエル領域の電位をより安定させることが可能になる。

10

【0061】

あるいは、上述した半導体装置のレイアウトにおいて、セル列同士の間、横方向に延びる、ウエル領域と異なる導電型の不純物拡散領域を設けてもよい。例えば、図7のレイアウトにおいて、セル列B1, B2間に、横方向に延びるP型不純物拡散領域を設け、セル列B2, B3間に、横方向に延びるN型不純物拡散領域を設けてもかまわない。例えば、セル列間に設けた不純物拡散領域を電源電位または基板電位の供給に用いることによって、トランジスタのソース電位をより安定させることが可能になる。

【産業上の利用可能性】

20

【0062】

本発明では、ウエル電位給電領域を有する半導体装置を、光近接効果によるゲート長のばらつきを確実に抑制し、かつ、レイアウト面積を増大させることなく、実現できるので、例えば、半導体チップの歩留まり向上や小型化等に有効である。

【符号の説明】

【0063】

1, 2, 3 タップセル

1A, 1B, 1C, 1D, 2A, 2B, 2C, 2D タップセル

11n, 11p, 21n, 21p, 22n, 22p ウエル電位給電領域

12a, 12b, 23a, 23b, 23c ダミーゲート

14n ウエル電位給電領域(第1のウエル電位給電領域)

15a, 15b ダミーゲート(第1および第2の隣接ゲート)

15c, 15d ゲート電極(第3および第4の隣接ゲート)

15e, 15f, 15g, 15h 4本のゲート

16n ウエル電位給電領域(第1のウエル電位給電領域)

17a, 17b ダミーゲート(第1および第2の隣接ゲート)

17c ゲート電極(第3の隣接ゲート)

17d ダミーゲート(第4の隣接ゲート)

17e, 17f, 17g, 17h 4本のゲート

18n ウエル電位給電領域(第2のウエル電位給電領域)

19n ウエル電位給電領域(第3のウエル電位給電領域)

31n, 31p ウエル電位給電領域(第1のウエル電位給電領域)

32a, 32b ダミーゲート

32c ダミーゲート(第1のゲート)

33p, 33n, 34p, 35p ウエル電位給電領域(第1のウエル電位給電領域)

34a, 34b, 34c ダミーゲート(第1のゲート)

36 ゲート電極(第1のゲート)

51p ウエル電位給電領域(第1のウエル電位給電領域)

52a, 52b ゲート電極(第1および第2の隣接ゲート)

53n ウエル電位給電領域(第1のウエル電位給電領域)

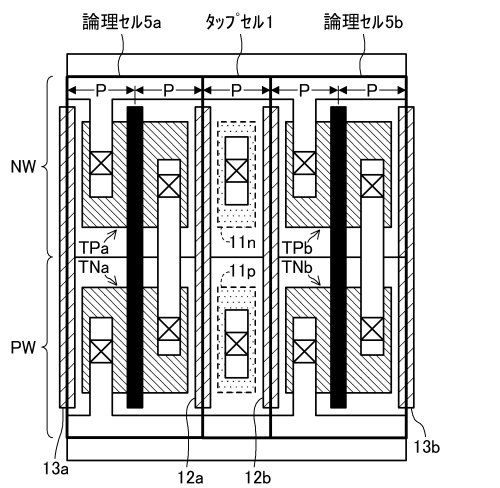
30

40

50

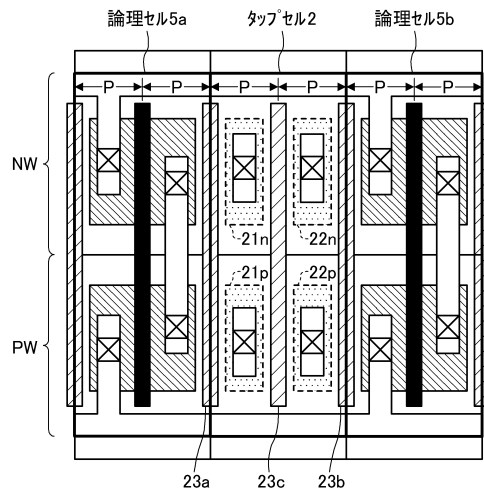
- 5 4 a ゲート電極 (第 1 の隣接ゲート)
- 5 4 b ダミーゲート (第 2 の隣接ゲート)
- NW N 型ウエル領域
- PW P 型ウエル領域
- T N 1 活性トランジスタ

【 図 1 】



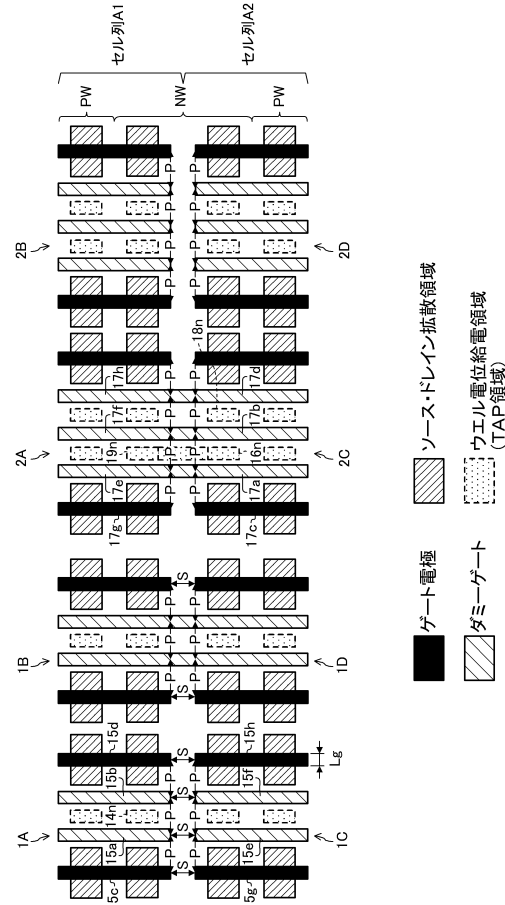
- | | |
|--------|-------------------|
| ゲート電極 | ソース・ドレイン拡散領域 |
| ダミーゲート | ウエル電位給電領域 (TAP領域) |
| コンタクト | 配線層 |

【 図 2 】

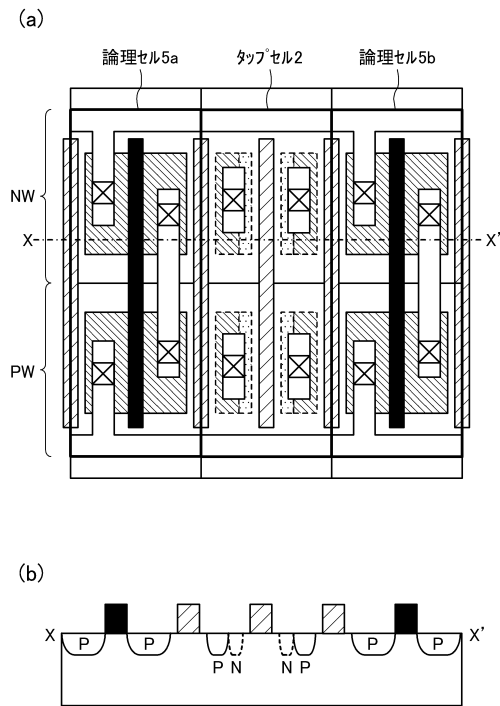


- | | |
|--------|-------------------|
| ゲート電極 | ソース・ドレイン拡散領域 |
| ダミーゲート | ウエル電位給電領域 (TAP領域) |
| コンタクト | 配線層 |

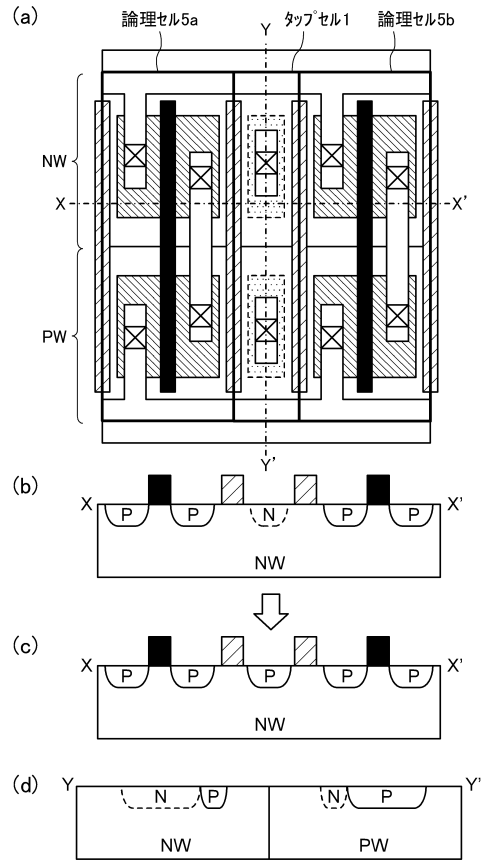
【図3】



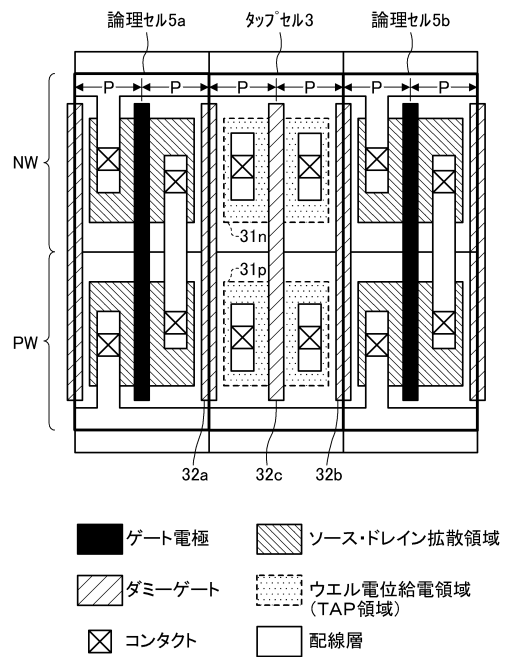
【図5】



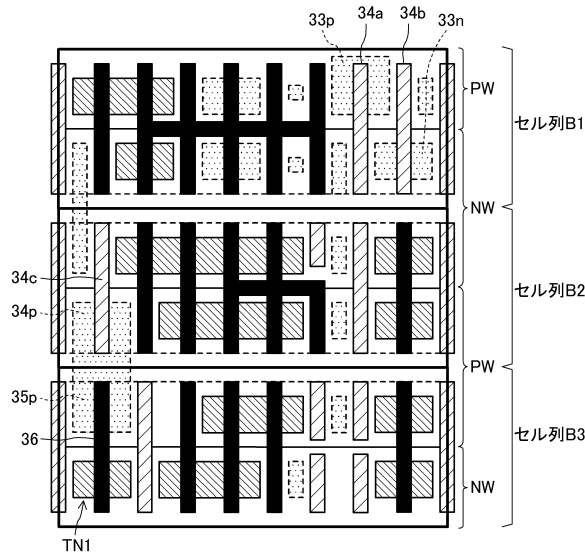
【図4】



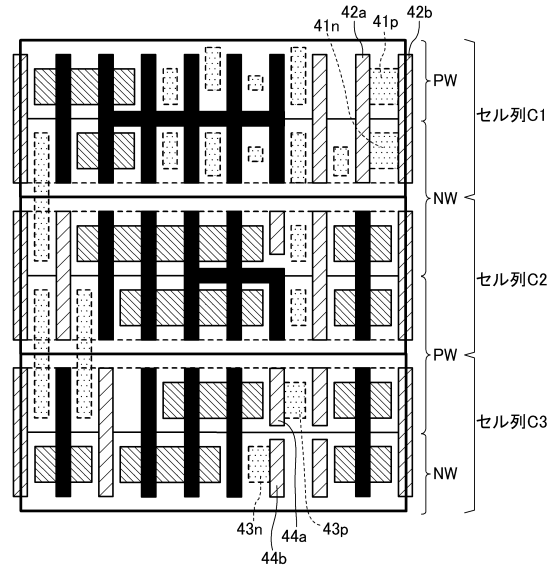
【図6】



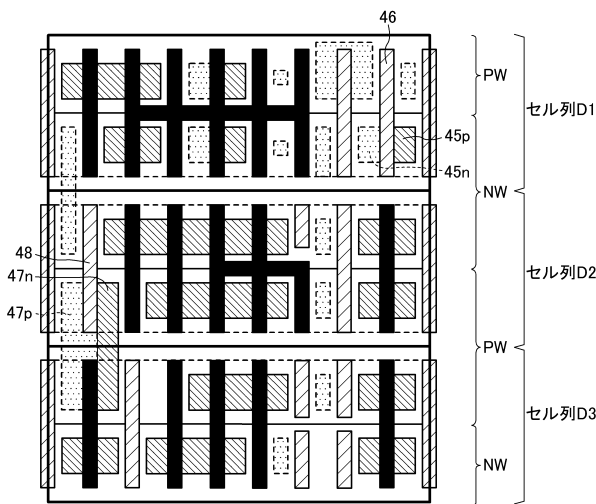
【図7】



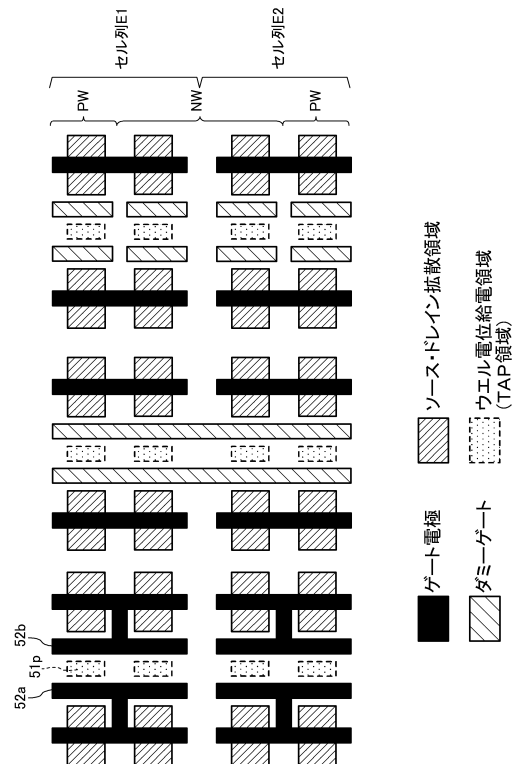
【図8】



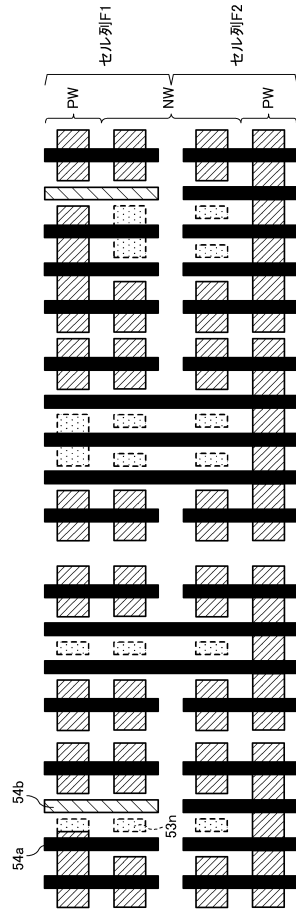
【図9】



【図10】

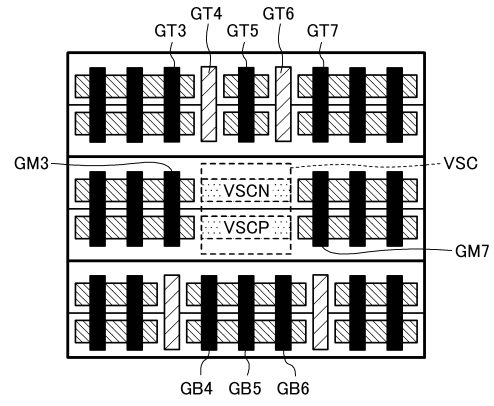


【図 1 1】



ソース・ドレイン拡散領域
 ウェル電位給電領域 (TAP領域)
 ゲート電極
 ダミーゲート

【図 1 2】



ゲート電極
 ソース・ドレイン拡散領域
 ダミーゲート
 ウェル電位給電領域 (TAP領域)

フロントページの続き

(72)発明者 西村 英敏

大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 宇多川 勉

(56)参考文献 特開2007-012855(JP,A)

特開2006-005103(JP,A)

特開平05-082640(JP,A)

特開昭61-099348(JP,A)

特開2009-267094(JP,A)

特開2003-309178(JP,A)

特開2008-235350(JP,A)

特開2007-129094(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/822

H01L 21/8234

H01L 27/04

H01L 27/088