

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-176277

(P2010-176277A)

(43) 公開日 平成22年8月12日 (2010.8.12)

(51) Int.Cl.
G06F 12/00 (2006.01)

F 1
G06F 12/00 570B

テーマコード (参考)
5B060

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2009-16647 (P2009-16647)
(22) 出願日 平成21年1月28日 (2009.1.28)

(特許庁注：以下のものは登録商標)

1. EEPROM

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(71) 出願人 506227884
三洋半導体株式会社
群馬県邑楽郡大泉町坂田一丁目1番1号
(74) 代理人 100107906
弁理士 須藤 克彦
(74) 代理人 100156041
弁理士 鎌田 康秀
(72) 発明者 金田 義宣
群馬県邑楽郡大泉町坂田一丁目1番1号
三洋半導体株式会社内
Fターム(参考) 5B060 CA08 KA01 KA04

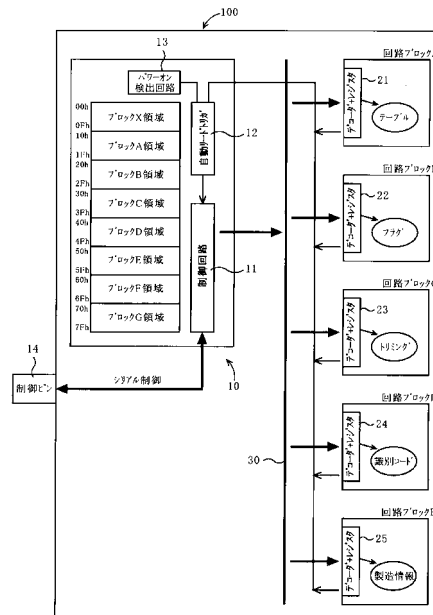
(54) 【発明の名称】 データ転送システム

(57) 【要約】

【課題】複数のデバイス又は複数の回路ブロックが、1つのメモリを共有して使用するシステムにおいて、システムの回路規模の削減を図る。

【解決手段】メモリブロック10がマスターとなり、各回路ブロックA~回路ブロックEがスレーブとなるように構成したので、スレーブ側(回路ブロック)は、事前に割り当てたアドレスに対応するデコーダと、レジスタの構成を有するだけで、メモリブロック10から必要なデータを取り込むことができる。この場合、レジスタ自体は、従来のシステム構成においても、メモリから読み出したデータを保持しておくために必要であったことから、システム全体で回路規模の削減を図ることができる。この効果はメモリブロック10を共有する回路ブロックの数に比例して大きくなるので、システム規模が大きくなるほどその効果は大きい。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のデバイス又は複数の回路ブロックが 1 つのメモリを共有して利用するシステムにおけるデータ転送システムであって、

前記メモリは、複数のアドレスに対応してデータが保持されたメモリ領域と、

クロックに同期して、前記アドレス及び前記アドレスに対応して保持されたデータを出力させるメモリ制御回路と、を備え、

各デバイス又は各回路ブロックは、前記メモリ制御回路を介して出力された前記アドレスが、事前に割り当てられたアドレスと一致するかどうかを解読するデコーダと、

前記デコーダの解読結果に応じて、前記クロックに同期して前記メモリ制御回路を介して出力されたデータを取り込むレジスタと、を備えることを特徴とするデータ転送システム。

10

【請求項 2】

前記メモリの電源がオンになった時、又は前記回路ブロックからのトリガ信号に応じて、前記メモリ制御回路の前記アドレス及び前記データの出力動作を開始させる自動リードトリガ回路を備えることを特徴とする請求項 1 に記載のデータ転送システム。

【請求項 3】

前記メモリ制御回路は、前記メモリ領域に保持されたデータが書き換えられた時、又は定期的に、前記アドレス及び前記データの出力動作を開始することを特徴とする請求項 1 に記載のデータ転送システム。

20

【請求項 4】

前記メモリ制御回路は、前記クロックに同期して前記アドレスをインクリメントするアドレスカウンタを備えることを特徴とする請求項 1 乃至 3 のいずれかに記載のデータ転送システム。

【請求項 5】

前記メモリと前記複数のデバイス又は複数の回路ブロックが 1 つの半導体チップ上に形成されたことを特徴とする請求項 1 乃至 4 のいずれかに記載のデータ転送システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、データ転送システムに関し、特に、複数のデバイス又は複数の回路ブロックが、1 つのメモリを共有して使用するシステムに関する。

30

【背景技術】**【0002】**

従来より、複数のデバイス又は複数の回路ブロックが、1 つのメモリを共有して使用するシステムが知られている。一般に、このようなシステムにおいては、メモリは、マスターとなるデバイスや回路ブロックからのアクセス信号を受けて、読み出しデータを出力する。この場合、各デバイスや各回路ブロックが、メモリのデータを読み出すためのメモリ制御回路を有していなければ、メモリ内のデータを読み出すことはできない。

【0003】

また、複数のデバイスや回路ブロックが同時に 1 つのメモリをアクセスするケースがある。このような同時アクセスが起こった場合に、メモリアクセスの衝突、メモリからのデータ出力の優先度等を調整するためのアクセス調整回路をメモリ側に設ける必要があった。

40

【0004】

このように、メモリのデータを必要とするデバイスや回路ブロックがマスターとなり、データを保持しているメモリがスレーブとなるシステムは、特許文献 1 乃至 3 に開示されている。

【先行技術文献】**【特許文献】**

50

【 0 0 0 5 】

【特許文献1】特開平11-039222号公報

【特許文献2】特開平11-175499号公報

【特許文献3】特開2001-325243号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

上述のように、複数のデバイス又は複数の回路ブロックが、1つのメモリを共有して使用するシステムにおいては、各デバイス又は回路ブロックが、それぞれメモリのデータを読み出すためのメモリ制御回路を有していなければならないことで、システム全体の回路規模が大きくなるという問題がある。また、メモリ側においても、アクセス調整回路を設けることで、回路規模が増大することになる。

10

【 0 0 0 7 】

したがって、システム全体として、複雑化と回路規模の増大といった問題が生じていた。

【課題を解決するための手段】

【 0 0 0 8 】

本発明は、複数のデバイス又は複数の回路ブロックが1つのメモリを共有して利用システムにおけるデータ転送システムであって、前記メモリは、複数のアドレスに対応してデータが保持されたメモリ領域と、クロックに同期して、前記アドレス及び前記アドレスに対応して保持されたデータを出力させるメモリ制御回路と、を備え、各デバイス又は各回路ブロックは、前記メモリ制御回路を介して出力された前記アドレスが、事前に割り当てられたアドレスと一致するかどうかを解読するデコーダと、前記デコーダの解読結果に応じて、前記クロックに同期して前記メモリ制御回路を介して出力されたデータを取り込むレジスタと、を備えることを特徴とする。

20

【発明の効果】

【 0 0 0 9 】

本発明によれば、メモリがマスターとなり、各デバイス又は各回路ブロックがスレーブとなるように構成したので、スレーブ側（デバイス又は回路ブロック）は、事前に割り当てたアドレスに対応するデコーダと、レジスタの構成を有するだけで、メモリから必要なデータを取り込むことができる。

30

【 0 0 1 0 】

この場合、レジスタ自体は、従来のシステム構成においても、メモリから読み出したデータを保持しておくために必要であったことから、システム全体で回路規模の削減を図ることができる。この効果はメモリを共有するデバイス、回路ブロックの数に比例して大きくなるので、システム規模が大きくなるほどその効果は大きい。

【 0 0 1 1 】

また、マスターとなるメモリ側については、アクセスの衝突を調整するためのアクセス調整回路が不要となる。また、メモリ側からデバイス、回路ブロックへのデータ自動転送を実現する構成についても、従来からメモリに内蔵されているアドレスカウンタを利用できるため、回路規模の増大は無く、メモリ全体としての回路規模はむしろ小さくすることができる。

40

【図面の簡単な説明】

【 0 0 1 2 】

【図1】本発明の実施形態によるデータ転送システムの構成を示す図である。

【図2】メモリから出力されるデータのタイミング図である。

【図3】デコーダ及びレジスタの回路図である。

【図4】レジスタの具体的な回路図である。

【発明を実施するための形態】

【 0 0 1 3 】

50

まず、本発明の基本的な技術思想を説明すると、メモリに保持されたデータを必要とするデバイスや、回路ブロックがマスター（主）となり、データを保持するメモリがスレーブ（従）となるようにシステムを構成する。つまり、デバイス、回路ブロックとメモリに、従来とは逆の役割を与えた。

【0014】

具体的には、メモリがマスターになり、特定のデバイスや回路ブロックからのアクセスには関係なく、メモリ側が例えば、そのメモリ空間内のデータをアドレスの00番地から01番地、02番地と順次、メモリから発生するクロックに同期させて、アドレス情報とそのアドレス情報に対応するデータを出力する。そして、アドレスがその最終番地に到達した時点で、メモリからのデータ出力を停止する。

10

【0015】

一方、スレーブとなるデバイス又は回路ブロックは、メモリから出力されたアドレス情報を解読し、当該アドレス情報がデバイス又は回路ブロックに事前に割り当てられたアドレスと一致すると判断した時点で、メモリから出力されたクロックに同期して、必要なデータを取り込む。

【0016】

図1は、本発明の実施形態によるデータ転送システムの構成を示す図である。このシステムは、1つの半導体チップ100上にメモリブロック10と、回路ブロックA～回路ブロックEが形成された、システム・オン・チップ（System On Chip）である。

【0017】

メモリブロック10は、データが保持されるメモリ領域を有しており、そのメモリ領域は、図示のアドレスマップのように、ブロックX領域（アドレス00h～0Fh）、ブロックA領域（アドレス10h～1Fh）、ブロックB領域（アドレス20h～2Fh）、ブロックC領域（アドレス30h～3Fh）、ブロックD領域（アドレス40h～4Fh）、ブロックE領域（アドレス50h～5Fh）、ブロックF領域（アドレス60h～6Fh）、ブロックG領域（アドレス70h～7Fh）という8個のブロックに分割されている。ここで、アドレスXXhは、16進数で表されている。

20

【0018】

また、ブロックA領域は、回路ブロックAに対応しており、ブロックB領域は、回路ブロックBに対応している。他のブロック領域も同様である。ただし、ブロックX領域は、必要に応じてメモリ容量を拡張するための拡張用メモリ領域であり、初期状態では特定の回路ブロックとは対応させていない。

30

【0019】

上記メモリ領域のブロック領域は、例えば、フラッシュメモリ、EEPROMのような電氣的に消去、書き込み、読み出し及び書き換え可能な不揮発性メモリで構成することが好ましい。

【0020】

メモリブロック10の制御回路11は、回路ブロックA～回路ブロックEに対して、データバス30を介して、クロック、アドレス、当該アドレスに対応するデータを出力する。ここで、アドレス及びデータはクロックに同期して出力される。

40

【0021】

図2は、制御回路11のデータ出力の例を示したものである。即ち、メモリブロック10の動作は、自動リードトリガ回路12から出力されるトリガ信号に基づいて、開始する。即ち、前記トリガ信号が出力されると、メモリブロック10に設けられたクロック発生回路が起動し、一定周期のクロックを出力する。アドレスは、クロックの立下りに同期して、00番地、01番地、02番地、03番地・・・と時系列的にインクリメントされることが好ましい。

【0022】

そして、アドレスに対応したデータD<0>、D<1>、D<2>、D<3>・・・が時系列的に出力される。アドレスをインクリメントするためには、メモリブロック10に

50

設けられたアドレスカウンタを利用することができる。アドレスが最終番地の7F番地に到達し、最後のデータD<127>が出力されると、制御回路11はデータの出力動作を停止する。

【0023】

この場合、自動リードトリガ回路12は、システムの電源がオンしたことを検出するパワーオン検出回路13からのパワーオン検出信号に応じて、前記トリガ信号を出力する。つまり、制御回路11は、システムの電源がオンすると、自動的に上述のデータの出力シーケンスを開始する。これにより、回路ブロックA～回路ブロックEは、システムの電源オン時に、自動的にメモリブロック10に保持された必要なデータを取り込むことができる。この場合は、システムの電源がオフの時でも、メモリブロック10はデータを保持していることが必要であり、不揮発性メモリで構成される必要がある。

10

【0024】

また、自動リードトリガ回路12は、いずれかの回路ブロックA～回路ブロックEからのトリガが発行された場合にも、前記トリガ信号を出力するように構成されている。

【0025】

制御回路11は、上述の場合に限らず、メモリ領域に保持されたデータが書き換えられた時、又は定期的に、上述のデータ出力シーケンスを開始するように構成されている。

【0026】

即ち、制御回路11は、制御ピン14から入力されるアドレス、データ等の書き込み制御信号に基づいて、メモリブロック10の対応するアドレスのデータを書き換えることができる。ただし、この場合は、メモリブロック10は、書き換え可能なメモリで形成されている必要がある。

20

【0027】

このように、メモリ領域のデータが書き換えられた場合、制御回路11は自動的に起動し、回路ブロックA～回路ブロックEに対して、データバス30を介して、クロック、アドレス、当該アドレスに対応するデータを出力する。この場合も、回路ブロックA～回路ブロックE側の動作は同様である。これにより、回路ブロックA～回路ブロックEは、更新された最新のデータを取り込むことができる。

【0028】

また、メモリブロック10にタイマーを設けることにより、制御回路11はこのタイマーの出力を監視することにより、タイマーの出力に基づいて、定期的に上述のデータの出力シーケンスを開始することも可能である。

30

【0029】

一方、回路ブロックA～回路ブロックEの構成は、各回路ブロックに、デコーダ+レジスタ21～25が設けられる。デコーダは、メモリブロック10の制御回路11から転送されて来たアドレス情報を解読し、それが事前にその回路ブロックに割り当てられたアドレスと一致した場合に、そのアドレスに対応したデータをその次段に設けられたレジスタに出力する。そして、レジスタは、クロックに同期してデータを取り込み、保持する。

【0030】

レジスタ内に取り込まれたデータは、その回路ブロックの回路調整データ等として利用される。例えば、回路ブロックAではロジック制御用のテーブルデータとして、回路ブロックBではフラグデータとして、回路ブロックCでは回路のトリミングデータとして、回路ブロックDではICの識別データとして、回路ブロックEではICの製造情報管理データとして利用される。

40

【0031】

図3は、回路ブロックA～回路ブロックEに設けられたデコーダ+レジスタの構成を示す回路図である。図4は、レジスタの具体的な回路図である。

【0032】

以下、回路ブロックAにおいて、デコーダ211に事前にアドレス19hが割り当てられている場合について説明する。また、1つのアドレス19hに対応するデータのビット

50

構成は 8 ビットであるとする。

【 0 0 3 3 】

デコーダ 2 1 1 において、メモリブロック 1 0 の制御回路 1 1 からデータバス 3 0 を介して転送されて来るアドレス情報が 1 9 h であるとき、即ち、アドレスデータ [0] ~ [7] の各ビットデータが “ 1 0 0 1 1 0 0 0 ” のとき、NOR 回路 NR 1 の出力が H レベルになり、それ以外のアドレスが転送されて来た場合には NOR 回路 NR 1 の出力が L レベルになるようにデコーダ 2 1 1 の論理回路が構成されている。

【 0 0 3 4 】

また、メモリブロック 1 0 の制御回路 1 1 からデータバス 3 0 を介して転送されて来る 8 ビットのデータ [0] ~ データ [7] は、それぞれ CMOS トランスマッションゲート TGA 0 ~ TGA 7 に入力される。CMOS トランスマッションゲート TGA 0 ~ TGA 7 は、NOR 回路 NR 1 の出力が H レベルの時にオンするように構成されている。

10

【 0 0 3 5 】

CMOS トランスマッションゲート TGA 0 ~ TGA 7 がオンすると、データ [0] ~ データ [7] は、CMOS トランスマッションゲート TGA 0 ~ TGA 7 を通して、次段のレジスタ 2 1 2 を構成するフリップフロップ FF 0 ~ FF 7 のデータ入力端子 D に印加される。そして、クロック入力端子 CKN に印加されるクロックの立ち上がり同期して、データ [0] ~ データ [7] は対応するフリップフロップ FF 0 ~ FF 7 に取り込まれ、かつ保持される。

【 0 0 3 6 】

NOR 回路 NR 1 の出力が L レベルの時には、CMOS トランスマッションゲート TGA 0 ~ TGA 7 はオフ状態であるが、CMOS トランスマッションゲート TGB 0 ~ TGB 7 がオンし、フリップフロップ FF 0 ~ FF 7 の各出力データ REG [0] ~ [7] をデータ入力端子 D に帰還して入力する。なお、フリップフロップ FF 0 ~ FF 7 は、リセット端子 RN に印加されるリセット信号によりリセットされるように構成されている。

20

【 0 0 3 7 】

図 4 は、フリップフロップ FF 0 ~ FF 7 の具体的な回路構成例である。図示のように、フリップフロップは、CMOS トランスマッションゲート TG 1 ~ TG 4、NAND 回路 NA 1、NA 2、インバータからなり、2 つのラッチ回路 LA 1、LA 2 を直列接続して形成されている。L レベルのリセット信号が NAND 回路 NA 1、NA 2 に入力されると、フリップフロップの出力信号 Q は L レベルになる。

30

【 0 0 3 8 】

上述のように、本実施形態によれば、メモリブロック 1 0 がマスターとなり、各回路ブロック A ~ 回路ブロック E がスレーブとなるように構成したので、スレーブ側 (回路ブロック) は、事前に割り当てたアドレスに対応するデコーダと、レジスタの構成を有するだけで、メモリブロック 1 0 から必要なデータを取り込むことができる。

【 0 0 3 9 】

この場合、レジスタ自体は、従来のシステム構成においても、メモリから読み出したデータを保持しておくために必要であったことから、システム全体で回路規模の削減を図ることができる。この効果はメモリブロック 1 0 を共有する回路ブロックの数に比例して大きくなるので、システム規模が大きくなるほどその効果は大きい。

40

【 0 0 4 0 】

また、マスターとなるメモリブロック 1 0 側については、アクセスの衝突を調整するためのアクセス調整回路が不要となる。また、メモリブロック 1 0 側から回路ブロック A ~ 回路ブロック E へのデータ自動転送を実現する構成についても、従来からメモリブロックに内蔵されているアドレスカウンタを利用できるため、回路規模の増大は無く、メモリブロック 1 0 全体としての回路規模はむしろ小さくすることができる。

【 0 0 4 1 】

なお、上述の実施形態においては、1 つの半導体チップ 1 0 0 上にメモリブロック 1 0 と、回路ブロック A ~ 回路ブロック E が形成されたシステム・オン・チップを例に挙げて

50

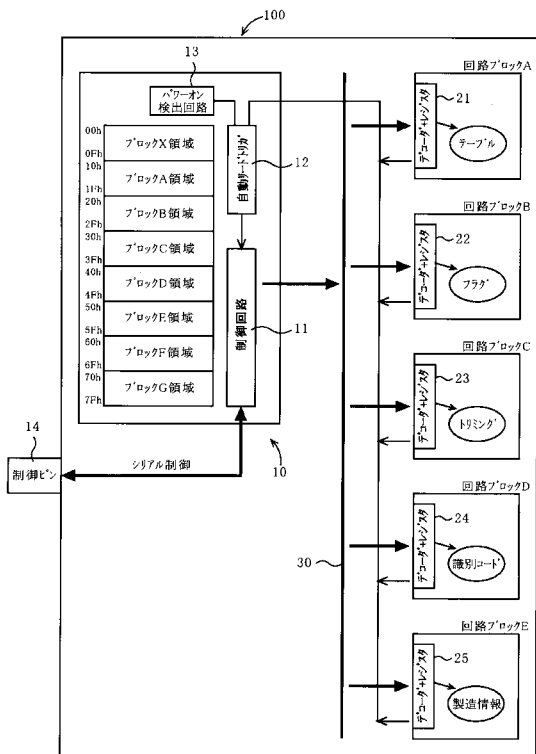
説明したが、メモリブロック10と回路ブロックA~回路ブロックEとは、それぞれ別々の半導体チップ上に形成されても良い。また、回路ブロックA~回路ブロックEの代わりに、複数のデバイスを設けても良い。

【符号の説明】

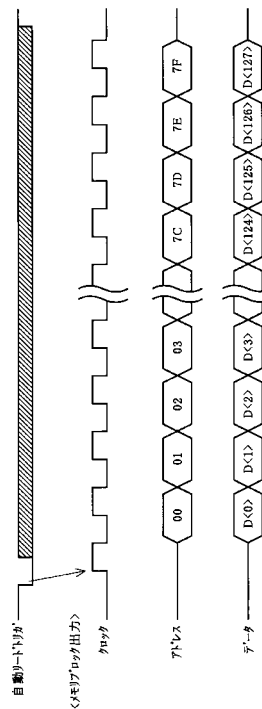
【0042】

- 10 メモリブロック
- 11 制御回路
- 12 自動リードトリガ回路
- 13 パワーオン検出回路
- 14 制御ピン
- 21 ~ 25 デコーダ+レジスタ
- 30 データバス

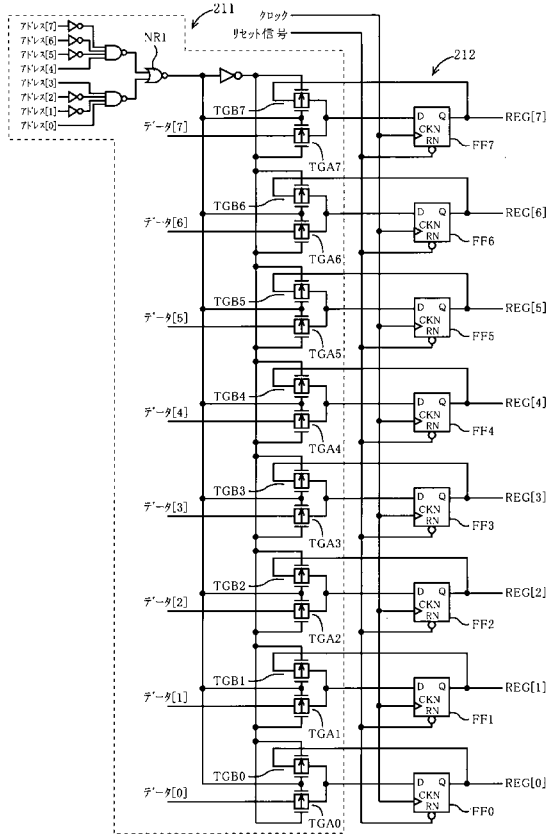
【図1】



【図2】



【図3】



【図4】

