



(21) 申請案號：107109299

(22) 申請日：中華民國 107 (2018) 年 03 月 19 日

(51) Int. Cl. : **G11C11/4096(2006.01)****G11C7/10 (2006.01)****G06T1/60 (2006.01)**(71) 申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72) 發明人：林昱佑 LIN, YU-YU (TW)；李峰旻 LEE, FENG-MIN (TW)

(74) 代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：6 共 19 頁

(54) 名稱

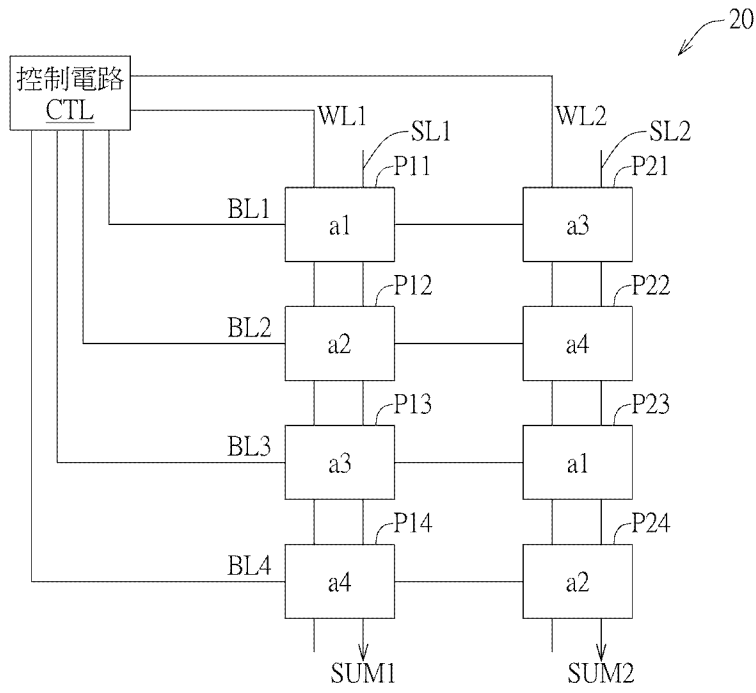
記憶體裝置及其操作方法

(57) 摘要

本發明揭露一種記憶體裝置包括多條位元線、多條字元線及一控制電路。位元線用以接收一影像的多個畫素資料。各字元線包括多個參數單元。各字元線的參數單元依據一濾鏡的多個參數進行配置。各字元線的配置相互不同。當以濾鏡處理影像的一第一區域時，控制電路將位於影像的第一區域的畫素資料輸入位元線，並致能字元線的其中之一進行運算。當以濾鏡處理影像的一第二區域時，控制電路保持位於第二區域內與第一區域重疊的畫素資料輸入於位元線，並將位於第二區域內與第一區域未重疊的畫素資料輸入位元線，並致能字元線的其中另一以進行運算。

The present invention discloses a memory device including a number of bit lines, a number of word lines and a control circuit. The bit lines are configured to receive a number of pixel data of an image. Each of the word lines includes a number of factor units. The factor units of each of the word lines are configured according to a number of factors of a filter. The configurations of the word lines are different from each other. When processing a first area of the image by the filter, the control circuit inputs the pixel data within the first area of the image to the bit lines, and enables one of the word lines for operation. When processing a second area of the image by the filter, the control circuit maintains the pixel data within the second area which overlaps the first area on the bit lines, and inputs the pixel data within the second area which does not overlap the first area to the bit lines, and enables another one of the word lines for operation.

指定代表圖：



符號簡單說明：

20 . . . 記憶體裝置

BL1~BL4 . . . 位元線

WL1~WL2 . . . 字元線

SL1~SL2 . . . 源極線

P11~P14、

P21~P24 . . . 參數單元

第 3 圖

【發明說明書】

【中文發明名稱】 記憶體裝置及其操作方法

【英文發明名稱】 MEMORY DEVICE AND OPERATION METHOD

THEREOF

【技術領域】

【0001】 本發明是有關於一種記憶體裝置及其操作方法。

【先前技術】

【0002】 物件辨識(object recognition)被廣泛應用在各種領域，諸如自動駕駛(self-driving)、衛星影像分析、人臉辨識等。一般來說，在物件辨識的過程中，需要耗費大量的能量。在能量日益珍貴的未來，如何降低能量消耗是業界努力的目標之一。

【發明內容】

【0003】 本發明的目的是提供一種可降低影像處理的能量消耗的記憶體裝置及其操作方法。

【0004】 本發明的一實施例揭露一種記憶體裝置，包括多條位元線、多條字元線及一控制電路。位元線用以接收一影像的多個資料。各字元線包括多個參數單元，且各字元線通過參數單元耦接至位元線，其中各字元線的參數單元係依據一濾鏡的多個參數進行配置，且各字元線的參數單元的配置相互不同。控制電路耦接至字元線及位元線。當以濾鏡處理影像的一第一區域時，控制電路將位於影像的第一區域的資料輸入位元線，並致能字元線的其中之一以進行運算。當以

濾鏡處理影像的一第二區域時，控制電路保持位於影像的第二區域內與第一區域重疊的資料輸入於位元線，並將位於影像的第二區域內與第一區域未重疊的資料輸入位元線，並致能字元線的其中另一以進行運算。

【0005】 本發明的一實施例揭露一種記憶體裝置的操作方法，包括：提供一影像，其中該影像包括複數個資料；當以一濾鏡處理該影像的一第一區域時，由該記憶體裝置的一控制電路將該影像的該第一區域的該些資料輸入該記憶體裝置的複數條位元線；由該控制電路致能該記憶體裝置的複數條字元線的其中之一，以該字元線與該影像的該第一區域的該些資料進行運算，其中各該字元線包括複數個參數單元，各該字元線的該些參數單元係依據該濾鏡的複數個參數進行配置，且該些字元線的該些參數單元的配置相互不同；當以該濾鏡處理該影像的一第二區域時，由該控制電路保持位於該影像的該第二區域內與該第一區域重疊的該些資料輸入於該些位元線，並將位於該影像的該第二區域內與該第一區域未重疊的該些資料輸入該些位元線；以及由該控制電路致能該些字元線的其中另一，以該另一字元線與該影像的該第二區域的該些資料進行運算。

【0006】 藉由本發明提出記憶體裝置及其操作方法，可有效減少影像處理時的能量消耗，甚至進一步縮短運算時間。

【0007】 為了對本發明之上述及其他方面有更佳的瞭解，下文特舉實施例，並配合所附圖式詳細說明如下：

【圖式簡單說明】

【0008】

第1圖繪示依據本發明一實施例的影像處理系統的架構圖；

第2A、2B圖繪示依據本發明一實施例的以濾鏡處理影像的示意圖；

第3圖繪示依據本發明一實施例的記憶體裝置的方塊圖；

第4圖繪示依據本發明一實施例的參數單元的方塊圖；

第5圖繪示依據本發明一實施例的記憶體裝置的操作方法的流程圖；

第6A圖繪示依據本發明另一實施例的以濾鏡處理影像的示意圖；以及

第6B圖繪示依據本發明另一實施例的記憶體裝置的運作示意圖。

【實施方式】

【0009】 請參照第1圖，第1圖繪示依據本發明一實施例的影像處理系統的架構圖。影像處理系統1包括一特徵抽取模組12以及一分類模組14。影像處理系統1例如可應用於物件辨識(object recognition)或類神經網路(neural network)等技術中。影像處理系統1可用以處理一影像IMG。

【0010】 特徵抽取模組12可包括多個特徵匹配單元122。各個特徵匹配單元122可例如以一濾鏡處理影像IMG，其中濾鏡可例如是方形、圓形、三角形等幾何圖案。在一實施例中，如第2A、2B圖所示，特徵匹配單元122是以一個大小為2x2的濾鏡F1對影像IMG進行處

理。濾鏡F1包括多個參數 a_1 、 a_2 、 a_3 、 a_4 。影像IMG是一大小為 4×4 的影像，包括多個畫素資料 $X_{11} \sim X_{44}$ 。當以濾鏡F1處理影像IMG時，係將影像IMG與濾鏡F1做摺積(convolution)。如第2B圖所示，濾鏡F1與影像IMG之間有一相對位置，此相對位置為可改變的。所謂「相對位置」指的是濾鏡F1所要處理的影像IMG的區域。例如，當以濾鏡F1處理影像IMG的一第一區域時，可視作將濾鏡F1覆蓋於影像IMG的第一區域的畫素資料 X_{11} 、 X_{21} 、 X_{12} 、 X_{22} 上，並將濾鏡F1的參數 $a_1 \sim a_4$ 分別與畫素資料 X_{11} 、 X_{21} 、 X_{12} 、 X_{22} 相乘，特徵匹配單元122的輸出 F_{11} 等於 $X_{11} * a_1 + X_{21} * a_2 + X_{12} * a_3 + X_{22} * a_4$ 。相似地，當濾鏡F1覆蓋於影像IMG的一第二區域的畫素資料 X_{12} 、 X_{22} 、 X_{13} 、 X_{23} 上，特徵匹配單元122的輸出 F_{12} 等於 $X_{12} * a_1 + X_{22} * a_2 + X_{13} * a_3 + X_{23} * a_4$ ，以此類推。當完成特徵匹配的程序後，可得到特徵匹配結果 $F_{11} \sim F_{33}$ (如第2A圖所示)。這些結果會由分類模組14進行分類。

【0011】 所述的特徵匹配單元122可用一或多個記憶體裝置來實現，其中記憶體裝置可為揮發性記憶體或非揮發性記憶體，例如NAND型或NOR型記憶體。請參照第3圖，第3圖繪示依據本發明一實施例的記憶體裝置的方塊圖。記憶體裝置20包括多條位元線 $BL_1 \sim BL_4$ 、多條源極線 SL_1 、 SL_2 、多條字元線 WL_1 、 WL_2 以及一控制電路CTL，其中控制電路CTL耦接至字元線 WL_1 、 WL_2 及位元線 $BL_1 \sim BL_4$ 。位元線 $BL_1 \sim BL_4$ 可提供給影像IMG的畫素資料作為輸入端。字元線 WL_1 包括多個參數單元 $P_{11} \sim P_{14}$ ，且字元線 WL_1 通過參數單元 $P_{11} \sim P_{14}$ 分別耦接至位元線 $BL_1 \sim BL_4$ 以及源極線 SL_1 。字元線 WL_2 包括多個參數單

元P21~P24，且字元線WL2通過參數單元P21~P24分別耦接至位元線BL1~BL4以及源極線SL2。

【0012】 字元線WL1的參數單元P11~P14依據濾鏡F1的參數a1~a4進行配置。相似地，字元線WL2的參數單元P21~P24亦依據濾鏡F1的參數a1~a4進行配置。然而，字元線WL1的參數單元P11~P14與字元線WL2的參數單元P21~P24係對應至參數a1~a4的不同排列方式。在本實施例中，參數單元P11對應至參數a1，參數單元P12對應至參數a2，參數單元P13對應至參數a3，且參數單元P14對應至參數a4。參數單元P21對應至參數a3，參數單元P22對應至參數a4，參數單元P23對應至參數a1，且參數單元P24對應至參數a2。

【0013】 如第4圖所示，在一實施例中，各參數單元P11~P14、P21~P24可包括一電晶體M及一(或多個)電阻R。當字元線被控制電路CTL致能(enable)時，該字元線上的參數單元的電晶體M會導通，致使該字元線(假設字元線WL1被致能)可與位元線BL1~BL4上的訊號進行運算，並通過源極線SL1輸出結果SUM1。電阻R的電阻值可依據此參數單元對應到的參數進行配置。例如，參數單元P11的電阻R的電阻值可依據參數a1進行配置，參數單元P12的電阻R的電阻值可依據參數a2進行配置，以此類推。

【0014】 在一實施例中，參數單元P11~P14、P21~P24的配置可為固定的，且預先編程於記憶體裝置20中。在另一實施例中，

參數單元P11~P14、P21~P24的配置為可改變的，且可依據儲存於記憶體裝置20或一外部裝置(未繪示)的一參數配置表對參數單元P11~P14、P21~P24進行編程。外部裝置例如是一揮發性記憶體或非揮發性記憶體。參數配置表可記錄字元線WL1~WL2的參數單元P11~P14、P21~P24與濾鏡F1的參數a1~a4之間的對應關係。也就是說，參數配置表記錄了各字元線所對應的參數的排列方式。

【0015】 請參照第5圖，第5圖繪示記憶體裝置的操作方法的流程圖。本操作方法可用以操作記憶體裝置20。本操作方法包括步驟S501~S509。

【0016】 在步驟S501中，提供一影像IMG，其中影像IMG包括多個畫素資料X11~X44。

【0017】 在步驟S503中，當以濾鏡F1處理影像IMG的第一區域時，由控制電路CTL將影像IMG的第一區域的畫素資料X11、X21、X12、X22輸入位元線BL1~BL4。例如，控制電路CTL將畫素資料X11輸入位元線BL1，畫素資料X21輸入位元線BL2，畫素資料X12輸入位元線BL3，畫素資料X22輸入位元線BL4。

【0018】 在步驟S505中，由控制電路CTL致能字元線的其中之一WL1，以字元線WL1與影像IMG的第一區域的畫素資料X11、X21、X12、X22進行運算。在一實施例中，畫素資料X11、X21、X12、X22是以電壓訊號(voltage signal)的形式輸入位元線BL1~BL4。當畫素資料X11經過參數單元P11的電阻R(電阻值依據參數a1設置)所產生的電

流會流入源極線SL1，其中所產生的電流即可視作 $X11*a1$ 的結果。相似地，畫素資料X21經過參數單元P12的電阻R(電阻值依據參數a2設置)所產生的電流可視作 $X21*a2$ 的結果，以此類推。各個畫素資料X11、X21、X12、X22經過參數單元P11~P14所產生的電流會匯集於源極線SL1上。再藉由一感測放大器(未繪示)感測源極線SL1上的總電流即可得到上述運算的結果SUM1(於此代表F11)。換言之，源極線SL1的輸出SUM1為代表 $X11*a1+X21*a2+X12*a3+X22*a4$ ，也就是F11。

【0019】 在步驟S507中，當以濾鏡F1處理影像IMG的第二區域時，由控制電路CTL保持位於影像IMG的第二區域內與第一區域重疊的該些畫素資料X12、X22輸入於該些位元線BL3、BL4，並將位於影像IMG的第二區域內與第一區域未重疊的畫素資料X13、X23輸入位元線BL1、BL2。換言之，在更新位元線BL1~BL4的輸入時，控制電路CTL會保留位元線BL3、BL4上的輸入(即畫素資料X12、X22)，只更新位元線BL1、BL2上的輸入，亦即將畫素資料X13輸入位元線BL1，並將畫素資料X23輸入位元線BL2。

【0020】 在步驟S509中，由控制電路CTL致能字元線WL2，以字元線WL2與影像IMG的第二區域的畫素資料X12、X22、X13、X23進行運算。由於參數單元P21、P22、P23、P24被配置為分別對應至參數a3、a4、a1、a2，匯集於源極線SL2上的電流的總和(SUM2)可視作 $X13*a3+X23*a4+X12*a1+X22*a2$ 的結果F12。

【0021】 在一實施例中，控制電路CTL可依據濾鏡F1與影像IMG的一相對位置決定要用來運算的字元線。也就是說，控制電路CTL可根據位元線BL1~BL4上被保留的輸入及被更新的輸入選擇具有對應配置的參數單元的字元線，以得到正確的計算結果。在另一實施例中，控制電路CTL可依據參數配置表決定所要用來運算的字元線。

【0022】 在一實施例中，濾鏡F1從影像IMG的一第一側邊界經一或多次橫向移動而到達影像IMG的一第二側邊界時，濾鏡F1可回到影像IMG的第一側邊界並往下方移動一個畫素單位。此時，控制電路CTL可更新所有位元線BL1~BL4上的輸入。例如，當完成以濾鏡F1處理影像IMG的畫素資料X13、X23、X14、X24後，濾鏡F1可移動至影像IMG的畫素資料X21、X31、X22、X32，而控制電路CTL可將位元線BL1~BL4上的輸入分別更新為畫素資料X21、X31、X22、X32，並以字元線WL1進行運算。

【0023】 依據上述的記憶體裝置及操作方法，當濾鏡由影像的第一區域移動至第二區域時，控制電路僅將影像的第一區域與第二區域未重疊的畫素資料更新至位元線，而不更動輸入於位元線上影像的第一區域與第二區域重疊的畫素資料，並以對應的字元線進行運算。因此，可有效地減少運算過程中所需要執行的資料搬動的次數，進而降低能量的消耗。

【0024】 請參照第6A、6B圖所示的另一實施例。本實施例的記憶體裝置可用以實現濾鏡F1及濾鏡F2。影像IMG及濾鏡F1、F2如第6A

圖所示，各字元線的參數單元的配置則如第6B圖所示。為了更清楚的說明，第6B圖中控制電路被省略，且參數單元被以所對應的濾鏡F1、F2的參數或0表示。

【0025】 在本實施例中，記憶體裝置的控制電路僅需更新兩次位元線上的輸入即可計算出影像IMG及濾鏡F1、F2的摺積。如第6B圖所示，於第一時間T1輸入至位元線BL1~BL8的分別是畫素資料X11、X21、X31、X41、X12、X22、X32、X42。於第二時間T2，控制電路保留了位元線BL5~BL8上的輸入，並將位元線BL1~BL4上的輸入分別更新為畫素資料X13、X23、X33、X43。於第三時間T3，控制電路保留了位元線BL1~BL4上的輸入，並將位元線BL5~BL8上的輸入分別更新為畫素資料X14、X24、X34、X44。

【0026】 於第一時間T1，控制電路致能字元線WL1、WL3、WL5、WL7、WL9、WL11，以獲得F11、F21、F31、G11、G21、G31。於第二時間T2，控制電路致能字元線WL2、WL4、WL6、WL8、WL10、WL12，以獲得F12、F22、F32、G12、G22、G32。於第三時間T3，控制電路致能字元線WL1、WL3、WL5、WL7、WL9、WL11，以獲得F13、F23、F33、G13、G23、G33。

【0027】 在本實施例中，藉由濾鏡F1、F2的參數以不同的排列方式配置於不同的字元線上，不僅能夠減少能量消耗，還能夠縮短運算所需的時間。

【0028】 需要注意的是，上述的各實施例僅是為了說明而已，影像IMG的大小雖然以4×4為例，濾鏡F1、F2雖然以2×2為例，但本發明

可應用於任何大小的影像及濾鏡。此外，記憶體裝置的位元線、字元線及參數單元的數量，皆可依據不同的需求進行設計。

【0029】 綜上所述，雖然本發明已以實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0030】

1：影像處理系統

12：特徵抽取模組

14：分類模組

122：特徵匹配單元

20：記憶體裝置

BL1~BL8：位元線

WL1~WL12：字元線

P11~P14、P21~P24：參數單元

IMG：影像

F1、F2：濾鏡

SL1~SL12：源極線

S501~S509：步驟



201939498

申請日：
IPC 分類：**【發明摘要】****【中文發明名稱】** 記憶體裝置及其操作方法**【英文發明名稱】** MEMORY DEVICE AND OPERATION METHOD

THEREOF

【中文】

本發明揭露一種記憶體裝置包括多條位元線、多條字元線及一控制電路。位元線用以接收一影像的多個畫素資料。各字元線包括多個參數單元。各字元線的參數單元依據一濾鏡的多個參數進行配置。各字元線的配置相互不同。當以濾鏡處理影像的一第一區域時，控制電路將位於影像的第一區域的畫素資料輸入位元線，並致能字元線的其中之一進行運算。當以濾鏡處理影像的一第二區域時，控制電路保持位於第二區域內與第一區域重疊的畫素資料輸入於位元線，並將位於第二區域內與第一區域未重疊的畫素資料輸入位元線，並致能字元線的其中另一以進行運算。

【英文】

The present invention discloses a memory device including a number of bit lines, a number of word lines and a control circuit. The bit lines are configured to receive a number of pixel data of an image. Each of the word lines includes a number of factor units. The factor units of each of the word lines are configured according to a number of factors of a filter. The configurations of the word lines are different from each other. When processing a first area of the image by the filter, the control circuit inputs the pixel data within the first area of the image

to the bit lines, and enables one of the word lines for operation. When processing a second area of the image by the filter, the control circuit maintains the pixel data within the second area which overlaps the first area on the bit lines, and inputs the pixel data within the second area which does not overlap the first area to the bit lines, and enables another one of the word lines for operation.

【指定代表圖】第（ 3 ）圖。

【代表圖之符號簡單說明】

20：記憶體裝置

BL1~BL4：位元線

WL1~WL2：字元線

SL1~SL2：源極線

P11~P14、P21~P24：參數單元

【特徵化學式】

無

【發明申請專利範圍】

【第1項】一種記憶體裝置，包括：

複數條位元線，用以接收一影像的複數個資料；

複數條字元線，各該字元線包括複數個參數單元，且各該字元線通過該些參數單元耦接至該些位元線，其中各該字元線的該些參數單元係依據一濾鏡的複數個參數進行配置，且該些字元線的該些參數單元的配置相互不同；以及

一控制電路，耦接至該些字元線及該些位元線，

其中當以該濾鏡處理該影像的一第一區域時，該控制電路將位於該影像的該第一區域的該些資料輸入該些位元線，並致能該些字元線的其中之一以進行運算；當以該濾鏡處理該影像的一第二區域時，該控制電路保持位於該影像的該第二區域內與該第一區域重疊的該些資料輸入於該些位元線，並將位於該影像的該第二區域內與該第一區域未重疊的該些資料輸入該些位元線，並致能該些字元線的其中另一以進行運算。

【第2項】如申請專利範圍第1項所述之記憶體裝置，其中該些參數單元的配置係為固定的，且預先編程於該記憶體裝置中；或者該些參數單元的配置係為可改變的，且依據儲存於該記憶體裝置或一外部裝置的一參數配置表對該些參數單元進行編程。

【第3項】如申請專利範圍第1項所述之記憶體裝置，其中該控制電路依據該濾鏡與該影像的一相對位置或一參數配置表決定要用來運算的該字元線。

【第4項】如申請專利範圍第1項所述之記憶體裝置，其中各該參數單元包括一或多個電阻，該一或多個電阻的電阻值係依據該濾鏡的該些參數決定。

【第5項】如申請專利範圍第1項所述之記憶體裝置，其中該些字元線的該些參數單元的配置係對應於該濾鏡的該些參數的不同排列方式。

【第6項】一種記憶體裝置的操作方法，包括：

提供一影像，其中該影像包括複數個資料；

當以一濾鏡處理該影像的一第一區域時，由該記憶體裝置的一控制電路將該影像的該第一區域的該些資料輸入該記憶體裝置的複數條位元線；

由該控制電路致能該記憶體裝置的複數條字元線的其中之一，以該字元線與該影像的該第一區域的該些資料進行運算，其中各該字元線包括複數個參數單元，各該字元線的該些參數單元係依據該濾鏡的複數個參數進行配置，且該些字元線的該些參數單元的配置相互不同；

當以該濾鏡處理該影像的一第二區域時，由該控制電路保持位於該影像的該第二區域內與該第一區域重疊的該些資料輸入於該些位元線，並將位於該影像的該第二區域內與該第一區域未重疊的該些資料輸入該些位元線；以及

由該控制電路致能該些字元線的其中另一，以該另一字元線與該影像的該第二區域的該些資料進行運算。

【第7項】如申請專利範圍第6項所述之操作方法，其中該些參數單元的配置係為固定的，且預先編程於該記憶體裝置中；或者該些參數單元的配置係為可改變的，且依據儲存於該記憶體裝置或一外部裝置的一參數配置表對該些參數單元進行編程。

【第8項】如申請專利範圍第6項所述之操作方法，其中該控制電路依據該濾鏡與該影像的一相對位置或一參數配置表決定要用來運算的該字元線。

【第9項】如申請專利範圍第6項所述之操作方法，其中各該參數單元包括一或多個電阻，該一或多個電阻的電阻值係依據該濾鏡的該些參數決定。

【第10項】如申請專利範圍第6項所述之操作方法，其中該些字元線的該些參數單元的配置係對應於該濾鏡的該些參數的不同排列方式。

