



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월05일
(11) 등록번호 10-2198629
(24) 등록일자 2020년12월29일

- (51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) H01L 21/48 (2006.01)
H01L 21/56 (2006.01) H01L 23/00 (2006.01)
H01L 25/10 (2006.01) H05K 1/18 (2006.01)
- (52) CPC특허분류
H01L 23/5389 (2013.01)
H01L 21/4846 (2013.01)
- (21) 출원번호 10-2016-7005762
- (22) 출원일자(국제) 2014년08월07일
심사청구일자 2019년06월13일
- (85) 번역문제출일자 2016년03월03일
- (65) 공개번호 10-2016-0041974
- (43) 공개일자 2016년04월18일
- (86) 국제출원번호 PCT/US2014/050125
- (87) 국제공개번호 WO 2015/021265
국제공개일자 2015년02월12일
- (30) 우선권주장
13/961,344 2013년08월07일 미국(US)
- (56) 선행기술조사문헌
KR1020110002807 A
US20130069222 A1

- (73) 특허권자
인벤스스 코포레이션
미국 캘리포니아 산 호세 오처드 파크웨이 3025
(우편번호 95134)
- (72) 발명자
모하메드 일리야스
미국 캘리포니아 95050 산타 클라라 보하는 드라이브 2377
하바 벨가셈
미국 캘리포니아 95070 사라토가 밀러 코트 19487
- (74) 대리인
유미특허법인

전체 청구항 수 : 총 24 항

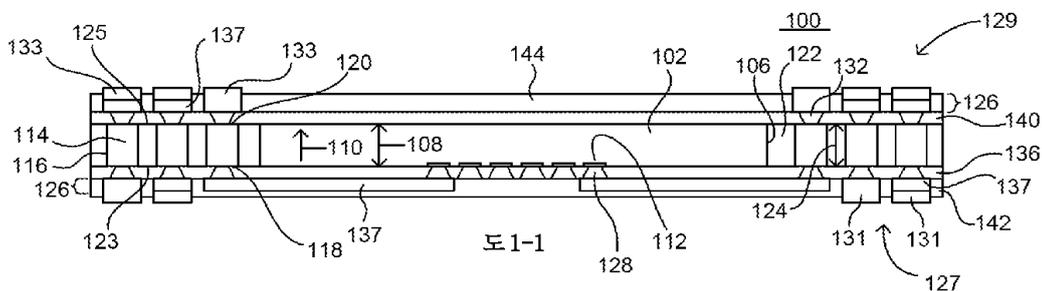
심사관 : 이석주

(54) 발명의 명칭 예비 형성된 비아를 갖는 매립 패키징

(57) 요약

마이크로전자 조립체들 및 이의 제조 방법들이 개시된다. 일부 실시예들에서, 마이크로전자 조립체(100)는 전방 표면(104)의 경계를 갖는 에지 표면(106)들 및 전방 표면(104)에 있는 접점(112)들을 갖는 마이크로전자 요소(102); 적어도 하나의 에지 표면(106)과 조립체(100)의 대응하는 에지 사이에 배치되는 강성 금속 지주(114)들로 (뒷면에 계속)

대표도



서, 각각의 금속 지주(114)는 제1 및 제2 단부 표면(118, 120)들을 분리하는 측벽(116)을 구비하며, 측벽(116)들은 약 1 마이크로미터 미만의 제곱 평균 제곱근(rms) 표면 조도를 갖는, 상기 강성 금속 지주(114)들; 적어도 에지 표면(106)들 및 측벽(116)들과 접촉하는 봉지재(122); 봉지재(122) 위에 놓이는 절연 층(136); 절연 층(136)을 통해 연장되는 접속 요소(128)들로서, 적어도 일부 접속 요소(128)들은 금속 지주(114)들의 단면들보다 작은 단면들을 갖는, 상기 접속 요소(128)들; 절연 층(136) 상에 침착되고, 제1 단자(131)들을 제1 접속 요소(128)들을 통해 대응하는 금속 지주(114)들과 전기 접속시키는 재배선 구조체(126)를 포함하고, 일부 금속 지주(114)들은 마이크로전자 요소(102)의 접점(112)들과 전기적으로 결합된다.

(52) CPC특허분류

- H01L 21/568* (2013.01)
 - H01L 24/19* (2013.01)
 - H01L 24/20* (2013.01)
 - H01L 24/24* (2013.01)
 - H01L 24/32* (2013.01)
 - H01L 24/73* (2013.01)
 - H01L 24/96* (2013.01)
 - H01L 25/105* (2013.01)
 - H05K 1/185* (2013.01)
-

명세서

청구범위

청구항 1

마이크로전자 조립체(microelectronic assembly)로서,

전방 표면, 상기 전방 표면의 경계를 짓는 에지 표면들, 및 상기 전방 표면에 있는 접점들을 구비하고, 상기 전방 표면으로부터 멀리 제1 방향으로 연장되는 제1 두께를 갖는 마이크로전자 요소;

상기 제1 방향으로 연장되는 강성인 금속 지주(metal post)들로서, 상기 지주들은 상기 에지 표면들 중 적어도 하나와 상기 마이크로전자 조립체의 대응하는 에지 사이에 배치되고, 각각의 금속 지주는 상기 금속 지주의 제1 및 제2 단부 표면들을 서로로부터 상기 제1 방향으로 분리하는 측벽을 구비하며, 상기 측벽들은 1 마이크로미터 미만의 제곱 평균 제곱근(root mean square, rms) 표면 조도(surface roughness)를 갖는, 상기 금속 지주들;

봉지재(encapsulation)로서, 상기 봉지재는 상기 봉지재의 제1 표면과 제2 표면 사이에서 상기 제1 방향으로 연장되는 제2 두께를 갖고, 상기 봉지재는 적어도 상기 마이크로전자 요소의 에지 표면들 및 상기 금속 지주들의 측벽들과 접촉하며, 상기 금속 지주들은 적어도 부분적으로 상기 제2 두께를 통해 연장되고, 상기 봉지재는 인접 금속 지주들을 서로로부터 전기적으로 절연시키며, 상기 마이크로전자 조립체는 상기 봉지재의 제1 및 제2 표면들에 각각 인접한 제1 측 및 제2 측을 구비하고 상기 제1 측에서 단자들을 구비하는, 상기 봉지재;

상기 제1 측에서 상기 봉지재의 제1 표면 위에 놓이고, 상기 봉지재의 제1 표면으로부터 멀리 연장되는 두께를 갖는 절연 층;

상기 금속 지주들의 제1 단부 표면들로부터 멀리 그리고 상기 절연 층의 두께를 통해 연장되는 접속 요소들로서, 상기 접속 요소들은 상기 제1 단부 표면들 중 적어도 일부를 대응하는 단자들과 전기 접속시키고, 적어도 일부 접속 요소들은 상기 금속 지주들의 제1 단부 표면들에서의 금속 지주들의 단면들보다 작은, 상기 금속 지주들의 제1 단부 표면들에서의 단면들을 갖는, 상기 접속 요소들; 및

상기 절연 층 상에 침착되는 전기 전도성 재배선(redistribution) 구조체로서, 상기 재배선 구조체는 상기 단자들 중 적어도 일부를 상기 접속 요소 중 적어도 일부를 통해 상기 금속 지주들의 대응하는 제1 단부 표면들과 전기 접속시키는 트레이스(trace)들을 포함하는, 상기 전기 전도성 재배선 구조체를 포함하고,

상기 금속 지주들 중 적어도 일부는 상기 마이크로전자 요소의 접점들과 전기적으로 결합되는, 마이크로전자 조립체.

청구항 2

제1항에 있어서, 상기 금속 지주들은 상기 봉지재의 제1 표면으로부터 상기 봉지재의 제2 표면까지 연장되는, 마이크로전자 조립체.

청구항 3

제1항에 있어서, 상기 제1 두께는 상기 제2 두께보다 작거나 이와 동일한, 마이크로전자 조립체.

청구항 4

제1항에 있어서, 상기 금속 지주들의 제2 단부 표면들로부터 상기 봉지재의 제2 표면까지 상기 봉지재의 제2 두께의 제1 방향으로 연장되는 제2 접속 요소들을 추가로 포함하는, 마이크로전자 조립체.

청구항 5

제4항에 있어서, 상기 제2 접속 요소들은 1 마이크로미터 초과인 rms 표면 조도를 갖는 측벽들을 구비하는, 마이크로전자 조립체.

청구항 6

제4항에 있어서, 상기 금속 지주들은 상기 제2 두께의 50% 이상까지 상기 봉지재의 제2 두께의 제1 방향으로 연

장되는, 마이크로전자 조립체.

청구항 7

제4항에 있어서, 상기 제2 접속 요소들 중 적어도 일부는 상기 금속 지주들의 단면보다 작은 단면을 갖는, 마이크로전자 조립체.

청구항 8

제4항에 있어서,

상기 마이크로전자 조립체의 제2 측에 있는 제2 단자들을 추가로 포함하고,

상기 재배선 구조체는 상기 마이크로전자 조립체의 제2 측에 침착되고, 상기 제2 단자들을 상기 제2 접속 요소들 중 적어도 일부를 통해 상기 금속 지주들의 대응하는 제2 단부 표면들과 전기 접속시키는, 마이크로전자 조립체.

청구항 9

제1항에 있어서,

상기 마이크로전자 조립체의 제2 측에 있는 제2 단자들;

상기 마이크로전자 조립체의 제2 측에서 상기 봉지재의 제2 표면 위에 놓이고, 상기 봉지재의 제2 표면으로부터 멀리 연장되는 두께를 갖는 제2 절연 층; 및

상기 금속 지주들의 제2 단부 표면들로부터 멀리 그리고 상기 제2 절연 층의 두께를 통해 연장되는 제2 접속 요소들로서, 상기 제2 접속 요소들은 상기 제2 단부 표면들 중 적어도 일부를 대응하는 제2 단자들과 전기 접속시키고, 적어도 일부 제2 접속 요소들은 상기 금속 지주들의 단면들보다 작은 단면들을 갖는, 상기 제2 접속 요소들을 추가로 포함하는, 마이크로전자 조립체.

청구항 10

제1항에 있어서, 상기 제1 및 제2 두께들은 동일한, 마이크로전자 조립체.

청구항 11

제1항에 있어서,

상기 제1 측의 단자들은 제1 단자들이고,

상기 마이크로전자 조립체는 상기 마이크로전자 조립체의 제2 측에 있는 제2 단자들을 추가로 포함하고,

상기 트레이스들은 상기 금속 지주들의 에지 표면들을 지나 상기 제1 방향을 가로지르는 제2 방향으로 연장되고, 상기 제1 단자들 중 적어도 하나는 상기 트레이스들을 통해 상기 제1 단부 표면들과 전기적으로 결합되거나, 상기 제2 단자들 중 적어도 하나는 상기 트레이스들을 통해 상기 제2 단부 표면과 전기적으로 결합되는, 마이크로전자 조립체.

청구항 12

제1항에 있어서,

상기 마이크로전자 요소는 제1 마이크로전자 요소이고,

상기 마이크로전자 조립체는 적어도 부분적으로 상기 제1 마이크로전자 요소 위에 놓이는 제2 마이크로전자 요소를 추가로 포함하고,

상기 제2 마이크로전자 요소는 제1 표면, 상기 제1 표면의 경계를 짓는 에지 표면들을 구비하고, 상기 제2 마이크로전자 요소는 상기 제2 마이크로전자 요소의 제1 표면으로부터 멀리 상기 제1 방향으로 연장되는 두께를 가지며, 상기 봉지재는 적어도 상기 제2 마이크로전자 요소의 에지 표면들과 접촉하는, 마이크로전자 조립체.

청구항 13

마이크로전자 조립체의 형성 방법으로서,

구조체를 형성하는 단계로서, 상기 구조체는 전방 표면, 상기 전방 표면의 경계를 짓는 에지 표면들, 및 상기 전방 표면에 있는 접점들을 갖는 마이크로전자 요소와, 제1 방향으로 연장되는 강성인 금속 지주들서, 상기 지주들은 상기 에지 표면들 중 적어도 하나와 상기 구조체의 대응하는 에지 사이에 배치되고, 각각의 금속 지주는 상기 금속 지주의 제1 및 제2 단부 표면들을 서로로부터 분리하는 측벽을 구비하며, 상기 금속 지주들의 측벽들은 1 마이크로미터 미만의 제곱 평균 제곱근(rms) 표면 조도를 갖는, 상기 금속 지주들을 포함하는, 상기 구조체를 형성하는 단계;

봉지재를 형성하는 단계로서, 상기 봉지재는 상기 봉지재의 제1 표면과 제2 표면 사이에서 상기 제1 방향으로 연장되는 제1 두께를 갖고, 상기 봉지재는 적어도 상기 마이크로전자 요소의 에지 표면들 및 상기 금속 지주들의 측벽들과 접촉하며, 상기 금속 지주들은 적어도 부분적으로 상기 제1 두께를 통해 연장되고, 상기 봉지재는 인접 금속 지주들을 서로로부터 전기적으로 절연시키는, 상기 봉지재를 형성하는 단계;

상기 봉지재의 제1 표면 위에 놓이고, 상기 봉지재의 제1 표면으로부터 멀리 연장되는 제2 두께를 갖는 제1 절연 층을 침착시키는 단계;

상기 금속 지주들의 제1 단부 표면들로부터 멀리 그리고 상기 제1 절연 층의 제2 두께를 통해 연장되는 제1 접속 요소들을 형성하는 단계로서, 적어도 일부의 제1 접속 요소들은 상기 금속 지주들의 제1 단부 표면들에서의 금속 지주들의 단면들보다 작은, 상기 금속 지주들의 제1 단부 표면들에서의 단면들을 갖는, 상기 제1 접속 요소들을 형성하는 단계;

상기 제1 절연 층 상에 전기 전도성 재배선 구조체를 침착시키는 단계로서, 상기 재배선 구조체는 적어도 일부 금속 지주들을 상기 마이크로전자 요소의 접점들과 전기 접속시키는 트레이스들을 포함하는, 상기 재배선 구조체를 침착시키는 단계; 및

상기 봉지재의 제1 표면에 인접한 상기 마이크로전자 조립체의 제1 측에 단자들을 형성하는 단계로서, 상기 제1 접속 요소들은 적어도 일부 제1 단부 표면들을 대응하는 단자들과 전기 접속시키는, 상기 단자들을 형성하는 단계를 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 14

제13항에 있어서, 상기 구조체를 형성하는 단계 전에, 상기 금속 지주들은 전도성 층의 제1 표면으로부터 상기 제1 방향으로 연장되고, 상기 지주들은 상기 전도성 층의 제1 표면의 제1 부분과 상기 전도성 층의 대응하는 에지 사이에 배치되는, 마이크로전자 조립체의 형성 방법.

청구항 15

제14항에 있어서, 상기 구조체를 형성하는 단계는 상기 마이크로전자 요소의 전방 표면을 상기 전도성 층의 제1 표면의 제1 부분에 부착하는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 16

제15항에 있어서, 상기 구조체를 형성하는 단계 전에, 상기 방법은

기관을 제공하는 단계로서, 상기 기관은 상기 기관의 제1 표면으로부터 제2 표면까지 상기 제1 방향으로 연장되는 두께를 갖고, 상기 기관은 상기 기관의 제2 표면에서 상기 제1 방향으로 연장되는 복수의 강성 요소들을 구비하는, 상기 기관을 제공하는 단계; 및

상기 금속 지주들 및 전도성 층을 형성하기 위해 상기 기관의 제2 표면과 상기 강성 요소들의 표면들 상에 전도성 재료를 침착시키는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 17

제16항에 있어서, 상기 봉지재를 형성하는 단계 후에, 상기 방법은

상기 금속 지주들 내의 개구들을 노출시키도록 상기 기관과 상기 강성 요소들을 제거하는 단계로서, 상기 금속 지주들 내의 개구들은 상기 마이크로전자 조립체의 전방 측으로부터 상기 제1 방향으로 연장되는, 상기 기관과 상기 강성 요소들을 제거하는 단계; 및

상기 제1 절연 층을 침착시키는 단계 전에 상기 개구들을 추가의 전도성 재료로 채우는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 18

제15항에 있어서, 상기 봉지재를 형성하는 단계 후에 그리고 상기 제1 절연 층을 침착시키는 단계 전에, 상기 방법은

상기 금속 지주들의 제1 단부 표면들을 노출시키도록 상기 전도성 층을 제거하는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 19

제18항에 있어서,

상기 봉지재의 제2 표면 위에 놓이고, 상기 봉지재의 제2 표면으로부터 멀리 연장되는 두께를 갖는 제2 절연 층을 형성하는 단계;

상기 금속 지주들의 제2 단부 표면들로부터 멀리 그리고 상기 제2 절연 층의 제2 두께를 통해 연장되는 제2 접속 요소들을 형성하는 단계로서, 적어도 일부 접속 요소들은 상기 금속 지주들의 단면들보다 작은 단면들을 갖는, 상기 제2 접속 요소들을 형성하는 단계;

상기 제2 절연 층 상에 상기 재배선 구조체를 침착시키는 단계; 및

상기 봉지재의 제2 표면에 인접한 상기 마이크로전자 조립체의 제2 측에 제2 단자들을 형성하는 단계로서, 상기 제2 단자들은 상기 재배선 구조체 위에 놓이고, 상기 제2 접속 요소들은 적어도 일부 제2 단부 표면들을 상기 재배선 구조체를 통해 대응하는 제2 단자들과 전기 접속시키는, 상기 제2 단자들을 형성하는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 20

제18항에 있어서,

상기 금속 지주들의 적어도 일부 제2 단부 표면들과 상기 봉지재의 제2 표면 사이에서 연장되는 개구들을 형성하는 단계로서, 상기 개구들은 상기 금속 지주들의 제2 단부 표면들의 적어도 일부분들을 노출시키는, 상기 개구들을 형성하는 단계; 및

상기 봉지재 내의 개구들을 통해 연장되고 상기 제2 단부 표면들에서 적어도 일부 금속 지주들에 전기 접속되는 제2 접속 요소들을 형성하는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 21

제14항에 있어서, 상기 구조체를 형성하는 단계 전에, 상기 마이크로전자 요소의 전방 표면이 캐리어에 부착되는, 마이크로전자 조립체의 형성 방법.

청구항 22

제21항에 있어서, 상기 구조체를 형성하는 단계는 상기 마이크로전자 요소가 상기 전도성 층의 제1 표면의 제1 부분과 병치되도록 상기 캐리어를 상기 금속 지주들에 부착하는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

청구항 23

제22항에 있어서, 상기 마이크로전자 요소와 상기 전도성 층의 제1 표면의 제1 부분은 그로부터 분리되는, 마이크로전자 조립체의 형성 방법.

청구항 24

제22항에 있어서, 상기 봉지재를 형성하는 단계 후에, 상기 방법은

상기 마이크로전자 요소의 전방 표면과 상기 금속 지주들의 제2 단부 표면들을 노출시키도록 상기 캐리어를 제

거하는 단계; 및

상기 금속 지주들의 제1 단부 표면들을 노출시키도록 상기 전도성 층을 제거하는 단계를 추가로 포함하는, 마이크로전자 조립체의 형성 방법.

발명의 설명

기술 분야

- [0001] 관련 출원에 대한 상호 참조
- [0002] 본 출원은 그 개시 내용이 본 명세서에 참고로 포함된, 2013년 8월 7일자로 출원된 미국 특허 출원 제 13/961,344호의 계속 출원이다.
- [0003] 본 출원은 패키징되지 않은 반도체 다이(die) 또는 패키징된 반도체 다이를 포함할 수 있는 마이크로전자 조립체(microelectronic assembly) 내에 통합될 수 있는 것과 같은 구조체들뿐만 아니라 그러한 구조체들의 제조 방법을 기술한다.

배경 기술

- [0004] 반도체 칩들과 같은 마이크로전자 장치들은 전형적으로 다른 전자 구성요소들에 대한 많은 입력 및 출력 접속부들을 필요로 한다. 반도체 칩 또는 다른 유사한 장치의 입력 및 출력 접점들은 일반적으로, 장치의 표면을 실질적으로 덮는 그리드-유사 패턴(grid-like pattern)(흔히 "에어리어 어레이(area array)"로 지칭됨)으로 또는 장치의 전방 표면의 각각의 에지(edge)에 인접하여 평행하게 연장될 수 있는 기다란 행(row)들로, 또는 전방 표면의 중심에 배치된다. 전형적으로, 칩들과 같은 장치들은 인쇄 회로 기판과 같은 기판 상에 물리적으로 실장되어야 하고, 장치의 접점들은 회로 기판의 전기 전도성 특징부들에 전기 접속되어야 한다.
- [0005] 반도체 칩들은 흔히 제조 동안에 그리고 칩을 회로 기판 또는 다른 회로 패널과 같은 외부 기판 상에 실장하는 동안에 칩의 취급을 용이하게 하는 패키지들로 제공된다. 예를 들어, 많은 반도체 칩들은 표면 실장에 적합한 패키지들로 제공된다. 이러한 일반적인 유형의 많은 패키지들이 다양한 응용들을 위해 제안되었다. 가장 흔하게는, 그러한 패키지들은 흔히 "칩 캐리어(chip carrier)"로 지칭되는 유전체 요소를 포함하는데, 이때 단자들이 유전체 상에 도금된 또는 에칭된 금속성 구조체들로서 형성된다. 이들 단자는 전형적으로 칩 캐리어 자체를 따라 연장되는 폭 좁은 트레이스(trace)들과 같은 특징부들에 의해 그리고 칩의 접점들과 단자들 또는 트레이스들 사이에서 연장되는 미세한 리드 또는 와이어에 의해 칩 자체의 접점들에 접속된다. 표면 실장 작업에서, 패키지는 패키지 상의 각각의 단자가 회로 기판 상의 대응하는 접촉 패드와 정렬되도록 회로 기판 상에 배치된다. 땀납 또는 다른 접합 재료가 단자들과 접촉 패드들 사이에 제공된다. 패키지는 조립체를 가열하여 땀납을 용융 또는 "리플로우(reflow)"시키거나 달리 접합 재료를 활성화시킴으로써 영구적으로 제위치에 접합될 수 있다.
- [0006] 많은 패키지들은 패키지의 단자들에 부착되는, 전형적으로 직경이 약 0.005 mm 내지 약 0.8 mm인, 땀납 볼(ball)들 형태의 땀납 과잉체(solder mass)들을 포함한다. 땀납 볼들의 어레이가 저부 표면으로부터 돌출되는 패키지는 흔히 볼 그리드 어레이(ball grid array) 또는 "BGA" 패키지로 지칭된다. 랜드 그리드 어레이(land grid array) 또는 "LGA" 패키지로 지칭되는 다른 패키지들은 땀납으로부터 형성되는 얇은 층들 또는 랜드들에 의해 기판에 고정된다. 이러한 유형의 패키지들은 상당히 소형일 수 있다. 흔히 "칩 스케일 패키지(chip scale package)"로 지칭되는 소정 패키지들은 패키지 내에 통합된 장치의 면적과 동일하거나 이보다 단지 약간 큰 회로 기판의 면적을 차지한다. 이는 조립체의 전체 크기를 감소시키고 기판 상의 다양한 장치들 사이의 짧은 상호접속부들의 사용을 허용한다는 점에서 유리하며, 이는 이어서 장치들 사이의 신호 전파 시간을 제한하여서 고속으로의 조립체의 동작을 용이하게 한다.
- [0007] 접점들과 상부 및 저부 표면들이 상부 또는 하부 표면 중 하나에서 하나 이상의 패키징된 또는 패키징되지 않은 반도체 다이와 전기 접속되고 상부 또는 하부 표면들 중 다른 하나에서 다른 구성요소와 전기 접속되는 상호접속 요소로서 인터포저(interposer)가 제공될 수 있다. 상기 다른 구성요소는 일부 경우들에서 패키지 기판일 수 있는데, 패키지 기판은 이어서 회로 패널일 수 있거나 이를 포함할 수 있는 다른 구성요소와 전기 접속될 수 있다.
- [0008] 당업계에서의 모든 전술된 발전에도 불구하고, 여전히 마이크로전자 조립체들; 마이크로전자 조립체들의 개별 구성요소들, 예를 들어 인터포저들 및 마이크로전자 요소들; 및 이의 제조 방법들의 추가의 개선이 바람직할 것

이다.

발명의 내용

- [0009] 마이크로전자 조립체들 및 이의 제조 방법들이 본 명세서에 개시된다. 일부 실시예들에서, 마이크로전자 조립체는 전방 표면, 전방 표면의 경계를 짓는 에지 표면들, 및 전방 표면에 있는 복수의 접점들을 구비하고, 전방 표면으로부터 멀리 제1 방향으로 연장되는 제1 두께를 갖는다. 마이크로전자 조립체는 제1 방향으로 연장되는 실질적으로 강성인 금속 지주(metal post)들을 포함하며, 지주들은 에지 표면들 중 적어도 하나와 마이크로전자 조립체의 대응하는 에지 사이에 배치된다. 각각의 금속 지주는 그러한 금속 지주의 제1 및 제2 단부 표면들을 서로로부터 제1 방향으로 분리하는 측벽을 구비하며, 여기서 금속 지주들의 측벽들은 약 1 마이크로미터 미만의 제곱 평균 제곱근(root mean square, rms) 표면 조도(surface roughness)를 갖는다. 마이크로전자 조립체는 봉지재(encapsulation)를 포함하고, 봉지재는 봉지재의 제1 표면과 제2 표면 사이에서 제1 방향으로 연장되는 제2 두께를 갖고, 봉지재는 적어도 마이크로전자 요소의 에지 표면들 및 금속 지주들의 측벽들과 접촉하며, 금속 지주들은 적어도 부분적으로 제2 두께를 통해 연장되고, 봉지재는 인접 금속 지주들을 서로로부터 전기적으로 절연시킨다. 마이크로전자 조립체는 봉지재의 제1 및 제2 표면들에 각각 인접한 제1 측 및 제2 측을 구비하고 제1 측에서 단자들을 구비한다. 마이크로전자 조립체는 제1 측에서 봉지재의 제1 표면 위에 놓이고, 봉지재의 제1 표면으로부터 멀리 연장되는 두께를 갖는 절연 층을 포함한다. 마이크로전자 조립체는 금속 지주들의 제1 단부 표면들로부터 멀리 그리고 절연 층의 두께를 통해 연장되는 접속 요소들을 포함한다. 제1 접속 요소들은 제1 단부 표면들 중 적어도 일부를 대응하는 단자들과 전기 접속시키며, 여기서 적어도 일부 접속 요소들은 금속 지주들의 단면들보다 작은 단면들을 갖는다. 마이크로전자 조립체는 절연 층 상에 침착된 전기 전도성 재배선(redistribution) 구조체를 포함한다. 재배선 구조체는 단자들을 접속 요소들 중 적어도 일부를 통해 금속 지주들의 대응하는 제1 단부 표면들과 전기 접속시키며, 여기서 금속 지주들 중 적어도 일부는 마이크로전자 요소의 접점들과 전기적으로 결합된다.
- [0010] 일 실시예에서, 금속 지주들은 봉지재의 제1 표면으로부터 봉지재의 제2 표면까지 연장된다.
- [0011] 일 실시예에서, 제1 두께는 제2 두께보다 작거나 이와 동일하다.
- [0012] 일 실시예에서, 마이크로전자 조립체는 금속 지주들의 제2 단부 표면들로부터 봉지재의 제2 표면까지 봉지재의 제2 두께의 제1 방향으로 연장되는 제2 접속 요소들을 추가로 포함한다.
- [0013] 일 실시예에서, 제2 접속 요소들은 약 1 마이크로미터 초과인 rms 표면 조도를 갖는 측벽들을 구비한다.
- [0014] 일 실시예에서, 금속 지주들은 제2 두께의 약 50% 이상까지 봉지재의 제2 두께의 제1 방향으로 연장된다.
- [0015] 일 실시예에서, 제2 접속 요소들 중 적어도 일부는 금속 지주들의 단면보다 작은 단면을 갖는다.
- [0016] 일 실시예에서, 마이크로전자 조립체는 마이크로전자 조립체의 제2 측에서 제2 단자들을 추가로 포함한다. 재배선 구조체는 마이크로전자 조립체의 제2 측에 침착되고, 제2 단자들을 제2 접속 요소들 중 적어도 일부를 통해 금속 지주들의 대응하는 제2 단부 표면들과 전기 접속시킨다.
- [0017] 일 실시예에서, 마이크로전자 조립체는 마이크로전자 조립체의 제2 측에서 제2 단자들을 추가로 포함한다. 마이크로전자 조립체는 마이크로전자 조립체의 제2 측에서 봉지재의 제2 표면 위에 놓이고, 봉지재의 제2 표면으로부터 멀리 연장되는 두께를 갖는 제2 절연 층을 추가로 포함한다. 마이크로전자 조립체는 금속 지주들의 제2 단부 표면들로부터 멀리 그리고 제2 절연 층의 두께를 통해 연장되는 제2 접속 요소들을 추가로 포함하고, 제2 접속 요소들은 제2 단부 표면들 중 적어도 일부를 대응하는 제2 단자들과 전기 접속시키고, 적어도 일부 제2 접속 요소들은 금속 지주들의 단면들보다 작은 단면들을 갖는다.
- [0018] 일 실시예에서, 제1 및 제2 두께들은 동일하다.
- [0019] 일 실시예에서, 마이크로전자 조립체는 마이크로전자 조립체의 제2 측에서 제2 단자들을 추가로 포함한다. 재배선 구조체는 금속 지주들의 에지 표면들을 지나 제1 방향을 가로지르는 제2 방향으로 연장되는 트레이스(trace)들을 포함하고, 여기서 제1 단자들 중 적어도 하나는 트레이스들을 통해 제1 단부 표면들과 전기적으로 결합되거나, 제2 단자들은 트레이스들을 통해 제2 단부 표면들과 전기적으로 결합된다.
- [0020] 일 실시예에서, 마이크로전자 조립체는 적어도 부분적으로 제1 마이크로전자 요소 위에 놓이는 제2 마이크로전자 요소를 추가로 포함하고, 제2 마이크로전자 요소는 제1 표면, 제1 표면의 경계를 짓는 에지 표면들을 구비하고, 제2 마이크로전자 요소는 제2 마이크로전자 요소의 제1 표면으로부터 멀리 제1 방향으로 연장되는 두께를

가지며, 봉지재는 적어도 제2 마이크로전자 요소의 에지 표면들과 접촉한다.

- [0021] 일 실시예에서, 마이크로전자 조립체의 형성 방법은 전방 표면, 전방 표면의 경계를 짓는 에지 표면들, 및 전방 표면에 있는 복수의 접점들을 갖는 마이크로전자 요소와, 제1 방향으로 연장되는 실질적으로 강성인 금속 지주들을 포함하는 구조체를 형성하는 단계를 포함한다. 지주들은 에지 표면들 중 적어도 하나와 마이크로전자 조립체의 대응하는 에지 사이에 배치된다. 각각의 금속 지주는 그러한 금속 지주의 제1 및 제2 단부 표면들을 서로로부터 분리하는 측벽을 구비하며, 금속 지주들의 측벽들은 약 1 마이크로미터 미만의 제곱 평균 제곱근(rms) 표면 조도를 갖는다. 이 방법은 봉지재를 형성하는 단계를 포함하고, 봉지재는 봉지재의 제1 표면과 제2 표면 사이에서 제1 방향으로 연장되는 제2 두께를 갖는다. 봉지재는 적어도 마이크로전자 요소의 에지 표면들 및 금속 지주들의 측벽들과 접촉하며, 여기서 금속 지주들은 적어도 부분적으로 제2 두께를 통해 연장되고, 봉지재는 인접 금속 지주들을 서로로부터 전기적으로 절연시킨다. 이 방법은 봉지재의 제1 표면 위에 놓이고, 봉지재의 제1 표면으로부터 멀리 연장되는 두께를 갖는 절연 층을 침착시키는 단계를 포함한다. 이 방법은 금속 지주들의 제1 단부 표면들로부터 멀리 그리고 절연 층의 두께를 통해 연장되는 접속 요소들을 형성하는 단계를 포함하며, 여기서 적어도 일부 접속 요소들은 금속 지주들의 단면들보다 작은 단면들을 갖는다. 이 방법은 절연 층상에 전기 전도성 재배선 구조체를 침착시키는 단계를 포함하며, 재배선 층은 적어도 일부 금속 지주들을 마이크로전자 요소의 접점들과 전기 접속시킨다. 이 방법은 봉지재의 제1 표면에 인접한 마이크로전자 조립체의 제1 측에 단자들을 형성하는 단계를 포함하며, 여기서 접속 요소들은 적어도 일부 제1 단부 표면들을 대응하는 단자들과 전기 접속시킨다.
- [0022] 일 실시예에서, 구조체를 형성하는 단계 전에, 금속 지주들은 전도성 층의 제1 표면으로부터 제1 방향으로 연장되고, 지주들은 전도성 층의 제1 표면의 제1 부분과 전도성 층의 대응하는 에지 사이에 배치된다.
- [0023] 일 실시예에서, 구조체를 형성하는 단계는 마이크로전자 요소의 전방 표면을 전도성 층의 제1 표면의 제1 부분에 부착하는 단계를 추가로 포함한다.
- [0024] 일 실시예에서, 구조체를 형성하는 단계 전에, 이 방법은 기판을 제공하는 단계로서, 기판은 기판의 제1 표면으로부터 제2 표면까지 제1 방향으로 연장되는 두께를 갖고, 기판은 기판의 제2 표면에서 제1 방향으로 연장되는 복수의 강성 요소들을 구비하는, 상기 기판을 제공하는 단계; 및 금속 지주들 및 전도성 층을 형성하기 위해 기판의 제2 표면과 강성 요소들의 표면들 상에 전도성 재료를 침착시키는 단계를 추가로 포함한다.
- [0025] 일 실시예에서, 봉지재를 형성하는 단계 후에, 이 방법은 금속 지주들 내의 개구들을 노출시키도록 기판과 강성 요소들을 제거하는 단계로서, 금속 지주들 내의 개구들은 마이크로전자 조립체의 전방 측으로부터 제1 방향으로 연장되는, 상기 기판과 강성 요소들을 제거하는 단계; 및
- [0026] 절연 층을 침착시키는 단계 전에 개구들을 추가의 전도성 재료로 채우는 단계를 추가로 포함한다.
- [0027] 일 실시예에서, 봉지재를 형성하는 단계 후에 그리고 절연 층을 침착시키는 단계 전에, 이 방법은 금속 지주들의 제1 단부 표면들을 노출시키도록 전도성 층을 제거하는 단계를 추가로 포함한다.
- [0028] 일 실시예에서, 이 방법은 봉지재의 제2 표면 위에 놓이고, 봉지재의 제2 표면으로부터 멀리 연장되는 두께를 갖는 제2 절연 층을 형성하는 단계; 금속 지주들의 제2 단부 표면들로부터 멀리 그리고 제2 절연 층의 두께를 통해 연장되는 제2 접속 요소들을 형성하는 단계로서, 적어도 일부 제2 접속 요소들은 금속 지주들의 단면들보다 작은 단면들을 갖는, 상기 제2 접속 요소들을 형성하는 단계;
- [0029] 제2 절연 층 상에 재배선 구조체를 침착시키는 단계; 및
- [0030] 봉지재의 제2 표면에 인접한 마이크로전자 조립체의 제2 측에 제2 단자들을 형성하는 단계로서, 제2 단자들은 재배선 구조체 위에 놓이고, 제2 접속 요소들은 적어도 일부 제2 단부 표면들을 재배선 구조체를 통해 대응하는 제2 단자들과 전기 접속시키는, 상기 제2 단자들을 형성하는 단계를 추가로 포함한다.
- [0031] 일 실시예에서, 이 방법은 금속 지주들의 적어도 일부 제2 단부 표면들과 봉지재의 제2 표면 사이에서 연장되는 개구들을 형성하는 단계로서, 개구들은 금속 지주들의 제2 단부 표면들의 적어도 일부분들을 노출시키는, 상기 개구들을 형성하는 단계; 및 봉지재 내의 개구들을 통해 연장되고 제2 단부 표면들에서 적어도 일부 금속 지주들에 전기 접속되는 제2 접속 요소들을 형성하는 단계를 추가로 포함한다.
- [0032] 일 실시예에서, 구조체를 형성하는 단계 전에, 마이크로전자 요소의 전방 표면이 캐리어에 부착된다.
- [0033] 일 실시예에서, 구조체를 형성하는 단계는 마이크로전자 요소가 전도성 층의 제1 표면의 제1 부분과 병치되도록

캐리어를 금속 지주들에 부착하는 단계를 추가로 포함한다.

- [0034] 일 실시예에서, 마이크로전자 요소와 전도성 층의 제1 표면의 제1 부분은 그로부터 분리된다.
- [0035] 일 실시예에서, 봉지재를 형성하는 단계 후에, 이 방법은
- [0036] 마이크로전자 요소의 전방 표면과 금속 지주들의 제2 단부 표면들을 노출시키도록 캐리어를 제거하는 단계; 및
- [0037] 금속 지주들의 제1 단부 표면들을 노출시키도록 전도성 층을 제거하는 단계를 추가로 포함한다.

도면의 간단한 설명

- [0038] 도 1-1은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 측면도.
- 도 1-2는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 측면도.
- 도 1-3은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 측면도.
- 도 1-4는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 측면도.
- 도 1-5는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 평면도.
- 도 1-6은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 부분 평면도.
- 도 1-7은 본 발명의 일부 실시예들에 따른 적층된 구조의 복수의 마이크로전자 조립체들의 개략 측면도.
- 도 1-8은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 부분 평면도.
- 도 1-9는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 부분 평면도.
- 도 1-10은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 개략 부분 평면도.
- 도 2는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 형성 방법에 대한 플로우차트.
- 도 3-1 내지 도 3-6은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 제조 방법의 단계들을 도시하는 도면.
- 도 4-1 내지 도 4-6은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 제조 방법의 단계들을 도시하는 도면.
- 도 5-1 내지 도 5-6은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 제조 방법의 단계들을 도시하는 도면.
- 도 6-1 내지 도 6-5는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 제조 방법의 단계들을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 발명은 아래에서 더 상세히 설명될 것이다.
- [0040] 본 명세서에서 기술되는 모든 범위들은 2개의 값들 "사이의" 범위를 기술하는 것들을 포함한 종점(endpoint)들을 포함한다. "약", "일반적으로", "실질적으로" 등과 같은 용어들은, 절대적인 것이 아니고 종래 기술에서 알려진 것이 아니도록 용어 또는 값을 수식하는 것으로서 해석될 것이다. 그러한 용어들은, 이들이 수식하는 용어들이 당업자에 의해 이해되므로, 그들 용어 및 상황에 의해 한정될 것이다. 이는 적어도, 값을 측정하기 위해 사용되는 주어진 기술에 대한 예상되는 실험 오차도, 기술 오차도 및 기기 오차도를 포함한다.
- [0041] 범위 형식의 설명이 단지 편의 및 간결성을 위한 것이고 본 발명의 범주에 대한 완고한 제한으로서 해석되지 않아 함을 추가로 이해하여야 한다. 따라서, 범위의 설명은 모든 가능한 하위 범위들뿐만 아니라 그 범위 내의 개별 수치 값들을 구체적으로 개시한 것으로 여겨져야 한다. 예를 들어, 1 내지 6과 같은 범위의 설명은 1 내지 3, 1 내지 4, 1 내지 5, 2 내지 4, 2 내지 6, 3 내지 6 등과 같은 하위 범위들뿐만 아니라, 그 범위 내의 개별 숫자들, 예를 들어 1, 2, 2.3, 3, 4, 5, 5.7 및 6을 구체적으로 개시한 것으로 여겨져야 한다. 이는 범위의 폭과 무관하게 적용된다.
- [0042] 구성요소와 관련하여 본 개시 내용에 사용되는 바와 같이, 요소, 예컨대, 전도성 요소, 접점, 금속 지주, 단자, 구조체, 또는 다른 요소가 구성요소, 예컨대 마이크로전자 조립체, 인터포저, 회로 패널, 또는 다른 기관의 표

면"에" 있다는 표현은, 구성요소가 임의의 다른 요소와 조립되지 않을 때, 요소가 구성요소 외부로부터 구성요소의 표면을 향해 구성요소의 표면에 수직인 방향으로 이동하는 크로싱 교점(theoretical point)과의 접촉에 이용가능하다는 것을 가리킨다. 따라서, 구성요소의 표면에 있는 요소가 그러한 표면으로부터 돌출될 수 있거나, 그러한 표면과 동일 높이일 수 있거나, 구성요소 내의 구멍 또는 함몰부에서 그러한 표면에 대해 들어가 있을 수 있다.

- [0043] 도 1-1 내지 도 1-3은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체들을 도시한다. 본 명세서에 개시된 마이크로전자 조립체들의 다양한 실시예들은 단독으로 또는 조합으로 이용될 수 있다.
- [0044] 도 1-1은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(100)의 개략 측면도를 도시한다. 마이크로전자 조립체(100)는 마이크로전자 요소(102)를 포함한다. 마이크로전자 요소(102)는 전방 표면(104) 및 전방 표면(104)의 경계를 짓는 에지 표면(106)들을 구비할 수 있다. 마이크로전자 요소(102)의 제1 두께(108)가 전방 표면(104)으로부터 멀리 제1 방향(110)으로 연장될 수 있다. 마이크로전자 요소는 전방 표면(104)에서 복수의 접점(112)들을 포함할 수 있다. 예시적인 마이크로전자 요소(102)들은 반도체 다이, 패키징된 반도체 칩 등 중 임의의 하나 이상을 포함할 수 있다.
- [0045] 마이크로전자 조립체(100)는 에지 표면(106)들 중 적어도 하나와 마이크로전자 조립체(100)의 대응하는 에지 사이에 배치되는 실질적으로 강성인 복수의 금속 지주(114)들을 포함한다. 마이크로전자 요소(102)와 금속 지주(114)들을 갖는 마이크로전자 조립체(100)의 하나의 예시적인 개략 평면도가 도 1-5에 도시되어 있다.
- [0046] 각각의 금속 지주(114)는 제1 및 제2 단부 표면(118, 120)들을 서로로부터 제1 방향(110)으로 분리하는 측벽(116)을 포함한다. 금속 지주(114)들의 측벽(116)들은 약 1 마이크로미터 미만의 제곱 평균 제곱근(rms) 표면 조도를 가질 수 있다. 측벽(116)들의 그러한 낮은 표면 조도는 본 명세서에 개시되고 아래에서 논의되는 방법들을 사용하여 달성될 수 있다. 일 실시예에서, 금속 지주들은 원통도가 약 99% 초과일 수 있다. 예를 들어, 금속 지주들의 낮은 표면 조도, 형상, 및 다른 특징들은 본 명세서에서 논의되는 방법들에 의해 형성될 수 있다. 금속 지주(114)들은 구리(Cu), 니켈(Ni), 금(Au), 또는 이들의 합금들로부터 선택되는 하나 이상의 금속을 포함할 수 있다. 마이크로전자 요소(100)는 봉지재(122)를 포함하고, 봉지재는 봉지재(122)의 제1 표면(123)과 제2 표면(125) 사이에서 제1 방향(110)으로 연장되는 제2 두께(124)를 갖는다. 봉지재(122)는 적어도 마이크로전자 요소(102)의 에지 표면(106)들 및 복수의 금속 지주(114)들의 측벽(116)들과 접촉한다. 도 1-1에 도시된 바와 같은 일 실시예에서, 봉지재(122)의 제2 두께(124)는 마이크로전자 요소(102)의 제1 두께(108)와 거의 동일하다. 봉지재(122)는 봉지재 재료, 예컨대 포팅(potting) 화합물을 성형함으로써 형성될 수 있다. 특정 예에서, 봉지재(122)는 중합체 매트릭스 및 중합체 매트릭스 내의 미립자 로딩(loading)을 포함하는 미립자 복합 층일 수 있다. 그러한 복합 층은, 예를 들어 내부에 미립자 로딩 재료를 구비하는 미경화된 중합체 재료를 침착시킴으로써 형성될 수 있으며, 미립자 로딩 재료는 선택적으로, 낮은 열팽창 계수(coefficient of thermal expansion, "CTE")를 갖는 유전체 재료이다.
- [0047] 금속 지주(114)들은 적어도 부분적으로 봉지재(122)를 통해 연장된다. 도 1-1에 도시된 바와 같은 일 실시예에서, 금속 지주(114)들은 완전히 봉지재(122)의 제2 두께(124)를 통해 마이크로전자 조립체(100)의 제1 측(127)으로부터 제2 측(129)까지 연장된다. 제1 및 제2 측(127, 129)들은 봉지재(122)의 제1 및 제2 표면(123, 125)들에 각각 인접할 수 있다.
- [0048] 마이크로전자 조립체(100)는 마이크로전자 조립체의 제1 측(127)에서 단자(131)들을 구비할 수 있다. 일부 실시예들에서, 마이크로전자 조립체는 마이크로전자 조립체의 제2 측(129)에서 제2 단자(133)들을 구비할 수 있다. 단자(131, 133)들은 마이크로전자 조립체(100)를 다른 구성요소들, 예를 들어 다른 마이크로전자 조립체, 인터포저, 인쇄 회로 기판(PCB), 또는 다른 그러한 구성요소들에 전기적으로 결합시키기 위한 표면들을 제공할 수 있으며, 이때 구성요소들은 마이크로전자 조립체의 제1 및 제2 측(127, 129)들에 각각 인접한다. 하나의 예시적인 실시예에서, 마이크로전자 조립체는 도 1-7에 도시된 바와 같은 수직 적층된 구조체 내에 포함될 수 있다. 예를 들어, 다른 마이크로전자 조립체가 제2 측(129)에 인접하여 마이크로전자 조립체 위에 놓이게 적층될 수 있고, 마이크로전자 조립체는 이어서 회로 패널(135), 또는 다른 구성요소, 예를 들어 인터포저 위에 놓이도록 그의 제1 측(127)에서 적층될 수 있다. 많은 수직 적층 배열들과 구성요소들이 가능하며, 도 1-7에 도시된 예시적인 실시예로 제한되지 않는다.
- [0049] 마이크로전자 조립체(100)는 마이크로전자 조립체(100)의 제1 측(127)에서 절연 층(136)을 포함할 수 있다. 하나의 예시적인 실시예에서, 절연 층은 유전체 재료를 포함한다. 절연 층(136)은 마이크로전자 요소(102)의 전방 표면(104)과 금속 지주(114)들의 제1 단부 표면(118)들 위에 놓인다. 접속 요소(128)들이 제1 단부 표면

(118)들 및 접점(112)들과 전기 접속되도록 제1 단부 표면(118)들로부터 멀리 그리고 절연 층(136)의 두께를 통해 연장될 수 있다. 접속 요소(128)들은 제1 단부 표면(118)들 중 적어도 일부를 대응하는 단자(131)들과 접속시킬 수 있다. 도 1-1 내지 도 1-4에 도시된 바와 같이, 단자(131)들은 재배선 구조체(redistribution structure)(126)를 통해 제1 접속 요소들에 결합될 수 있다. 그러나, 일부 실시예들에서, 단자(131)들은 절연 층(136) 위에 놓일 수 있다. 다른 실시예들에서, 단자(131)들은 절연 층(136) 내에, 또는 대안적으로 절연 층(136) 위에 놓이는 다른 절연 층 내에 형성될 수 있다. 절연 층(136)은 폴리이미드, 폴리아미드, 또는 일부 경우에 벤조사이클로부탄(benzocyclobutane, BCB)일 수 있는 광이미지형성가능(photoimageable) 재료와 같은 중합체 재료 중 하나 이상을 포함할 수 있다.

[0050] 마이크로전자 조립체(100)는 마이크로전자 조립체(100)의 제2 측(129)에서 제2 절연 층(140)을 포함할 수 있다. 제2 절연 층(140)은 절연 층(136)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 제2 접속 요소(132)들이 제2 단부 표면(120)들로부터 멀리 그리고 제2 절연 층(140)의 두께를 통해 연장되어 제2 단부 표면(120)들과 전기 접속될 수 있다. 제2 접속 요소(132)들은 제2 단부 표면(120)들 중 적어도 일부를 대응하는 제2 단자(133)들과 접속시킬 수 있다. 제2 접속 요소들은 접속 요소(128)들에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다.

[0051] 접속 요소(128, 132)들 중 적어도 일부는 각각 제1 및 제2 단부 표면(118, 120)들에서 금속 지주(114)들의 단면보다 작은 단면을 가질 수 있다. 일부 경우들에서, 접속 요소(128, 132)들의 보다 작은 단면은 금속 지주(114)들과의 정렬을 개선할 수 있다. 개선된 정렬은 개선된 경로 설정(routing)을 생성할 수 있다. 접속 요소(128, 132)들은 금속 지주(114)들의 측벽(116)들의 rms 표면 조도보다 큰 rms 표면 조도를 갖는 측벽들을 구비할 수 있다. 일 실시예에서, 접속 요소(128, 132)들의 측벽들은 약 1 마이크로미터보다 큰 rms 표면 조도를 갖는다. 접속 요소(128, 132)들은 임의의 적합한 재료, 예를 들어 금속 지주(114)들에 대해 위에서 논의된 재료, 또는 다른 재료들로부터 형성될 수 있다. 금속 지주(114) 및 대응하는 접속 요소(128, 132)들의 조성들은 동일하거나 상이할 수 있다.

[0052] 마이크로전자 조립체(100)는 절연 층(136, 140)들 중 적어도 하나 상에 침착되는 전기 전도성 재배선 구조체(126)를 포함한다. 예를 들어, 도 1-1 내지 도 1-3에 도시된 바와 같은 일부 실시예들에서, 재배선 구조체는 절연 층(136, 140)들 둘 모두 상에 침착될 수 있다. 대안적으로, 도 1-4에 도시된 하나의 예시적인 실시예에서, 재배선 구조체(126)는 절연 층(136) 상에 침착되지만, 제2 단부 표면(120)들 상에 침착되는 재배선 구조체 및/또는 제2 절연 층(140)이 없다. 그러한 실시예들에서, 제2 단부 표면(120)들은 제2 단자(133)로서 역할할 수 있다. 일부 실시예들에서, 재배선 구조체(126)는 하나의 및/또는 둘 모두의 절연 층(136, 140) 및 대응하는 하나의 및/또는 둘 모두의 접속 요소(128, 132)와 일체형이다.

[0053] 재배선 구조체(126)는 적어도 하나의 단자(131)와 결합되는 금속 지주(114)의 에지 표면을 지나 배치되는 그러한 단자(131)의 일부분, 또는 적어도 하나의 제2 단자(133)와 결합되는 금속 지주(114)의 에지 표면을 지나 배치되는 그러한 제2 단자(133)의 일부분 중 적어도 하나를 포함한다. 예시적인 실시예들에서, 도 1-6에서 평면도로 도시된 바와 같이, 재배선 구조체는 금속 지주(114)들의 에지 표면들을 지나 제1 방향(110)을 가로지르는 제2 방향으로 연장되는 트레이스(137)들을 포함할 수 있다. 단자(131)들 중 적어도 하나가 트레이스(131)들을 통해 제1 단부 표면(118)들과 전기적으로 결합될 수 있다. 유사하게, 제2 단자(133)들 중 적어도 하나가 트레이스(137)들을 통해 제2 단부 표면(120)들과 전기적으로 결합될 수 있다. 도 1-1 내지 도 1-4에 도시된 바와 같은 다른 실시예들에서, 마이크로전자 조립체의 제1 측(127)에서, 적어도 일부 트레이스(137)들이 마이크로 요소(102)의 접점(112)들을 금속 지주(114)들에 전기적으로 결합시킬 수 있다. 도 1-6에 도시된 바와 같은 다른 실시예들에서, 하나의 및/또는 둘 모두의 단자(113, 133)가 도 1-6의 우측에 도시된 바와 같이 금속 지주(114)들의 에지 표면들을 지나 연장된다는 점에서 트레이스들의 외양들을 포함하는 일체형 구조체일 수 있다.

[0054] 도 1-2는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(150)의 개략 측면도를 도시한다. 마이크로전자 조립체(150)는, 달리 언급되는 점을 제외하고는, 마이크로전자 조립체(100)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 본 발명의 일 실시예에서, 마이크로전자 조립체(150)에 도시된 바와 같이, 봉지재(122)의 제2 두께(124)는 마이크로전자 요소(102)의 제1 두께(108)를 초과할 수 있다.

[0055] 도 1-3은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(160)의 개략 측면도를 도시한다. 마이크로전자 조립체(160)는, 달리 언급되는 점을 제외하고는, 마이크로전자 조립체(100)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 본 발명의 일 실시예에서, 마이크로전자 조립체(160)에 도시된 바와 같이, 금속 지주(114)들은 제2 두께(124)를 통해 제1 방향(110)으로 부분적으로 연장된다. 일 실시예에서, 금

속 지주들은 제2 두께(124)의 약 50% 이상까지 제2 두께(124)의 제1 방향(110)으로 연장된다. 일 실시예에서, 제2 접속 요소(132)들은 도 1-3에 도시된 바와 같이 금속 지주(114)들의 제2 단부 표면(120)들로부터 봉지재(122)의 제2 두께(124)의 제1 방향으로 연장될 수 있다. 제2 단부 표면(120)들에서 금속 표면(114)들의 단면보다 작은 단면을 갖는 것으로 도시되지만, 일부 실시예들에서, 제2 접속 요소(132)들은 금속 지주(114)들의 단면보다 큰 단면을 가질 수 있다. 선택적으로, 제2 유전체 층(140)은 마이크로전자 조립체(160)로부터 생략될 수 있다.

[0056] 도 1-4는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(170)의 개략 측면도를 도시한다. 마이크로전자 조립체(170)는, 달리 언급되는 점을 제외하고는, 마이크로전자 조립체(100)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 도 1-4에 도시된 바와 같이, 마이크로전자 조립체(170)는 제2 단부 표면(120)들 상에 침착되는 재배선 구조체(126)를 포함하지 않는다.

[0057] 도 1-8은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(180)의 개략 측면도를 도시한다. 마이크로전자 조립체(180)는, 달리 언급되는 점을 제외하고는, 마이크로전자 조립체(100)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 도 1-8에 도시된 바와 같이, 마이크로전자 조립체(180)는 제2 마이크로전자 요소(182)를 포함한다. 일부 실시예들에서, 제2 마이크로전자 요소(182)는 적어도 부분적으로 마이크로전자 요소(102) 위에 놓인다. 일례에서, 도 1-8에 도시된 바와 같이, 제2 마이크로전자 요소는 완전히 마이크로전자 요소(102) 위에 놓인다. 제2 마이크로전자 요소(182)는 제1 표면(181) 및 제1 표면(181)의 경계를 짓는 에지 표면(183)들을 포함할 수 있다. 제2 마이크로전자 요소(182)는 제2 마이크로전자 요소(182)의 제1 표면(181)으로부터 멀리 제2 마이크로전자 요소(182)의 제2 표면(184)을 향해 제1 방향으로 연장되는 두께를 가질 수 있다. 마이크로전자 요소(182)는 제2 표면(184)에서 접점(185)들을 구비할 수 있다. 금속 지주(114)들 중 적어도 일부가 제2 마이크로전자 요소(182)의 접점(185)들과 전기적으로 결합될 수 있다. 일례에서, 접점(185)들은 제2 접속 요소(132)들과 트레이스(137)들을 통해 금속 지주(114)들과 전기적으로 결합될 수 있다.

[0058] 도 1-9는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(190)의 개략 측면도를 도시한다. 마이크로전자 조립체(190)는, 달리 언급되는 점을 제외하고는, 마이크로전자 조립체(160)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 도 1-9에 도시된 바와 같이, 마이크로전자 조립체(190)는 제2 마이크로전자 요소(182)를 포함한다.

[0059] 도 1-10은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(192)의 개략 측면도를 도시한다. 마이크로전자 조립체(192)는, 달리 언급되는 점을 제외하고는, 마이크로전자 조립체(100)에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들을 포함할 수 있다. 도 1-10에 도시된 바와 같이, 재배선 층(126)이 선택적으로 제2 절연 층(140) 위에 없을 수 있다. 제2 마이크로전자 요소(193)가 제2 절연 층(140) 위에 놓인다. 제2 마이크로전자 요소(193)는 제1 표면(194) 및 제1 표면(194)의 경계를 짓는 에지 표면(195)들을 구비한다. 제2 마이크로전자 요소(193)는 제1 표면(194)으로부터 멀리 제1 방향으로 연장되는 두께를 갖는다. 마이크로전자 요소(193)는 제1 표면(194)에서 접점(196)들을 구비할 수 있다. 일례에서, 접점(196)들은 제2 접속 요소(132)들에 직접 결합될 수 있다. 재배선 층(126)이 절연 층(140)과 제2 마이크로전자 요소(193) 사이에 배치되는 다른 예에서, 접점(196)들은 재배선 층(126)을 통해 제2 접속 요소(132)들 중 적어도 일부에 전기적으로 결합될 수 있다. 봉지재(122)는 적어도 제2 마이크로전자 요소(193)의 에지 표면(195)들과 접촉할 수 있다. 일례에서, 봉지재(122)는 제2 마이크로전자 요소(193)를 둘러쌀 수 있다.

[0060] 도 2는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 제조 방법(200)의 플로우차트를 도시한다. 이 방법(200)은 도 3-1 내지 도 3-6, 도 4-1 내지 도 4-6, 및 도 5-1 내지 도 5-6에 각각 도시된, 마이크로전자 조립체(100, 160, 150)들의 제조 단계들에 따라 후술된다. 그러나, 이 방법(200)은 본 발명의 다른 실시예들, 또는 본 발명의 범주 내의 다른 마이크로전자 조립체들에 적용될 수 있다.

[0061] 도 3-1은 마이크로전자 요소(102)와 금속 지주(114)들을 갖는 구조체(300)를 도시한다. 구조체(300)는 도 3-1에 도시된 바와 같이 전도성 층(302)에 의해 각각 전방 표면(104)과 제1 단부 표면(118)들에서 지지되는 마이크로전자 요소(102)와 금속 지주(114)들을 포함할 수 있다. 202에서, 마이크로전자 요소(102)의 전방 표면(104)을 전도성 층(302)의 제1 표면(304)의 제1 부분(303)에 부착함으로써 구조체(300)가 형성될 수 있다. 금속 지주(114)들은 제1 표면(304)의 제1 부분(303)과 전도성 층(302)의 대응하는 에지 사이에 배치된다.

[0062] 전도성 층(302)에 대한 마이크로전자 요소(102)의 부착 전에, 금속 지주(114)들이 전도성 층(302)의 제1 표면(304) 상에 예비 형성될 수 있다. 예를 들어, 전도성 층(302) 위에 놓이는 패턴화된 포토레지스트 내의 개구들 내에 금속이 도금되어 금속 지주(114)들을 형성할 수 있다. 예컨대 스퍼터링, 소결, 다른 물리적 또는 화학적

으로 향상된 침착 공정을 비롯한, 금속 지주들을 형성하기 위한 다른 적합한 방법들이 채용될 수 있다.

- [0063] 204에서, 봉지재(122)가 형성될 수 있다. 봉지재(122)는 성형에 의해 형성될 수 있다. 선택적으로, 봉지재(122)를 성형한 후에, 봉지재(122)는 원하는 제2 두께(124)를 달성하기 위해 박화될 수 있다. 도 3-2에 도시된 바와 같이, 봉지재(122)는 적어도 마이크로전자 요소(102)의 에지 표면(106)들 및 금속 지주(114)들의 측벽(116)들과 접촉할 수 있다. 마이크로전자 조립체(100)의 실시예들에서, 마이크로전자 요소(102)의 제1 두께(108)와 봉지재 영역(122)의 제2 두께(124)는 동일하다.
- [0064] 봉지재(122)의 형성 후에, 전도성 층(302)이 제거되어 금속 지주(114)들의 제1 단부 표면(118)들을 노출시킬 수 있다. 전도성 층(302)의 제거 후의 구조체(300)가 도 3-3에 도시되어 있다. 전도성 층(302)은 임의의 적합한 공정, 예를 들어 에칭, 폴리싱, 또는 이들의 조합들에 의해 제거될 수 있다.
- [0065] 206에서, 도 3-3 및 도 3-4에 도시된 바와 같이 절연 층(136)과 접속 요소(128)들이 마이크로전자 조립체(100)의 제1 측(127)에 형성될 수 있다. 절연 층(136)은 마이크로전자 요소(102)의 전방 표면과 금속 지주(114)들의 제1 단부 표면(118)들 위에 놓이게 형성될 수 있다. 개구(306)들이 형성될 수 있으며, 이때 개구(306)들은 절연 층(136)의 두께의 제1 방향(110)으로 연장되고, 마이크로전자 요소(102)의 접점(112)들과 금속 지주(114)들의 제1 단부 표면(118)들의 적어도 일부분들을 노출시킨다. 개구(306)들은 광학 리소그래피에 의한 접점(112)들과 제1 단부 표면(118)들의 일부분들을 노출시키기 위한 절연 층(136)의 재료의 제거에 의해 형성될 수 있다. 대안적으로, 개구(306)들은 레이저 또는 기계적 드릴링에 의해 형성될 수 있다. 개구(306)들은 거친 측벽 표면들을 구비할 수 있으며, 이는 약 1 마이크로미터 초과 rms 표면 조도를 갖는 접속 요소(128)들에 기여할 수 있다. 접속 요소(128)들은 도금, 물리 증착(PVD), 화학 증착(CVD) 등에 의해 개구(306)들 내에 형성될 수 있다.
- [0066] 유사하게, 제2 절연 층(140)이 마이크로전자 요소(102)와 금속 지주(114)들의 제2 단부 표면(120)들 위에 놓이게 형성될 수 있다. 개구(308)들이 형성될 수 있으며, 이때 개구(308)들은 제2 절연 층(140)의 두께의 제1 방향(110)으로 연장되고, 금속 지주(114)들의 제2 단부 표면(120)들의 적어도 일부분들을 노출시킨다. 개구(308)들은 개구(308)들에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들 및/또는 제조 방법들을 포함한다. 제2 접속 요소(132)들은 도금, 물리 증착(PVD), 화학 증착(CVD) 등에 의해 개구(308)들 내에 형성될 수 있다.
- [0067] 208에서, 재배선 구조체(126)가 침착된다. 도 3-6에 도시된 바와 같이, 재배선 구조체(126)는 절연 층(136, 140)들 위에 놓인다. 재배선 구조체(126)는 절연 층(136, 140)들 위에 각각 놓이는 하나 이상의 절연 층(142, 144)을 포함할 수 있다. 하나 이상의 절연 층(142, 144)은 접속 요소(128, 132)들의 표면들의 적어도 일부분들을 노출시키도록 패터닝될 수 있다. 단자(131, 133)들은 접속 요소(128, 132)들의 표면들에 전기적으로 결합될 수 있다. 단자(131, 133)들은 임의의 적합한 방법, 예를 들어 도금 등에 의해 형성될 수 있다.
- [0068] 마이크로전자 조립체(100)의 제1 측(130)과 제2 측(134)에 순차적으로 제조되는 것으로 전술되지만, 재배선 구조체(126)는 공정 단계들의 임의의 적합한 순서에 의해 제조될 수 있다. 예를 들어, 절연 층(136, 140)들에 이어, 개구(306, 308)들에 이어서, 제1 및 제2 접속 요소(128, 132)들이 형성될 수 있거나, 공정 단계들의 다른 원하는 순서로 형성될 수 있다.
- [0069] 도 4-1 내지 도 4-6은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(160)의 제조 방법의 단계들을 도시한다. 마이크로전자 조립체(160)를 제조하는 일부 태양들은 마이크로전자 조립체(100)의 제조에 관하여 위에서 논의된 것들과 유사하다.
- [0070] 도 4-1은 마이크로전자 요소(102)와 금속 지주(114)들을 갖는 구조체(400)를 도시한다. 구조체(400)는 도 4-1에 도시된 바와 같이 전도성 층(402)에 의해 각각 전방 표면(104)과 제1 단부 표면(118)들에서 지지되는 마이크로전자 요소(102)와 금속 지주(114)들을 포함할 수 있다. 202에서, 마이크로전자 요소(102)의 전방 표면(104)을 전도성 층(402)의 제1 표면(404)의 제1 부분(403)에 부착함으로써 구조체(400)가 형성될 수 있다. 금속 지주(114)들은 제1 표면(404)의 제1 부분(403)과 전도성 층(402)의 대응하는 에지 사이에 배치된다.
- [0071] 전도성 층(402)에 대한 마이크로전자 요소(102)의 부착 전에, 금속 지주(114)들이 전도성 층(402)의 제1 표면(404) 상에 예비 형성될 수 있다. 전도성 층(402) 상에서의 금속 지주(114)들의 예비 형성은 전도성 층(302) 상에서의 금속 지주(114)들의 예비 형성에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들 및/또는 제조 방법들을 포함할 수 있다.
- [0072] 204에서, 봉지재(122)가 형성될 수 있다. 봉지재(122)는 성형에 의해 형성될 수 있다. 선택적으로, 봉지재

(122)를 성형한 후에, 봉지재(122)는 원하는 제2 두께(124)를 달성하기 위해 박화될 수 있다. 도 4-2에 도시된 바와 같이, 봉지재(122)는 적어도 마이크로전자 요소(102)의 에지 표면(106)들 및 금속 지주(114)들의 측벽(116)들과 접촉할 수 있다. 마이크로전자 조립체(160)의 실시예들에서, 금속 지주(114)들은 제2 두께(124)의 약 50%까지 제2 두께(124)의 제1 방향(110)으로 연장된다.

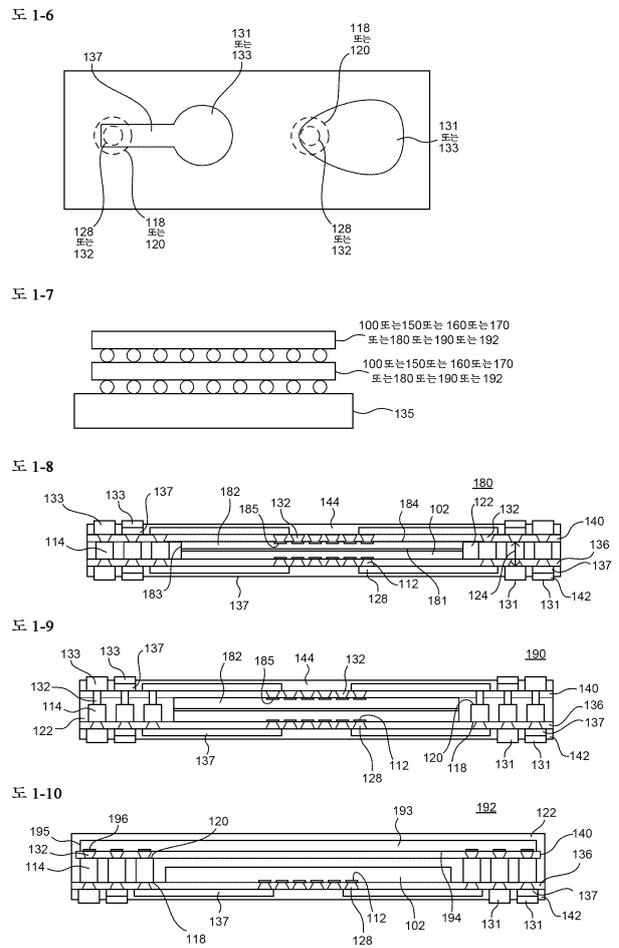
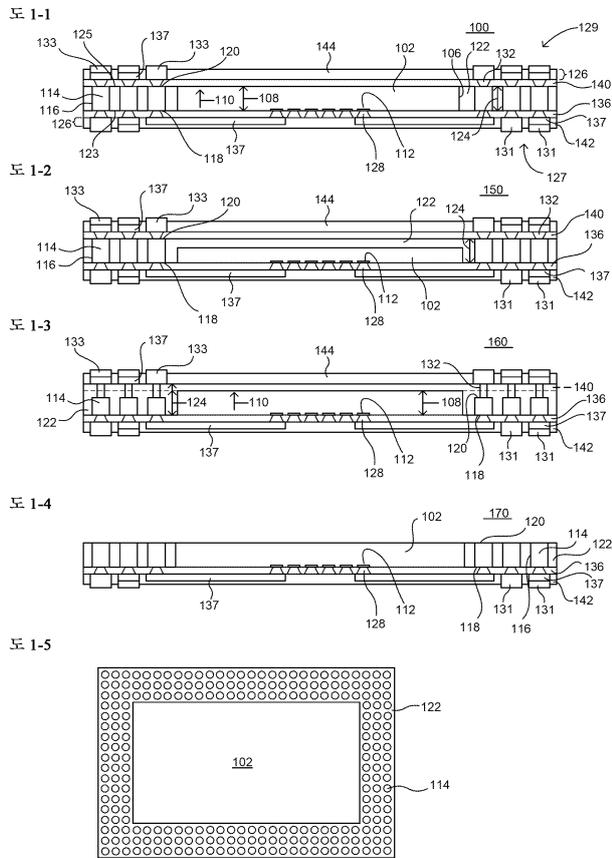
- [0073] 봉지재(122)의 형성 후에, 전도성 층(402)이 제거되어 금속 지주(114)들의 제1 단부 표면(118)들을 노출시킬 수 있다. 전도성 층(402)의 제거 후의 구조체(400)가 도 4-3에 도시되어 있다. 전도성 층(402)은 임의의 적합한 공정, 예를 들어 에칭, 폴리싱, 또는 이들의 조합들에 의해 제거될 수 있다.
- [0074] 206에서, 본 발명의 일부 태양들에서 도 4-3 및 도 4-4에 도시된 바와 같이 절연 층(136)과 접속 요소(128)들이 마이크로전자 조립체(160)의 제1 측(127)에 형성될 수 있다. 절연 층(136)과 접속 요소(128)들의 형성은 이들 요소를 마이크로전자 조립체(100) 내에 제조하는 것에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들 및/또는 제조 방법들을 포함할 수 있다.
- [0075] 선택적으로, 제2 절연 층(140)이 마이크로전자 요소(102)와 금속 지주(114)들의 제2 단부 표면(120)들 위에 놓이게 형성될 수 있다. 개구(406)들이 형성될 수 있으며, 이때 개구(406)들은 봉지재(122) 및 선택적으로, 존재하는 경우, 제2 절연 층(140)의 두께의 제1 방향(110)으로 연장된다. 개구(406)들은 금속 지주(114)들의 제2 단부 표면(120)들의 적어도 일부분들을 노출시킨다. 개구(406)들은 광학 리소그래피에 이어서 봉지재(122) 및 선택적으로, 존재하는 경우, 제2 절연 층(140)의 재료의 제거에 의해 형성되어, 금속 지주(114)들의 제2 단부 표면(120)들의 일부분들을 노출시킬 수 있다. 대안적으로, 개구(406)들은 레이저 또는 기계적 드릴링에 의해 형성될 수 있다. 개구(406)들은 거친 측벽 표면들을 구비할 수 있으며, 이는 약 1 마이크로미터 초과인 rms 표면 조도를 갖는 제2 접속 요소(132)들에 기여할 수 있다. 제2 접속 요소(132)들은 도금, 물리 증착(PVD), 화학 증착(CVD) 등에 의해 개구(406)들 내에 형성될 수 있다.
- [0076] 208에서, 재배선 구조체(126)가 침착된다. 도 4-6에 도시된 바와 같이, 재배선 구조체(126)는 절연 층(136, 140)들 위에 놓인다. 재배선 구조체(126)는 이들 요소를 마이크로전자 조립체(100) 내에 제조하는 것에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들 및/또는 제조 방법들을 포함할 수 있다.
- [0077] 마이크로전자 조립체(160)의 제1 측(127)과 제2 측(129)에 순차적으로 제조되는 것으로 전술되지만, 재배선 구조체(126)는 공정 단계들의 임의의 적합한 순서에 의해 제조될 수 있다.
- [0078] 도 5-1 내지 도 5-6은 본 발명의 일부 실시예들에 따른 마이크로전자 조립체(150)의 제조 방법의 단계들을 도시한다. 마이크로전자 조립체(150)를 제조하는 일부 태양들은 마이크로전자 조립체(100, 150)의 제조에 관하여 위에서 논의된 것들과 유사하다.
- [0079] 도 5-1은 캐리어(500)에 의해 전방 표면(104) 상에서 지지되는 마이크로전자 요소(102)를 도시한다. 구조체(502)가, 도 5-2에 도시된 바와 같이, 전방 표면(104)에서 캐리어(500)에 의해 지지되는 마이크로전자 요소(102), 및 전도성 층(504)에 의해 제2 단부 표면(120)들에서 지지되는 금속 지주(114)들을 포함할 수 있다. 202에서, 마이크로전자 요소(102)가 전도성 층(504)의 제1 표면(508)의 제1 부분(506)과 병치되도록 금속 지주(114)들의 제1 단부 표면(118)들을 캐리어(500)에 부착함으로써 구조체(502)가 형성될 수 있다. 금속 지주(114)들은 제1 표면(508)의 제1 부분(506)과 전도성 층(504)의 대응하는 에지 사이에 배치되어 제1 표면(508)으로부터 연장될 수 있다.
- [0080] 캐리어(500)에의 부착 전에, 금속 지주(114)들은 전도성 층(504)의 제1 표면(508) 상에 예비 형성될 수 있다. 전도성 층(504) 상에서의 금속 지주(114)들의 예비 형성은 전도성 층(302 또는 402)들 상에서의 금속 지주(114)들의 예비 형성에 대해 기술된 바와 같은 임의의 실시예들 및/또는 치환들 및/또는 제조 방법들을 포함할 수 있다.
- [0081] 204에서, 봉지재(122)가 형성될 수 있다. 봉지재(122)는 성형에 의해 형성될 수 있다. 도 5-2 및 도 5-3에 도시된 바와 같이, 봉지재(122)의 제2 두께(124)는 전도성 층(504)과 캐리어(500) 사이에 한정될 수 있다. 도 5-3에 봉지재(122)의 제2 두께(124)보다 작은 제1 두께(108)를 갖는 것으로 도시되어 있지만, 본 발명의 일부 태양들에서 마이크로전자 요소(102)는 봉지재(122)의 제2 두께(124)와 동일한 제1 두께(108)를 가질 수 있다.
- [0082] 봉지재(122)의 형성 후에, 캐리어(500)와 전도성 층(504)이 제거되어 금속 지주(114)들의 제1 및 제2 단부 표면(118, 120)들을 각각 노출시킬 수 있다. 전도성 층(504)과 캐리어(500)의 제거 후의 구조체(400)가 도 5-4에 도시되어 있다. 전도성 층(504)과 캐리어(500)는 임의의 적합한 공정, 예를 들어 에칭, 폴리싱, 또는 이들의

조합들에 의해 제거될 수 있다.

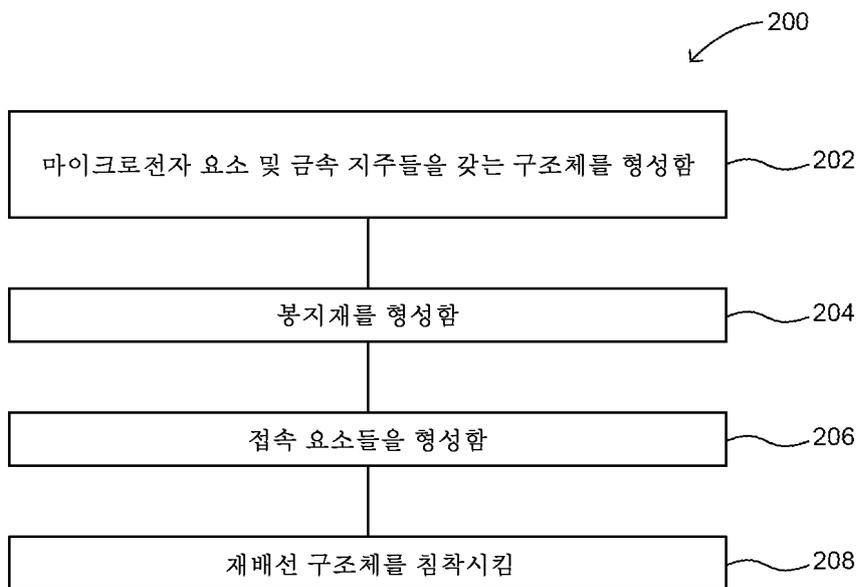
- [0083] 206과 208에서, 본 발명의 일 태양에서 도 5-4 내지 도 5-6에 도시된 바와 같이 절연 층(136, 140)들, 접속 요소(128, 130)들, 및 재배선 구조체(126)가 형성된다. 절연 층(136, 140)들, 접속 요소(128, 130)들, 및 재배선 구조체(126)의 형성은 마이크로전자 조립체(100)의 재배선 구조체의 형성에 관하여 전술된 바와 같은 임의의 실시예들 및/또는 치환들 및/또는 제조 방법들을 포함한다.
- [0084] 본 명세서의 발명이 특정 실시예들을 참고로 하여 설명되었지만, 이들 실시예들은 본 발명의 원리 및 응용에 대한 예시에 불과하다는 것을 이해해야 한다. 따라서, 많은 변형이 예시적인 실시예들에 대해 이루어질 수 있고 다른 배열이 첨부된 청구범위에 의해 한정되는 바와 같은 본 발명의 사상 및 범주로부터 벗어남이 없이 안출될 수 있다는 것을 이해하여야 한다.
- [0085] 예를 들어, 도 6-1 내지 도 6-5는 본 발명의 일부 실시예들에 따른 마이크로전자 조립체의 제조 단계들을 도시한다. 예를 들어, 도 6-1 내지 도 6-5에 도시된 제조 단계들은 대안적으로 도 3-1 및 도 3-2 또는 도 4-1 및 도 4-2에 도시된 제조 단계들에 사용될 수 있다. 도 6-1에 도시된 바와 같이, 기판(600)이 제공될 수 있다. 기판(600)은 제1 표면(602)으로부터 제2 표면(604)까지 제1 방향으로 연장되는 두께를 가질 수 있다. 기판(600)은 기판(600)의 제2 표면(604)에서 제1 방향으로 연장되는 강성 요소(606)들을 구비할 수 있다. 도 6-2에 도시된 바와 같이, 전도성 재료가 제2 표면(604)과 강성 요소(606)들의 표면들 상에 침착되어 금속 지주(114)들 및 전도성 층을 형성할 수 있다. 예를 들어 도 6-3에 도시된 바와 같이, 마이크로전자 요소(102)가 전도성 층에 부착될 수 있고, 이어서 봉지재(122)가 형성될 수 있다. 이어서 기판(600)이 제거되어 금속 지주(114)들 내의 개구(608)들을 노출시킬 수 있다. 금속 지주(114)들 내의 개구들은 마이크로전자 조립체의 전방 측(127)으로부터 제1 방향으로 연장된다. 도 6-5에 도시된 바와 같이, 개구(608)들은 추가의 전도성 재료와 같은 재료로 채워질 수 있다.

도면

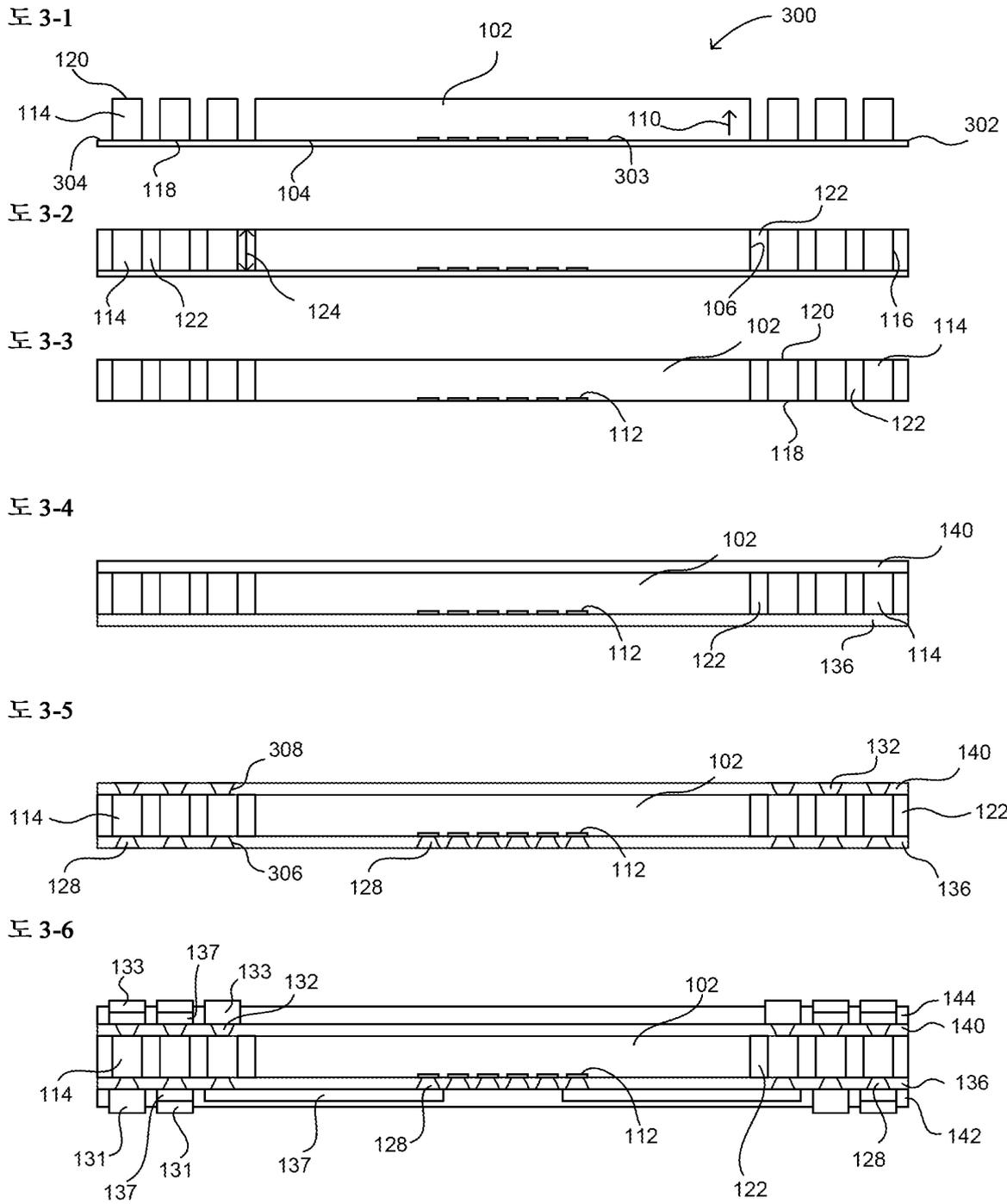
도면1



도면2

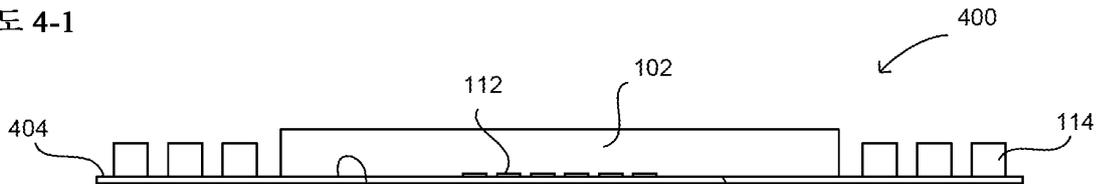


도면3

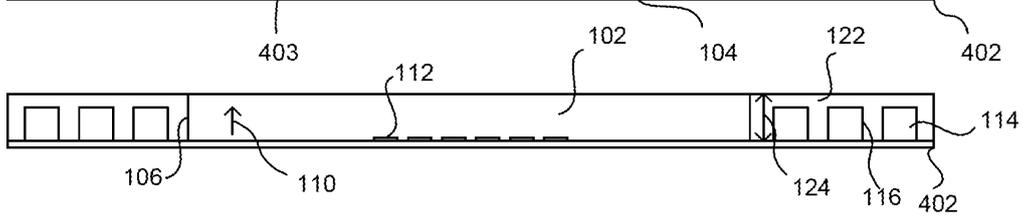


도면4

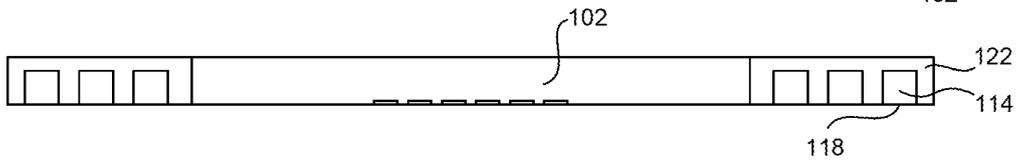
도 4-1



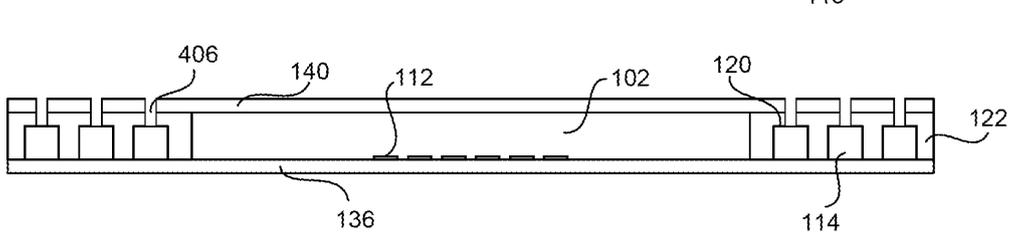
도 4-2



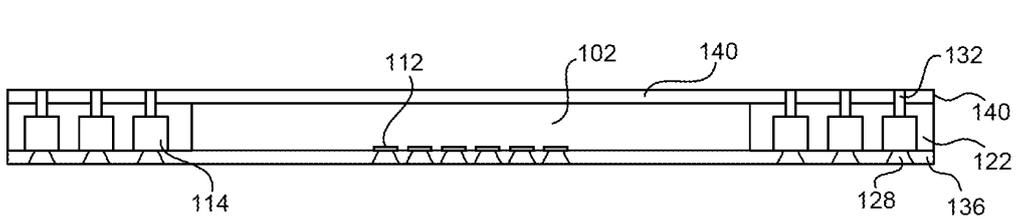
도 4-3



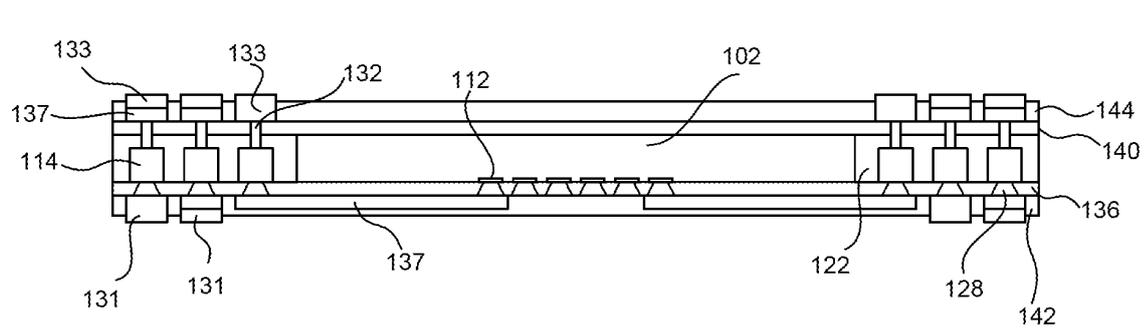
도 4-4



도 4-5

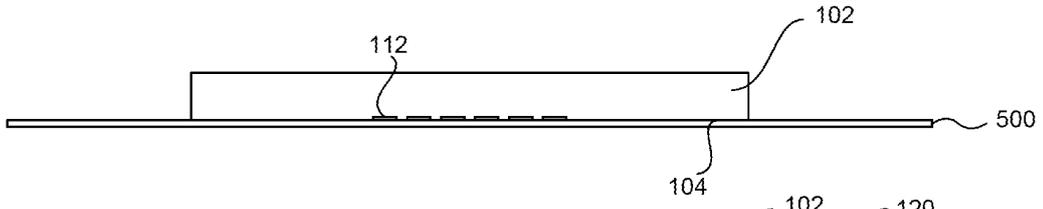


도 4-6

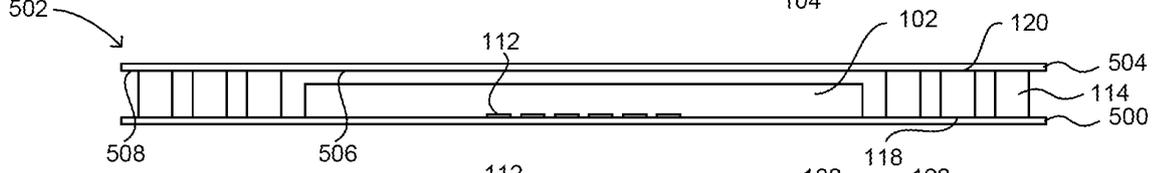


도면5

도 5-1



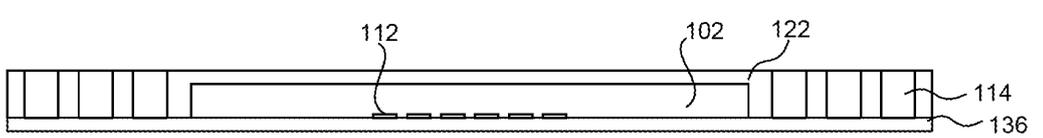
도 5-2



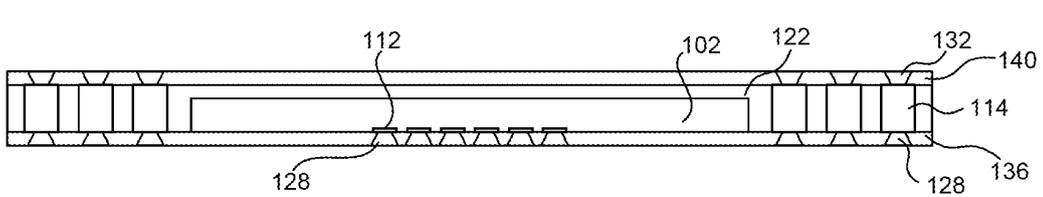
도 5-3



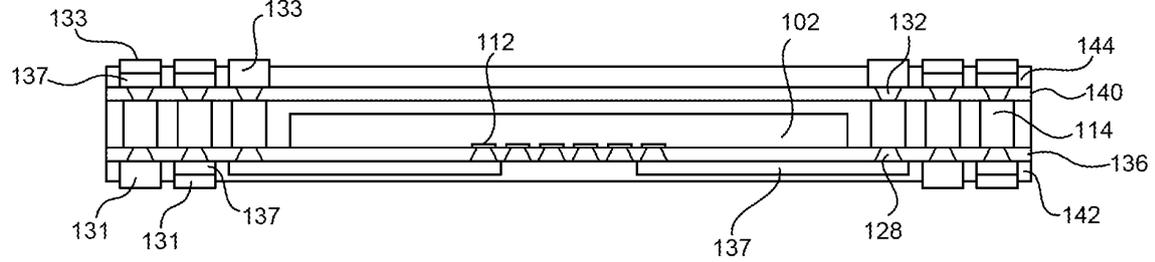
도 5-4



도 5-5

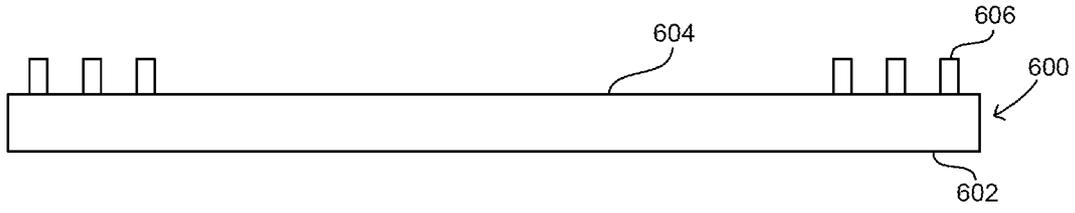


도 5-6

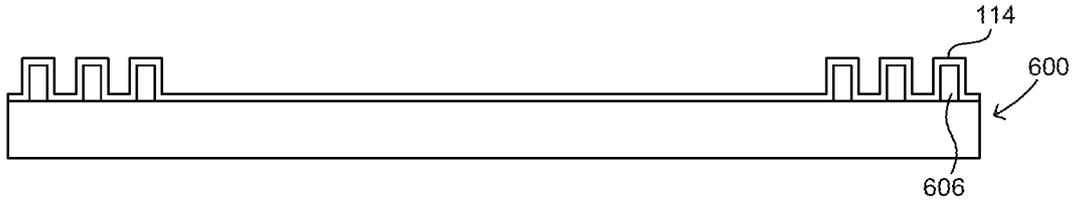


도면6

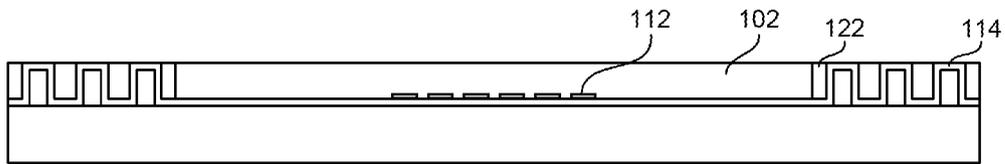
도 6-1



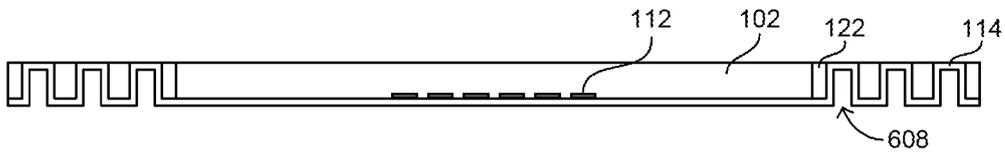
도 6-2



도 6-3



도 6-4



도 6-5

