

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : **2 985 367**

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **11 04146**

⑤1 Int Cl⁸ : **H 01 L 21/60 (2013.01), H 01 L 21/98**

①2 **DEMANDE DE BREVET D'INVENTION**

A1

②2 **Date de dépôt** : 29.12.11.

③0 **Priorité** :

④3 **Date de mise à la disposition du public de la demande** : 05.07.13 Bulletin 13/27.

⑤6 **Liste des documents cités dans le rapport de recherche préliminaire** : *Se reporter à la fin du présent fascicule*

⑥0 **Références à d'autres documents nationaux apparentés** :

⑦1 **Demandeur(s)** : 3D PLUS — FR.

⑦2 **Inventeur(s)** : VAL CHRISTIAN.

⑦3 **Titulaire(s)** : 3D PLUS.

⑦4 **Mandataire(s)** : MARKS & CLERK FRANCE Société en nom collectif.

⑤4 **PROCEDE DE FABRICATION COLLECTIVE DE MODULES ELECTRONIQUES 3D NE COMPORTANT QUE DES PCBS VALIDES.**

⑤7 L'invention concerne un procédé de fabrication collective de modules électroniques 3D qui comprend :

- la fabrication d'un empilement de plaques reconstituées, comportant des composants actifs validés, cet empilement incluant une couche de redistribution,
- la fabrication d'un panneau de circuits imprimés passifs validés qui comprend les sous-étapes suivantes:
 - o fabrication d'un panneau de circuits imprimés,
 - o test électrique de chaque circuit imprimé,
 - o report des circuits imprimés validés sur un support adhésif,
 - o moulage des circuits reportés dans une résine électriquement isolante, dite résine d'enrobage et polymérisation de la résine,
 - o retrait du support adhésif, un panneau ne comportant que des circuits imprimés validés étant ainsi obtenu,
- une étape de collage du panneau avec un empilement (de plaques reconstituées,
- une étape de découpe de l'ensemble « empilement de panneau » en vue d'obtenir les modules électroniques 3D.

FR 2 985 367 - A1



**PROCEDE DE FABRICATION COLLECTIVE DE MODULES ELECTRONIQUES 3D NE
COMPORTANT QUE DES PCBs VALIDES**

Le domaine de l'invention est celui de la fabrication de modules électroniques 3D.

Un module électronique 3 D dont un exemple est représenté figure 5 1, comprend un empilement 100 de tranches électroniques 50 dont l'interconnexion s'effectue en trois dimensions en utilisant notamment les faces de l'empilement pour réaliser les connexions entre les tranches. Une tranche 50 comprend généralement un ou plusieurs composants 11 actifs et/ou passifs qui ont des éléments de connexion électrique 2, les 10 composants étant enrobés dans une résine 6 électriquement isolante. Les éléments de connexion 2 des composants sont reliés à des plots de connexion 2' portés par un substrat électriquement isolant 4. Une ou plusieurs pistes 3 électriquement conductrices portées par le substrat isolant 4 15 relie ces composants entre eux ou les relie à des éléments de connexion électrique des tranches entre elles. Un module électronique 3D comprend au moins un composant actif dans une des tranches.

Ces tranches 50 ont de préférence été obtenues par fabrication collective, à partir de plaques (« wafers » en anglais) reconstituées aussi désignées KGRWs, acronyme de l'expression anglo-saxonne Known Good 20 Reconstructed Wafers, elles-mêmes réalisées au cours des étapes suivantes :

- A) Positionner et fixer sur un support des composants 11 actifs et/ou passifs munis de leurs plots de connexion 2, ces composants ayant de 25 préférence été préalablement validés à l'issue d'un test ; les plots de connexion sont en contact avec le support. Ce support est typiquement une feuille adhésive du type peau collante.
- B) Déposer sur l'ensemble des composants et du support, une couche polymère telle que de la résine époxy 6.
- C) Retirer le support (la peau collante).
- 30 D) Redistribuer les plots pour connecter ensemble les composants 11 d'un même motif et/ou faire des connexions vers la périphérie du motif en vue d'une interconnexion 3D ultérieure. A cet effet on dépose une couche d'un matériau isolant 4 de type polymère gravable, sur laquelle

sont formées des pistes conductrices métalliques 3 assurant la connexion du composant 11 vers d'autres composants et/ou vers la périphérie. Une couche d'isolant 4 est éventuellement déposée sur les pistes conductrices 3. Dans certains cas de connexions complexes, plusieurs couches d'isolant+métal+isolant éventuel (= niveau) peuvent être déposées les une sur les autres. On a alors réalisé une couche de redistribution 30 dite couche RDL à un ou plusieurs niveaux. Sur la figure la couche RDL de chaque tranche 50 a un seul niveau.

On a ainsi obtenu une plaque reconstituée « KGRW » ne comportant donc que des tranches préalablement testées et validées.

E) Plusieurs plaques KGRWs ayant été fabriquées, elles sont alors empilées.

F) Une couche 30 de redistribution des plots, dite RDL acronyme de l'expression anglo-saxonne ReDistribution Layer, est formée sur une des faces de l'empilement, formant ainsi la « première » couche de l'empilement. Cette couche RDL comporte typiquement de 1 à 4 niveaux (ou sous-couches) et est formée sur l'empilement de plaques avant l'étape de découpe, c'est-à-dire au cours du procédé de fabrication collective. Sur la figure elle comporte deux niveaux.

L'empilement de plaques est découpé pour obtenir des empilements 100 de tranches.

Des conducteurs 33 situés sur les faces latérales de l'empilement de tranches, c'est-à-dire sur les bords des tranches et éventuellement sur l'un des faces, et désignés conducteurs latéraux, sont formés pour relier électriquement les composants d'une tranche à l'autre.

Un exemple d'un tel procédé est décrit dans le brevet FR 2 857 157.

Or il est souvent nécessaire d'avoir pour une tranche 50 et/ou pour la première couche de l'empilement 100 de tranches, une couche de redistribution (RDL) de plus de 4 niveaux : 6 à 10 niveaux de connexion sont souvent nécessaires. Mais le rendement des couches RDL chute rapidement avec l'augmentation du nombre de niveaux. Pour une tranche, on passe typiquement d'un rendement de 96% avec une RDL à un niveau, à 80% pour

une RDL à quatre niveaux ; on ne réalise donc pas de RDL à 6 niveaux ou plus.

En conséquence, il demeure à ce jour un besoin pour un procédé de fabrication collective de modules électroniques 3D donnant
5 simultanément satisfaction à l'ensemble des exigences précitées, en termes de nombre de couches de redistribution et de rendement (nombre de validés/nombre de fabriqués).

Le principe de l'invention est :

- 10 - d'une part d'assurer la connexion électrique entre les tranches empilées d'un module électronique 3D (obtenues en utilisant les techniques de l'industrie des semi-conducteurs), par un circuit imprimé ou PCB acronyme de l'expression anglo-saxonne Printed Circuit Board, ce qui permet d'avoir plus de couches de connexion, et
15 - d'autre part d'obtenir les modules électroniques 3D par fabrication collective en utilisant un panneau de PCBs 100 % bons, ce qui permet d'augmenter le rendement global de la fabrication.

L'invention a pour objet un procédé de fabrication collective de
20 modules électroniques 3D qui comprend :

- une étape de fabrication d'un empilement de N plaques reconstituées ($N \geq 1$) dites KGRWs, ne comportant chacune que des motifs identiques validés à l'issue d'un test, un motif comportant au moins un composant actif et/ou passif, au moins une plaque reconstituée
25 comportant des composants actifs, cet empilement incluant une couche de redistribution, caractérisé en ce qu'il comprend :
- une étape de fabrication d'un panneau de circuits imprimés passifs identiques ne comportant que des circuits imprimés passifs validés à
30 l'issue d'un test, qui comprend les sous-étapes suivantes :
 - o fabrication d'un panneau de circuits imprimés identiques,
 - o test électrique de chaque circuit imprimé,
 - o report des circuits imprimés validés à l'issue de ce test sur un support adhésif,

- moulage des circuits reportés dans une résine électriquement isolante de type époxy, dite résine d'enrobage et polymérisation de la résine,
 - retrait du support adhésif, un panneau ne comportant que des circuits imprimés validés, désigné panneau de KGRPs, étant ainsi obtenu à l'issue de cette étape,
- 5
- une étape de collage du panneau de KGRPs sur un empilement de KGRWs, pour former un ensemble « empilement de KGRWs-panneau de KGRPs »,
- 10
- une étape de découpe de l'ensemble « empilement de KGRWs-panneau de KGRPs » selon des lignes de découpe en vue d'obtenir les modules électroniques 3D.

15 Selon une caractéristique de l'invention, il comprend entre l'étape de collage et l'étape de découpe, une étape de réalisation d'une couche de redistribution d'épaisseur inférieure à 30 μm , sur le panneau de KGRPs.

Les lignes de découpe sont de préférence au niveau de la résine d'enrobage.

20 L'ensemble « empilement de KGRWs- panneau KGRP » comportant dans son épaisseur au moins une zone électriquement isolante, il comprend éventuellement entre l'étape de collage du KGRP et l'étape de découpe, une étape de percement de trous dans ladite (ou lesdites) zone(s) électriquement isolante(s), et une étape de remplissage de ces trous avec un matériau électriquement conducteur.

25 Plusieurs empilements de KGRWs et/ou plusieurs panneaux KGRPs peuvent être fabriqués : avant l'étape de découpe, l'étape de collage d'un empilement de KGRWs avec un panneau de KGRPs est alors réitérée, l'ensemble « empilement de KGRWs-panneau de KGRPs » comportant plusieurs empilements de KGRWs et/ou plusieurs panneaux de KGRPs.

30

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit, faite à titre d'exemple non limitatif et en référence aux dessins annexés dans lesquels :

la figure 1 déjà décrite représente schématiquement un exemple d'empilement de tranches d'un module électronique 3D selon l'état de la technique,

les figures 2 représentent schématiquement un exemple de PCB selon l'état de la technique, vu de dessus (fig 2a) et en coupe (fig 2b),

les figures 3 illustrent les différentes étapes de fabrication collective de modules électroniques 3D selon l'invention,

les figures 4 représentent schématiquement deux exemples de modules électroniques 3D selon l'invention, l'un ayant été découpé avec la même structure de résine le long de la découpe (fig 4a), l'autre avec deux structures de résine différentes (fig 4b),

la figure 5 représente un exemple de PCB topologique vu en éclaté, selon l'état de la technique,

la figure 6 représente un exemple de PCB avec composants passifs reportés en surface, selon l'état de la technique.

D'une figure à l'autre, les mêmes éléments sont repérés par les mêmes références.

Un module électronique 3D selon l'invention dont un exemple est montré figures 4a et 4b, comprend au moins :

- un empilement de N tranches (N \geq 1); cet empilement comportant au moins un composant actif est désigné empilement actif et inclut une couche RDL sur une face (ou les deux faces) de l'empilement, et
- un circuit imprimé ou PCB assurant la connexion électrique entre les composants de ces tranches, ce PCB étant lui-même empilé sur ledit empilement.

Les échelles d'épaisseur ne sont pas respectées sur les figures.

Un PCB peut également être conçu pour assurer la connexion entre deux empilements actifs disposés l'un sur une face du PCB, l'autre sur l'autre face, comme on peut le voir sur l'exemple de module électronique 3D des figures 4, où ne sont représentées qu'une seule tranche de chaque empilement actif. Plus généralement, un module électronique 3D selon

l'invention comporte un ou plusieurs empilements actifs et un ou plusieurs PCBs.

Comme indiqué en préambule, les modules électroniques 3D
5 (sans les conducteurs latéraux) sont obtenus après une étape de découpe des plaques empilées, l'empilement incluant en première couche, une couche RDL d'environ 30 μm d'épaisseur. On considère que l'empilement des plaques KGRWs a été réalisé en utilisant les technologies utilisées dans l'industrie des semi-conducteurs, selon un procédé de fabrication collective
10 tel que rappelé en préambule et comportant les étapes successives A, B, C, D, E et F.

On s'attache à présent à la fabrication collective des circuits imprimés ou PCBs.

On rappelle qu'un circuit imprimé ou PCB acronyme de
15 l'expression anglo-saxonne Printed Circuit Board, est un circuit de connexion électrique qui comporte des pistes électriquement conductrices et peut comporter des composants passifs tels que condensateurs C, résistances R, selfs. Un PCB comporte typiquement 50 à 150 condensateurs de découplage qui seront respectivement reliés aux composants actifs (aussi désignés
20 puces) et/ou passifs de l'empilement actif.

Ces PCB 200 ont couramment plus de 4 niveaux (ou couches) comme montré figure 2b, car ils sont également pourvus de plans de masse et d'alimentation iso potentiels pour chaque tension nécessaire, chaque plan formant un niveau.

25 On rappelle qu'un PCB est constitué :

- de couches internes 201 réservées aux plans de masse et d'alimentation et comportant éventuellement des plans de routage de signaux, dont la superposition forme un panneau de couches internes,
- et généralement de couches externes 202 assurant le routage des
30 signaux, prenant en sandwich ce panneau de couches internes, une fois que celui-ci est réalisé.

Le rendement du panneau de couches internes est compris entre 90% et 95% car seules des couches sélectionnées après avoir été testées et validées sont pressées entre elles pour former ce panneau. Mais le
35 rendement des couches externes qui sont construites une à une sur le

panneau de couches internes en fonction de la finesse de gravure requise, peut varier entre 75% et 90%. Le rendement global qui est le produit des rendements unitaires, est donc situé entre 70% et 85%. Un exemple de panneau (en deux parties) de PCBs 200 est montré figure 7 : 4 PCBs ont été
5 considérés défectueux, soit un rendement de 83 %.

Ainsi pour la fabrication collective de modules 3D, le bénéfice lié à l'utilisation de KGRWs pour l'empilement actif avec un rendement proche de 100%, peut être perdu lorsque ces KGRWs sont empilées sur un panneau de PCBs dont certains sont défectueux. Ceci est d'autant plus préoccupant que
10 la valeur des composants actifs est beaucoup plus élevée que celle des éléments passifs (les PCB). C'est pourquoi on va réaliser selon l'invention un panneau ne comportant que de bons PCBs, c'est-à-dire ne comportant que des PCBs validés à l'issue d'un test, et désigné KGRPs pour « Known Good Reconstructed PCBs ».

15

L'étape préalable consiste à réaliser de manière classique un panneau de PCBs comportant n motifs (ou PCBs) identiques, n variant typiquement de 20 à 1000 selon le format des panneaux et des motifs. On utilise pour la fabrication de ce panneau les techniques habituelles de
20 fabrication des circuits imprimés, c'est-à-dire la photogravure d'une couche en cuivre préalablement déposée sur un support 6' électriquement isolant en résine époxy. Cette couche de cuivre est laminée puis déposée par pressage sur le support, ce qui nécessite une épaisseur minimale à la fois pour la couche de cuivre et pour le support. L'épaisseur du cuivre est couramment
25 de 10 à 25 μm ce qui limite la définition de la gravure des pistes 3'. En effet, plus l'épaisseur d'une couche devant être gravée chimiquement est épaisse, moins la définition est bonne en raison d'un phénomène de sous-gravure. Dans la pratique, on obtient des pas pour les conducteurs 3' supérieurs à 100 μm , typiquement compris entre 100 μm et 200 μm . On rappelle qu'un
30 pas est la somme de la largeur d'un conducteur et de l'espace entre deux conducteurs 3'. Un pas de 100 μm = 50 μm (largeur conducteur) + 50 μm (espace entre deux conducteurs). L'épaisseur du support 6' varie entre 50 μm et 150 μm .

Pour réduire le coefficient de dilatation de la résine époxy
35 constituant le support 6', celle-ci contient des fibres de verre ; c'est ainsi que

ce coefficient passe de 60 à 80 ppm/°C pour de la résine seule à 15 à 18 ppm/°C avec les fibres de verre dans la résine. Par contre, le coefficient de dilatation en « Z » restera non modifié et sera compris entre 60 et 80 ppm/°C.

Les masques utilisés pour l'insolation sont en verre plan compte tenu des contraintes de planéité.

On obtient donc une épaisseur minimale de 75 µm par niveau de connexion (50 µm pour le support + 25 µm pour les pistes de cuivre). Les niveaux sont réalisés les uns sur les autres pour finalement former un panneau de PCBs d'au moins 450 µm d'épaisseur pour un PCB à 6 niveaux.

Alors qu'avec les technologies de photogravure utilisées pour la réalisation des KGRWs, le support 6 en résine chargée de microbilles qui est déposé sous forme liquide, a typiquement après polymérisation, une épaisseur comprise entre 10 µm et 15 µm et les pistes métalliques ont une épaisseur de l'ordre de 1 µm qui permet d'obtenir des pas inférieurs à 10 µm.

15

Chaque motif c'est-à-dire chaque PCB est ensuite testé électriquement, puis le panneau est découpé.

Au cours d'une étape suivante (étape a, fig 3a), les PCBs 200 validés à l'issue du test, sont reportés sur un support adhésif 8 par exemple par un procédé de type « pick and place ». Ce support adhésif peut être une feuille adhésive comme par exemple une feuille en chlorure de polyvinyle, couramment appelée peau de tambour ou peau collante d'une épaisseur d'environ 25 µm et qui peut être décollée sans traitement particulier par pelage par exemple.

25

Lors d'une étape b (fig 3b), les PCBs 200 sont alors enrobés dans une résine électriquement isolante 6 du même type que celle utilisée pour réaliser les KGRWs (résine Epoxy par exemple), qui est ensuite polymérisée.

Cette résine 6 est chargée de billes en silice qui permettent de réduire son coefficient de dilatation en X, Y et Z (dans les trois directions spatiales) : elle est isotrope. Alors que les fibres de verre présentes dans le substrat 6' du PCB ne permettent de réduire le coefficient de dilatation du substrat qu'en X et Y, et présentent en outre des inconvénients en termes de courants de fuite, lors de l'étape ultérieure de réalisation des conducteurs 33 sur les faces latérales de chaque module 3D comme décrit plus loin. Dans ce cas, l'enrobage des PCBs a en plus de la fonction habituelle de fixer le

35

positionnement de chaque PCB sur la peau collante, une fonction d'isolation des fibres de verre de chaque couche au niveau des futures lignes de découpe, pour reconstituer par construction un panneau de PCBs ayant au niveau de ces lignes de découpe la même structure que les KGRWs sur
5 lesquels il sera empilé et ainsi éviter ces courants de fuite.

Une fois les PCBs enrobés, la peau collante 8 est retirée.

On a alors obtenu un panneau ne comportant que des PCBs validés, désigné panneau de KGRPs, c'est-à-dire un panneau dont le rendement est 100%.

10 Une RDL 30 à un niveau est réalisée sur la face extérieure du panneau de PCBs (étape c, fig 3c) pour réaliser des connexions vers la périphérie de chaque PCB 200. Cela permet de réaliser une couche de très grande précision en utilisant cette fois les techniques utilisées pour fabriquer les plaques (« wafers ») ; on peut ainsi réaliser en surface du panneau
15 provisoire, des pistes conductrices à faible pas, c'est-à-dire inférieur à 100 μm . Un pas de 10 μm peut être envisagé avec ces techniques. Cela permet d'améliorer le rendement intrinsèque du panneau de KGRPs ainsi obtenu.

20 Ce panneau de KGRPs pourvu d'une RDL est alors lui-même collé sur l'empilement de plaques KGRWs (fig 3 d) au moyen d'une colle 7 liquide de préférence, par exemple de type époxy.

De préférence, selon une variante on ne construit pas les couches externes 202 lors de la fabrication du panneau PCB d'origine (étape préalable) qui ne comporte donc que les couches internes 201. Un panneau
25 provisoire de KGRPs ne comportant que de bons motifs, est reconstitué comme indiqué précédemment. Les couches externes 202 sont alors remplacées par la réalisation d'une couche RDL (éventuellement à plusieurs niveaux) en surface du panneau provisoire de KGRPs (étape c), cette RDL 30 étant réalisée comme indiqué précédemment. Cela permet d'améliorer le rendement intrinsèque du panneau de KGRPs ainsi obtenu.

Ce panneau de KGRPs muni d'une couche RDL est alors lui-même collé sur un empilement 100 de plaques KGRWs (étape d, fig 3d) au moyen d'une colle 7 liquide de préférence, par exemple de type époxy, et forme ainsi un ensemble « empilement de KGRWs-panneau de PCBs ».

Eventuellement, un autre empilement de KGRWs est collé au panneau KGRP, ce dernier étant donc entre deux empilements de KGRWs. Plus généralement un ensemble « empilement de KGRWs-panneau de PCBs » peut comporter plusieurs empilements KGRWs et/ou plusieurs
5 panneaux KGRPs, successivement collés les uns aux autres, comme dans l'exemple de la figure 4a.

Les futurs modules 3D sont découpés (étape e, fig 3e) le long de lignes de découpe verticale 9 (selon la direction de l'empilement) puis les
10 conducteurs latéraux 33 sont alors formés sur les faces latérales (étape f, fig 3f). De préférence avant l'étape de découpe, une peau collante 8' est déposée sous l'ensemble « empilement de KGRWs-panneau de PCBs », de manière à pouvoir réaliser de manière collective, l'étape de métallisation des futures faces latérales (étape f). Cette peau collante est retirée pour obtenir
15 les modules 3D.

Lorsque les lignes de découpe 9 traversent la résine à fibres de verre 6' (comme on peut le voir sur l'exemple de la figure 4b), les sections de ces fibres apparaissent sur les faces latérales du module électronique 3D avant réalisation des conducteurs latéraux. Lors de la métallisation chimique
20 pour réaliser ces conducteurs latéraux 33, il y a alors une légère pénétration de la métallisation le long des ces fibres, ce qui conduit à des courants de fuite après gravure. Le comportement des résines chargées de billes de silice 6 ne présente pas cet inconvénient puisqu'il n'y a pas de continuité entre les microbilles. En décalant les lignes de découpe 9 jusqu'au niveau de
25 la résine d'enrobage 6, les sections de ces fibres n'apparaissent pas sur les faces latérales du module électronique 3D avant réalisation des conducteurs latéraux comme montré figure 4a.

On distingue plusieurs catégories de PCBs, certaines pouvant
30 favorablement tirer profit de cette variante :

- PCB pour connexion externe. Un exemple de routage d'un tel PCB à 6 couches est montré figure 2a. Sur la partie centrale, on observe des plots matriciels 2' destinés à recevoir les billes de brasure d'un composant actif. Les 4 côtés portent des conducteurs 3' perpendiculaires à chacun d'eux et qui, après empilage des
35

différentes couches seront sectionnés selon la ligne de découpe. Ces conducteurs ont des pas compris entre 100 μm et 200 μm par exemple. La réalisation de pas inférieurs à 100 μm n'étant actuellement pas réalisable industriellement avec un rendement acceptable, la réalisation d'une couche RDL selon la variante est extrêmement intéressante.

5

10

15

20

25

30

- PCB topologique qui permet de ramener une interconnexion sortant sur 1 ou 2 côtés pour un niveau 1, à une interconnexion sortant sur d'autres côtés pour un autre niveau 2 par exemple. La figure 5 présente un exemple d'interconnexion du niveau 1 ayant les sorties S1 à S4 sur un côté, avec le niveau 2 qui redistribue ces sorties sur deux côtés : les sorties S1' et S2' sont redistribuées sur le côté 2, et les sorties S3' et S4' sont redistribuées sur le côté 3.
- PCB avec composants passifs (condensateurs et/ou résistances et/ou selfs) reportés en surface. La figure 6 présente un exemple de PCB vu de dessus avec 5 composants passifs reportés : une résistance R et 4 condensateurs C. Dans cet exemple le pas des conducteurs est élevé. Il peut fortement diminuer avec une plus grande densité de composants passifs comme par exemple 200 condensateurs dans le cas d'un découplage d'une puce FPGA acronyme de l'expression anglo-saxonne « Field Programmable Gate Array » pour laquelle des plans de masse et d'alimentation iso potentiels seront nécessaires pour alimenter ces condensateurs, les sorties latérales ou des sorties par des trous traversants (TPV acronyme de l'expression anglo-saxonne « Through Polymer Vias ») nécessitant alors un niveau de RDL.
- PCB avec composants passifs enterrés dans ce PCB. Ce cas est identique au précédent mais avec des composants passifs enterrés dans le PCB. Une couche RDL permet de remplacer les conducteurs sur les côtés (ou les trous traversants) de chaque motif.

Certains empilements actifs qui comportent des processeurs rapides ou à grand nombre d'entrées-sorties, ou encore des mémoires rapides à large bus, nécessitent plusieurs tensions d'alimentation et une

distribution des courants électriques quasiment sans inductance de façon à ne pas retarder l'établissement du niveau adéquat de tension.

Une solution existante consiste à réaliser des trous traversants TSV acronyme de l'expression anglo-saxonne « Through Silicium Vias », dans les puces et à les interconnecter verticalement, ce chemin vertical étant plus court que celui passant par les côtés du module 3D. Toutefois, le problème des alimentations avec le découplage approprié, nécessite l'utilisation de condensateurs les plus proches possible des puces.

Selon l'invention, le panneau de KGRPs est disposé sur l'empilement de KGRWs pour que la RDL de l'empilement des KGRWs soit face à la RDL du panneau de PCBs. On peut aussi procéder de la manière suivante. Après l'étape de collage et avant l'étape de découpe, des trous traversant l'ensemble « empilement de KGRWs- panneau KGRP » sont percés au niveau de la résine et remplis d'un matériau électriquement conducteur tel que le cuivre en utilisant des techniques de PCB. Cela permet de connecter le plan d'alimentation dans le PCB et le plot d'alimentation de la puce par des TPV, ce qui conduit à une distance comprise entre 75 μm et 200 μm , ce qui reste très faible. Cet ensemble ainsi connecté peut lui-même être empilé sur d'autres empilements de KGRWs et/ou d'autres panneaux de PCBs, avant d'être découpé. L'interconnexion par les conducteurs latéraux est alors réservée aux signaux.

REVENDICATIONS

- 5 1. Procédé de fabrication collective de modules électroniques 3D qui comprend :
- une étape de fabrication d'un empilement (100) de N plaques reconstituées, avec $N \geq 1$, dites KGRWs ne comportant chacune que des motifs identiques validés à l'issue d'un test électrique, un motif
10 comportant au moins un composant (11) actif et/ou passif, au moins une plaque reconstituée comportant des composants actifs, cet empilement (100) incluant une couche de redistribution (30), caractérisé en ce qu'il comprend :
 - une étape de fabrication d'un panneau de circuits imprimés passifs
15 identiques ne comportant que des circuits imprimés passifs (200) validés à l'issue d'un test, qui comprend les sous-étapes suivantes :
 - o fabrication d'un panneau de circuits imprimés (200) identiques,
 - o test électrique de chaque circuit imprimé (200),
 - o report des circuits imprimés validés à l'issue de ce test sur un
20 support adhésif (8'),
 - o moulage des circuits reportés dans une résine électriquement isolante de type époxy (6), dite résine d'enrobage et polymérisation de la résine,
 - o retrait du support adhésif (8'), un panneau ne comportant que
25 des circuits imprimés validés (200), désigné panneau de KGRPs, étant ainsi obtenu à l'issue de cette étape,
 - une étape de collage du panneau de KGRPs avec un empilement (100) de KGRWs, pour former un ensemble « empilement de KGRWs-panneau KGRP »,
 - 30 - une étape de découpe de l'ensemble « empilement de KGRWs-panneau KGRP » selon des lignes de découpe (9) en vue d'obtenir les modules électroniques 3D.
- 35 2. Procédé de fabrication collective de modules électroniques 3D selon la revendication précédente, caractérisé en ce qu'il comprend entre l'étape de collage du KRGP et l'étape de découpe, une étape de

réalisation d'une couche de redistribution (30) d'épaisseur inférieure à 30 μm , sur le panneau de KGRPs.

- 5 3. Procédé de fabrication collective de modules électroniques 3D selon la revendication précédente, caractérisé en ce que les lignes de découpe (9) sont au niveau de la résine d'enrobage (6).
- 10 4. Procédé de fabrication collective de modules électroniques 3D selon la revendication 1, caractérisé en ce que l'ensemble « empilement de KGRWs- panneau KGRP » comportant dans son épaisseur au moins une zone électriquement isolante, il comprend entre l'étape de collage et l'étape de découpe, une étape de perçement de trous dans ladite (ou lesdites) zone(s) électriquement isolante(s), et une étape de remplissage de ces trous avec un matériau électriquement
- 15 conducteur.
- 20 5. Procédé de fabrication collective de modules électroniques 3D selon l'une des revendications précédentes, caractérisé en ce que plusieurs empilements (100) de KGRWs et/ou plusieurs panneaux KGRPs sont fabriqués et en ce qu'avant l'étape de découpe, l'étape de collage d'un empilement de KGRWs avec un panneau de KGRPs est réitérée, l'ensemble « empilement de KGRWs-panneau de KGRPs » comportant plusieurs empilements de KGRWs et/ou plusieurs
- 25 panneaux de KGRPs.
- 30 6. Procédé de fabrication collective de modules électroniques 3D selon l'une des revendications précédentes, caractérisé en ce qu'un circuit imprimé comporte une résistance (R) et/ou un condensateur (C) et/ou une self.

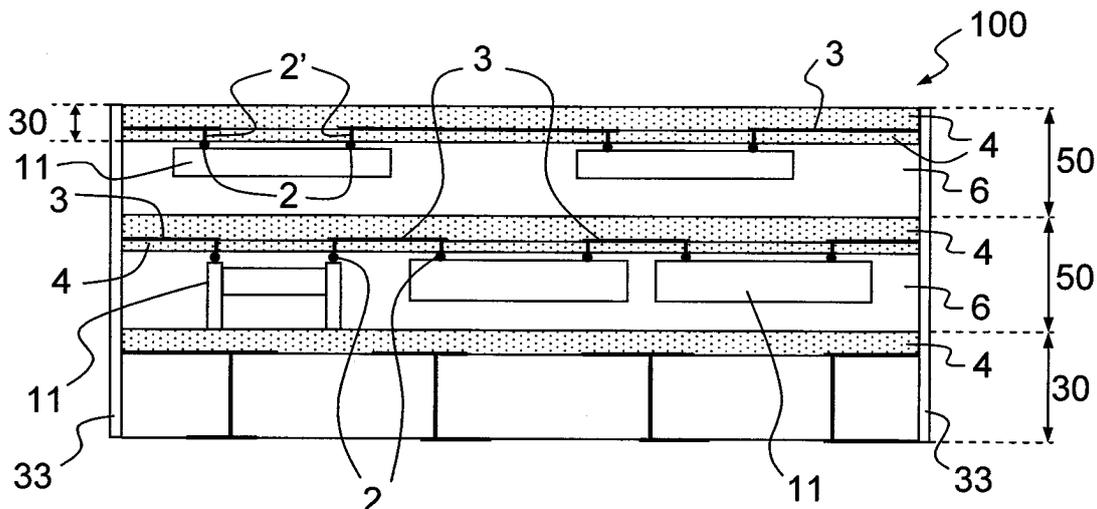


FIG. 1

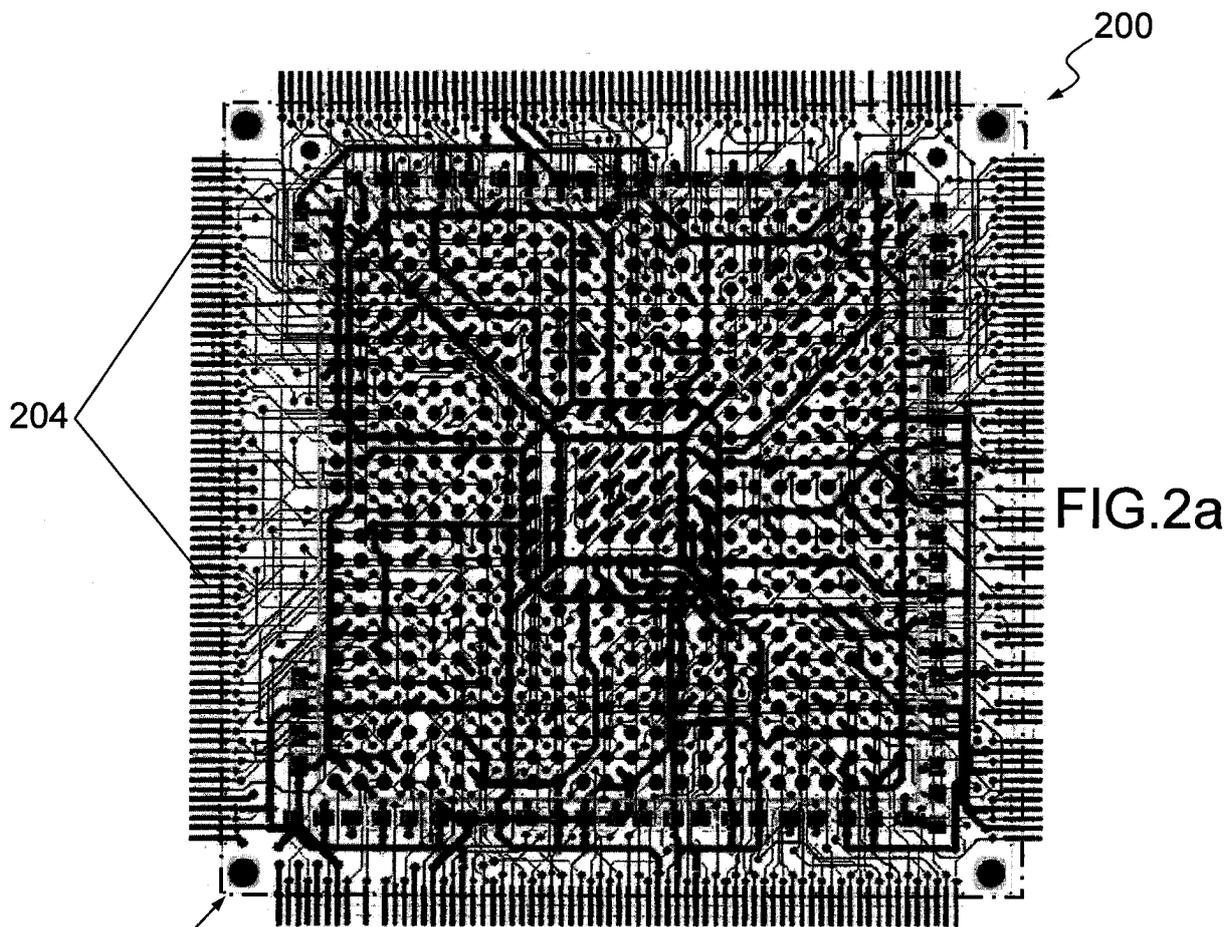


FIG. 2a

Ligne de découpe

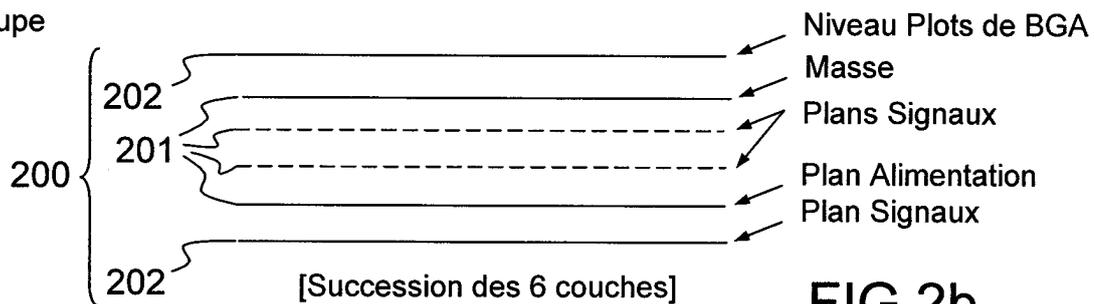


FIG. 2b

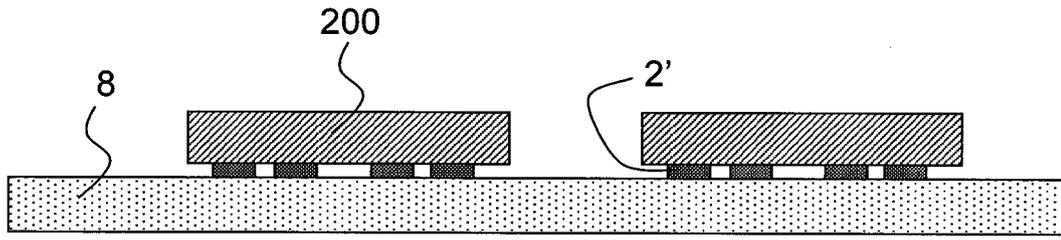


FIG. 3a

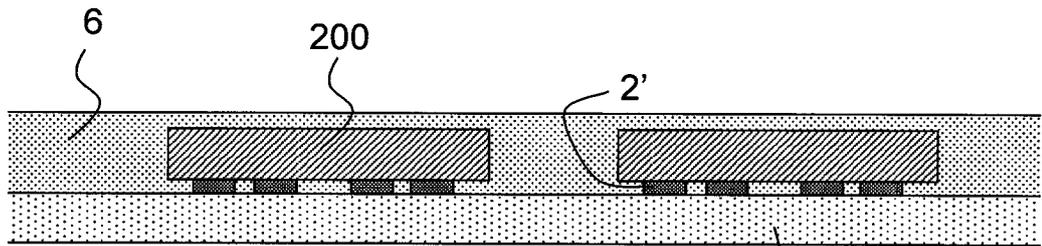


FIG. 3b

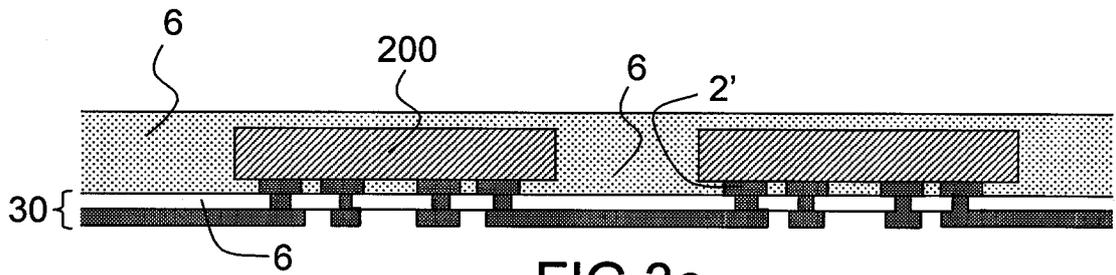


FIG. 3c

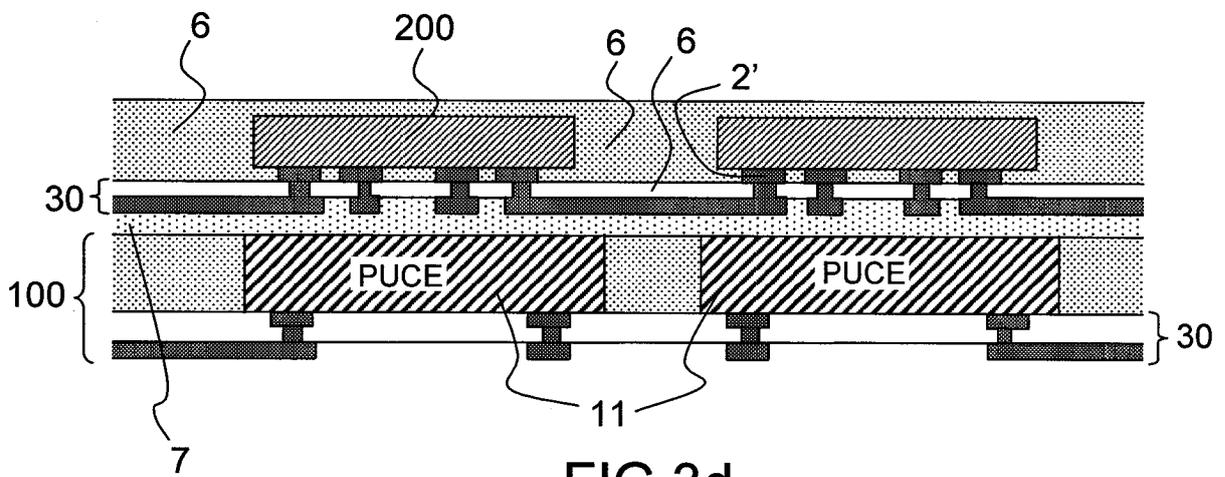


FIG. 3d

3/7

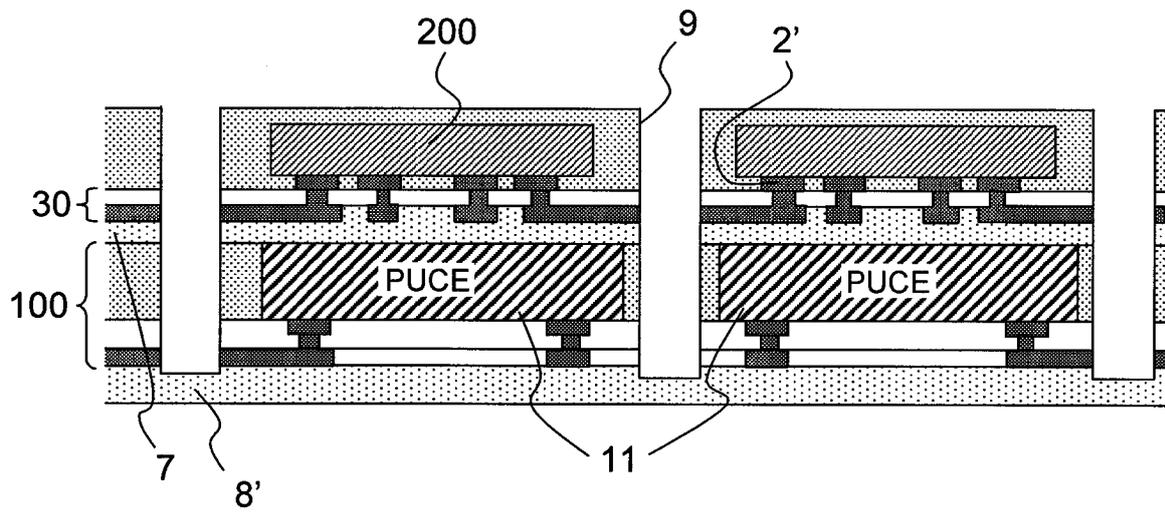


FIG. 3e

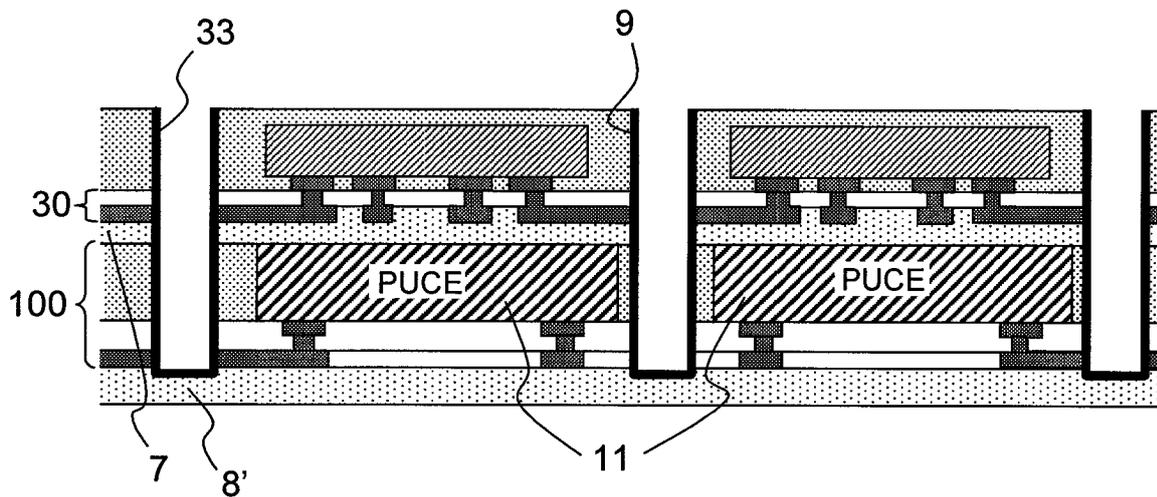


FIG. 3f

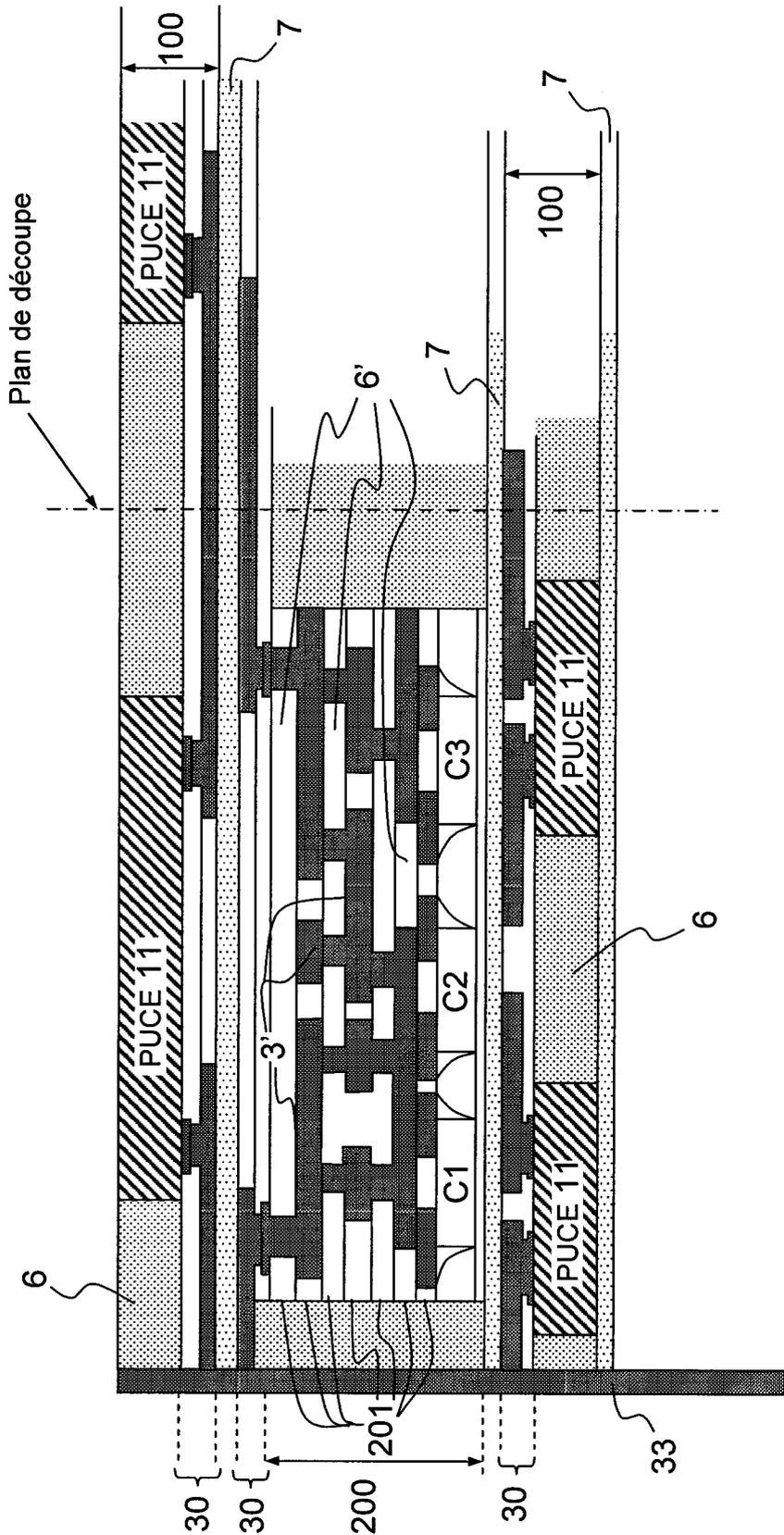


FIG.4a

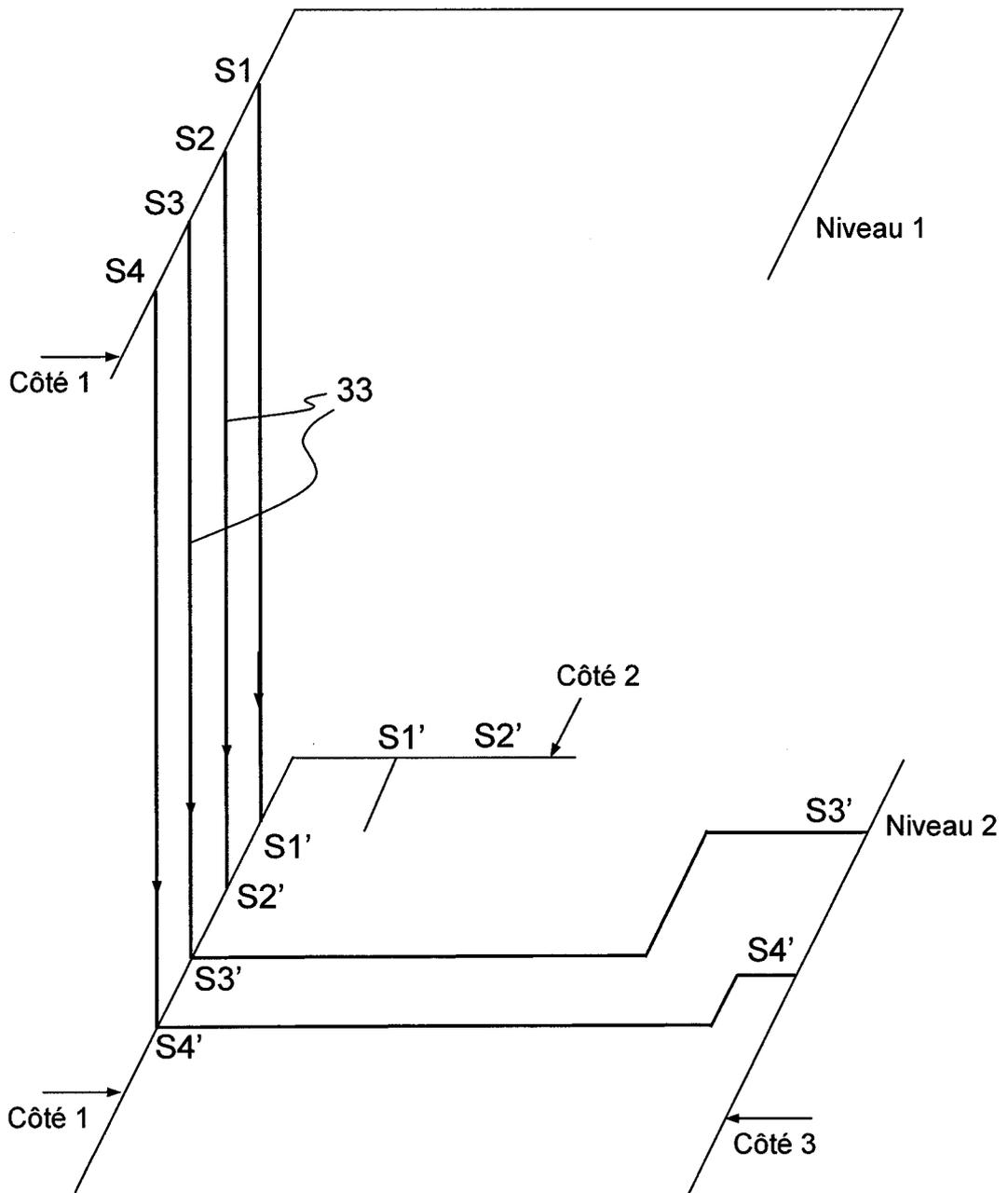


FIG.5

717

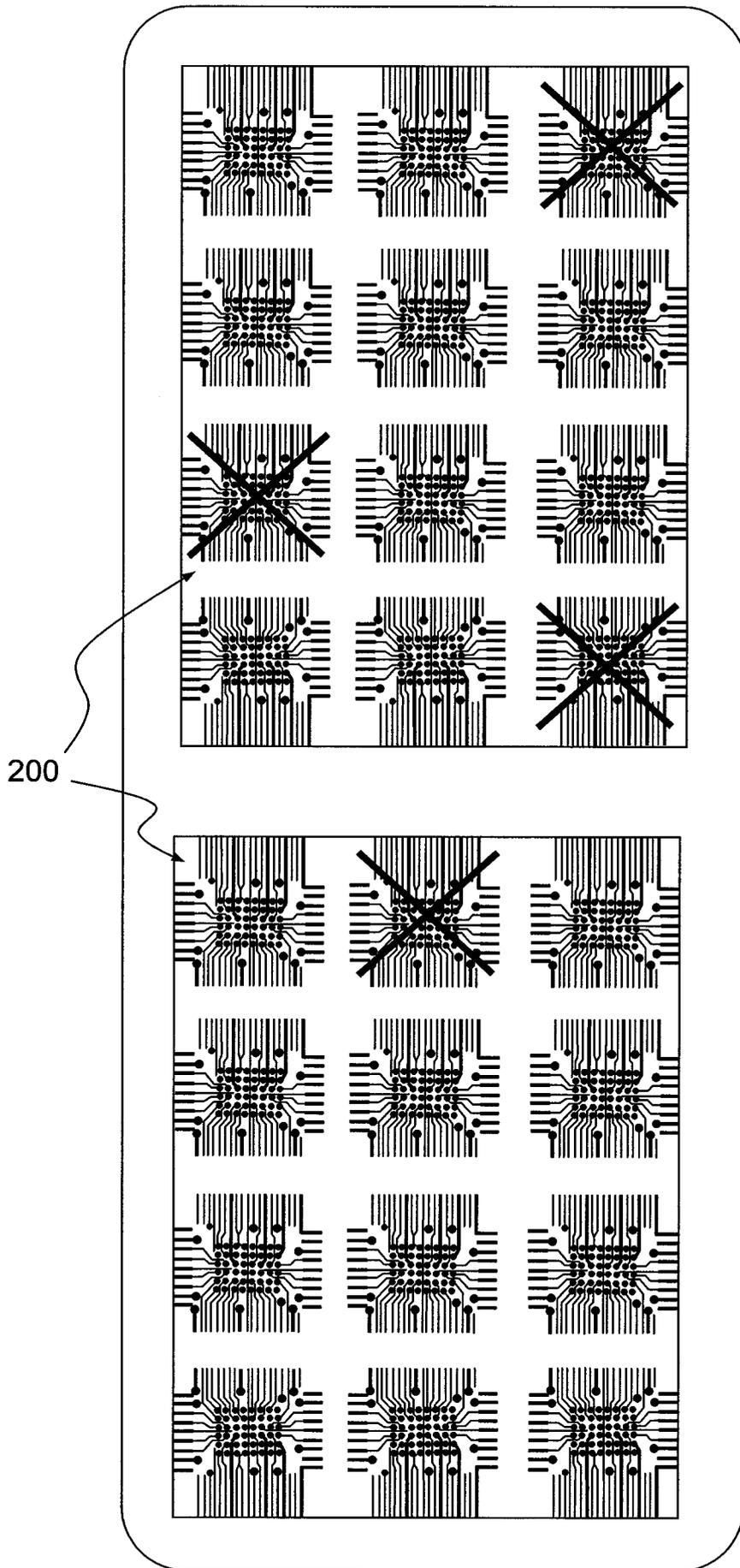


FIG.7



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 762327
FR 1104146

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2009/039526 A1 (WANG MENG-JEN [TW] ET AL) 12 février 2009 (2009-02-12)	1-3,5,6	H01L21/60 H01L21/98
Y	* alinéa [0022] - alinéa [0044]; figures 11-23 * * alinéa [0001] - alinéa [0006] *	4	
Y	EP 2 053 646 A1 (3D PLUS [FR]) 29 avril 2009 (2009-04-29)	4	
A	* le document en entier *	1-3,5,6	
A	US 2007/045875 A1 (FARNWORTH WARREN M [US] ET AL) 1 mars 2007 (2007-03-01) * alinéa [0037] - alinéa [0038]; figures 4A,4B *	1-6	
A	US 2008/308921 A1 (KIM JONG HOON [KR]) 18 décembre 2008 (2008-12-18) * alinéa [0072] - alinéa [0078]; figures 6A-6F *	1-6	
A	US 2010/261311 A1 (TSUJI DAISUKE [JP]) 14 octobre 2010 (2010-10-14) * alinéa [0079]; figures 5A-5C,6A-6C * * alinéa [0098]; figures 9A-9C *	1-6	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H01L H05K
A,D	FR 2 857 157 A1 (3D PLUS SA [FR]) 7 janvier 2005 (2005-01-07) * le document en entier *	1-6	
Date d'achèvement de la recherche		Examineur	
21 septembre 2012		Le Gallo, Thomas	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1104146 FA 762327**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-09-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2009039526 A1	12-02-2009	TW 200908279 A	16-02-2009
		US 2009039526 A1	12-02-2009
		US 2010327442 A1	30-12-2010

EP 2053646 A1	29-04-2009	EP 2053646 A1	29-04-2009
		FR 2923081 A1	01-05-2009
		JP 2009111384 A	21-05-2009
		TW 200941686 A	01-10-2009
		US 2009260228 A1	22-10-2009

US 2007045875 A1	01-03-2007	US 2007045875 A1	01-03-2007
		US 2010327462 A1	30-12-2010

US 2008308921 A1	18-12-2008	CN 101330068 A	24-12-2008
		JP 2008311599 A	25-12-2008
		KR 20080111228 A	23-12-2008
		TW 200901426 A	01-01-2009
		US 2008308921 A1	18-12-2008
		US 2009317944 A1	24-12-2009

US 2010261311 A1	14-10-2010	JP 2010251347 A	04-11-2010
		US 2010261311 A1	14-10-2010

FR 2857157 A1	07-01-2005	EP 1642336 A1	05-04-2006
		FR 2857157 A1	07-01-2005
		US 2007117369 A1	24-05-2007
		WO 2005004237 A1	13-01-2005



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 762327
FR 1104146

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2009/039526 A1 (WANG MENG-JEN [TW] ET AL) 12 février 2009 (2009-02-12)	1-3,5,6	H01L21/60 H01L21/98
Y	* alinéa [0022] - alinéa [0044]; figures 11-23 * * alinéa [0001] - alinéa [0006] *	4	
Y	EP 2 053 646 A1 (3D PLUS [FR]) 29 avril 2009 (2009-04-29)	4	
A	* le document en entier *	1-3,5,6	
A	US 2007/045875 A1 (FARNWORTH WARREN M [US] ET AL) 1 mars 2007 (2007-03-01)	1-6	
A	* alinéa [0037] - alinéa [0038]; figures 4A,4B *	1-6	
A	US 2008/308921 A1 (KIM JONG HOON [KR]) 18 décembre 2008 (2008-12-18)	1-6	
A	* alinéa [0072] - alinéa [0078]; figures 6A-6F *	1-6	
A	US 2010/261311 A1 (TSUJI DAISUKE [JP]) 14 octobre 2010 (2010-10-14)	1-6	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	* alinéa [0079]; figures 5A-5C,6A-6C * * alinéa [0098]; figures 9A-9C *	1-6	H01L H05K
A,D	FR 2 857 157 A1 (3D PLUS SA [FR]) 7 janvier 2005 (2005-01-07)	1-6	
	* le document en entier *		
Date d'achèvement de la recherche		Examineur	
21 septembre 2012		Le Gallo, Thomas	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1104146 FA 762327**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-09-2012**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2009039526 A1	12-02-2009	TW 200908279 A	16-02-2009
		US 2009039526 A1	12-02-2009
		US 2010327442 A1	30-12-2010

EP 2053646 A1	29-04-2009	EP 2053646 A1	29-04-2009
		FR 2923081 A1	01-05-2009
		JP 2009111384 A	21-05-2009
		TW 200941686 A	01-10-2009
		US 2009260228 A1	22-10-2009

US 2007045875 A1	01-03-2007	US 2007045875 A1	01-03-2007
		US 2010327462 A1	30-12-2010

US 2008308921 A1	18-12-2008	CN 101330068 A	24-12-2008
		JP 2008311599 A	25-12-2008
		KR 20080111228 A	23-12-2008
		TW 200901426 A	01-01-2009
		US 2008308921 A1	18-12-2008
		US 2009317944 A1	24-12-2009

US 2010261311 A1	14-10-2010	JP 2010251347 A	04-11-2010
		US 2010261311 A1	14-10-2010

FR 2857157 A1	07-01-2005	EP 1642336 A1	05-04-2006
		FR 2857157 A1	07-01-2005
		US 2007117369 A1	24-05-2007
		WO 2005004237 A1	13-01-2005
