

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11B 5/127 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월13일 10-0600224 2006년07월05일
---	-------------------------------------	--

(21) 출원번호	10-1999-0026479	(65) 공개번호	10-2000-0011432
(22) 출원일자	1999년07월02일	(43) 공개일자	2000년02월25일

(30) 우선권주장 09/110,219 1998년07월06일 미국(US)

(73) 특허권자 애질런트 테크놀로지스, 인크.
미합중국 캘리포니아 (우편번호 94306-2024) 팔로 알토 페이지 밀로드 395

(72) 발명자 데이비스브래들리케이
미국콜로라도주80525에프티콜린스샤링톤코트549

테렌로버트엠
미국콜로라도주80525에프티콜린스티콘더로가1307

앨린마이클씨
미국아이다호주83703보이즈로우스트리트6301

(74) 대리인 김창세
장성구

(56) 선행기술조사문헌
JP09288801 A JP09305904 A
JP10027308 A JP10124807 A
KR1019970012324 A
* 심사관에 의하여 인용된 문헌

심사관 : 장현숙

(54) 자기 저항 헤드 판독 증폭기

요약

본 발명에 따르면, 저장 매체에 자기 형태로 저장된 정보를 판독하는 자기 판독기에 탑재될 수 있는 자기 저항 헤드 판독 증폭기(50, 100)가 제공된다. 본 발명의 자기 저항 헤드 판독 증폭기(50, 100)는 헤드 판독 증폭기 회로(100)의 하부 전류원 트랜지스터에 의해 생성되는 잡음을 감소시키거나 제거하는 헤드 판독 증폭기 회로(100)의 하부 전류 드레인에 인덕터를 탑재시킨다. 본 발명의 제 1 실시예에 따르면, 자기 저항 헤드 판독 증폭기(50, 100)는 특정 극성을 갖는 바이어스 전류를 사용하는 단극성 헤드 판독 증폭기 회로(50)이다. 본 발명의 제 2 실시예에 따르면, 자기 저항 헤드 판독 증폭기(50, 100)는 반대 극성의 바이어스 전류로 동작할 수 있는 쌍극성 헤드 판독 증폭기 회로(100)이다. 본 발명의 두 실시예는 모두 헤드 판독 증폭기의 동작 점을 설정하는 공통 모드 피드백 회로 및 차동 피드백 회로를 사용함이 바람직하다. 차동 피드

백 회로는 헤드 판독 증폭기(50, 100)의 차동 출력 전압을 영으로 하고, 공통 모드 피드백 회로는 자기 저항(53, 102)에 대한 최소 바이어스 전류를 설정한다. 쌍극성 헤드 판독 증폭기 회로(100)에서 스위칭 로직(105, 106)은 바이어스 전류의 극성을 선택하는데 사용된다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 예를 들면, 자기 디스크나 테이프와 같은 자기 저장 매체로부터 정보를 판독하고 자기 저장 매체에 정보를 기록하는 대표적인 자기 판독/기록 시스템을 예시하는 블록도이다.

도 2는 도 1에 도시된 자기 판독/기록 시스템에 일반적으로 사용되는 유형의 이중 전원 MR 헤드 판독 증폭기를 예시한 도면이다.

도 3은 제 1 실시예에 따른 본 발명의 단극성 MR 헤드 판독 증폭기에 대한 개략 블록도이다.

도 4는 양방향 MR 바이어스 전류를 생성할 수 있는 제 2 실시예에 따른 본 발명의 쌍극성 양방향 MR 헤드 판독 증폭기를 예시하는 도면이다.

도면의 주요 부분에 대한 부호의 설명

- 1 : 자기 판독/기록 시스템 2 : 자기 저장 매체
- 50, 100 : 헤드 판독 증폭기 회로 53, 102 : 자기 저항
- 64, 77, 78; 112, 115, 118, 19 : 차동 피드백 회로
- 85, 87, 89 ; 132, 135: 공통 모드 피드백 회로
- 81 : 전류원 트랜지스터 93, 114, 116 : 바이어스 전류원

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자기 저항 헤드 증폭기에 관한 것으로, 보다 구체적으로는 저장 매체에 자기 형태로 저장된 정보를 판독하는 자기 판독기에 탑재될 수 있는 자기 저항 헤드 판독 증폭기에 관한 것이다.

자기 판독기는 자기 디스크나 테이프와 같은 자기 저장 매체에 저장되는 전하의 자계에 있어서의 변화를 판독하는 디스크 및 테이프 드라이브에서 사용된다. 자기 판독기에 포함된 판독 헤드는 여러 유형의 헤드 가운데 하나이다. 일반적으로 세 가지 기본 유형의 판독 헤드, 즉, 와이어 코일 및 유리 충전 갭(glass-filled gap)을 가진 페라이트 코일을 구비하는 복합 헤드와, 헤드의 자기 갭에 금속 합금이 스퍼터링되는 페라이트 헤드를 포함하는 메탈 인 갭(MIG: metal-in-gap) 헤드와, 반도체 제조 기술을 사용하여 세라믹 베이스상에 침착된 코일 권선을 포함하는 박막 헤드와, 반도체 제조 기술을 사용하여 제조되는 니켈-철 자기 저항 감지 구성 요소를 포함하는 자기 저항(MR: magneto-resistive) 헤드가 흔히 사용되고 있다.

복합 헤드, MIG 헤드 및 박막 헤드는, 헤드가 저장 매체의 표면 위를 통과할 때 저장 매체의 표면상의 자계 변화 속도를 감지하는 유도성 소자를 사용한다. 자속이 변하면 유도성 소자에 전압이 인가되며, 그에 따라 유도성 소자는 아날로그 출력 전압 신호를 발생하게 된다. 이러한 출력 전압 신호를 일반적으로 재생 신호(read-back signal)라 하는데, 그 신호는 전형적으로 여과되고 증폭되며 저장 매체에 저장되는 정보의 디지털 표시로 변환된다.

MR 헤드는 이들 다른 유형의 공통 헤드들과는 상이하게 동작한다. MR 헤드는 자기 저항 효과로 알려진 현상에 따라 동작한다. 대체로 이러한 효과는, 자기 저항이 저장 매체의 표면 위의 자속 변화를 감지할 때 자기 저항의 저항 값이 변화하는 것을 특징으로 한다. 자기 저항의 저항 값은 자기 저항의 자화 방향과, 자기 저항을 통해 흐르는 전류의 각도에 의존한다. 일정한 감지 전류가 자기 저항을 통해 흐른다. MR 헤드가 자속이 변화하는 자기 매체의 표면상의 영역 위를 통과하면, 자기 저항의 저항 값이 변화하여, 감지 전류의 암페어 수가 변하게 된다. 자기 저항 양단간의 전압은 일정하게 유지된다. 대안적으로, 일정한 dc 전류가 자기 저항을 통해 흐를 수 있고, 자기 저항의 저항 값이 변화할 때 전압의 변화가 일어날 것이다.

MR 헤드가 상술한 다른 유형의 헤드보다 우수한 한가지 장점은, MR 헤드는 자속을 직접 감지하는 반면, 다른 유형의 헤드는 자속에 의해 전압이 인가된다는 점이다. 따라서, 저장 매체에 포함된 정보를 정확히 판독하기에 충분한 아날로그 전압 출력 신호를 생성하기에 충분한 정도의 수준으로 유도성 소자에 전압을 인가하기 위해서는 보다 큰 자속이 필요하다. 따라서, 감지될 저장 매체 상의 영역에 대한 자기 도메인은 비교적 커야 한다. 다른 한편, MR 헤드는 보다 작은 자기 도메인을 감지할 수 있어서, 보다 작은 비트 셀과 보다 좁은 트랙 폭의 사용할 수 있게 되며, 그에 따라 저장 매체의 저장 용량을 증가시킨다.

MR 헤드가 유도성 소자를 사용하는 헤드보다 우수한 다른 장점은, MR 헤드가 저속 자기 테이프와 디스크 드라이브를 가진 유도성 소자를 사용하는 헤드보다 효과적으로 사용될 수 있다는 점이다. 유도성 소자가 자속의 변화 속도를 검출하기 때문에, 저장 매체의 속도는 재생 신호에 영향을 미칠 것이다. 저속의 디스크 드라이브의 경우, 재생 신호는, 보통 고속 드라이브의 경우만큼 강하지는 않을 것이며, 따라서 재생 신호를 보다 더 여과하고 증폭할 필요가 있다. 재생 신호가 보다 약하면, 비교적 낮은 신호 대 잡음 비(SNR; signal-to-noise ratio)의 결과를 가져올 수 있다. 이와 대조적으로, 자기 저항이 자속을 직접 감지하기 때문에 MR 헤드는 저장 매체의 속도에 대해 비교적 둔감하다. 따라서, MR 헤드는 비교적 높은 신호 대 잡음비를 가지면서, 비교적 저속의 디스크 및 테이프 드라이브와 함께 사용될 수 있다.

자기 저항의 저항 값은 자기 저항을 통해 흐르는 전류의 방향과 자기 저항의 자화 방향 사이의 각도와 관련이 있다. 자기 저항의 저항 값과 이 각도간의 관계는 코사인 자승 곡선인 것을 특징으로 한다. 이 관계를 정의하는 코사인 자승 곡선은 그 각도가 45° 일 때 비교적 선형이다. 따라서, SNR을 최대화하기 위해서는, 자기 저항이 이러한 선형 범위에서 동작하게 하는 것이 바람직하다. 자기 저항이 이러한 선형 범위에서 동작하게 하기 위하여 자화의 방향을 전류 흐름 방향에서 멀어지도록 바이어스시키는 여러 가지 방법이 개발되었다. 그러나, 자화를 바이어스 하면 처리해야 할 많은 다른 문제점을 일으키는데, 예를 들면, 자기 저항의 확대 각도를 어렵게 하는 자기 저항에 있어서의 자기 도메인의 형성과 같은 문제점을 일으킨다.

코사인 자승 곡선은 전류의 방향이 자화 벡터에 대하여 45° 의 각도를 이루면서 자화 방향에서 멀어지도록, 전류의 극성이 반전될 때 비교적 선형이다. MR 판독 헤드는 보통 반대 방향으로 바이어스 될 때 작동하는 것보다 상기 방향 중 한 방향으로 바이어스 될 때 보다 잘 작동한다(즉, SNR이 보다 만족스럽다). 전형적으로, MR 판독 헤드는, 바이어스 전류가 판독 헤드의 성능을 최대화할 것으로 기대되는 방향으로 향하는 코사인 자승 곡선의 선형 범위에서 동작하도록 설계된다. MR 헤드 판독 증폭기는 MR 소자가 선택된 방향으로 바이어스 되도록 설계된다.

MR 소자를 이들 두 방향 중 한 방향으로 바이어스하기 위하여, 바이어스 전류의 극성을 반전시킬 수 있는 헤드 판독 증폭기를 제공하는 것이 바람직하다. 헤드 판독 증폭기를 이러한 방식으로 설계하는 한가지 장점은 어느 극성이 성능을 최대화시키는가를 결정하기 위하여 판독 헤드를 검사할 수 있고, 그에 따라 MR 소자를 바이어스 하는데, 최상의 성능을 발휘하는 극성이 사용될 수 있다는 점이다. 그러한 특징은 이 외에는 사용할 수 없는 판독 헤드를 만족시킴으로써 헤드 수율(yield)을 증가시키는 결과를 가져올 수 있다. 이는, 특히, 10개의 판독 헤드가 동일한 기판상에 접속될 수 있는 다중 헤드 드라이브에 대하여 특히 중요하다. 이 경우, 판독 헤드 중 임의의 한 헤드가 고장나면, 전체 다중 헤드 어셈블리가 교체되어야 한다.

MR 소자를 둘 중 한 방향으로 바이어스 하도록 헤드 판독 증폭기를 설계하는 다른 장점은, 헤드 판독 증폭기가, 상이한 방향으로 바이어스될 필요가 있는 판독 헤드와 함께 사용될 수 있다는 점이다. 따라서, 헤드 판독 증폭기는 반대 바이어스 요건을 가진 상이한 소스로부터 구입한 판독 헤드와 함께 사용될 수 있었다.

그러나, 바이어스 전류의 극성을 절환할 수 있는 헤드 판독 증폭기의 경우, 잡음 문제를 일으키는데, 이러한 문제는 극복되어야 한다. 따라서, 헤드 판독 증폭기의 성능을 저하시키지 않고서도 바이어스 전류의 극성이 절환될 수 있는 MR 헤드 판독 증폭기의 바이어스 전류의 극성을 절환하는 방법 및 장치가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명에 따르면, 저장 매체상에 자기 형태로 저장된 정보를 판독하는 자기 판독기에 탑재될 수 있는 자기 저항 헤드 판독 증폭기가 제공된다. 본 발명의 자기 저항 헤드 판독 증폭기는, 헤드 판독 증폭 회로의 하부(bottom) 전류 드레인에 헤드 판독 증폭기의 하부 전류 소스 트랜지스터에 의해 생성된 잡음을 감소시키거나 제거하는, 인덕터를 포함한다. 본 발명의 제 1 실시예에 따르면, 자기 저항 헤드 판독 증폭기는 특정 극성을 갖는 바이어스 전류를 사용하는 단일 극성 헤드 판독 증폭기이다. 본 발명의 제 2 실시예에 따르면, 자기 저항 헤드 판독 증폭기는 반대 극성의 바이어스 전류로 동작할 수 있는 쌍극성 헤드 판독 증폭기이다.

본 발명의 제 1 실시예에 따르면, 자기 저항 헤드 판독 증폭기는 자기 저장 매체의 표면상의 자속의 변화를 감지하는 자기 저항과, 자기 저항에 대해 바이어스 전류를 발생하는 바이어스 전류원과, 헤드 판독 증폭기 회로의 출력 단자에 접속되어 출력 단자에서 발생된 차동 출력 전압이 영이 되게 하는(nulling) 차동 피드백 회로와, 헤드 판독 증폭기 회로의 출력 단자에 접속되어, 자기 저항에 대해 최소 바이어스 전류를 설정하는 공통 모드 피드백 회로와, 접지에 연결되고 전류원 트랜지스터 및 인덕터를 포함하는 전류 드레인을 포함한다. 인덕터 저항의 임피던스는 전류원 트랜지스터가 생성한 임의의 잡음을 감소시키거나, 롤-오프(roll off)시킨다.

바람직하기로는, 바이어스 전류원은 디지털-아날로그 전류 변환기이고, 바이어스 전류의 값은 상기 디지털-아날로그 전류 변환기를 조정함으로써 조정될 수 있다. 공통 모드 피드백 회로는 각각 직렬로 접속된 다수의 트랜지스터를 포함하는 제 1 캐스코드 회로(cascode circuit) 및 제 2 캐스코드 회로를 포함하는 것이 바람직하다. 제 1 캐스코드 회로는 헤드 판독 증폭기의 제 1 출력 단자에 접속된 제 1 단자와, 자기 저항의 제 1 단자에 접속된 제 2 단자를 구비한다. 제 2 캐스코드 회로는 헤드 판독 증폭기 회로의 제 2 출력 단자에 접속된 제 1 단자와, 자기 저항의 제 2 단자에 접속된 제 2 단자를 구비한다. 공통 모드 증폭기는 공통 모드 기준 전압에 접속된 입력 단자들 중 한 단자와, 헤드 판독 증폭기의 출력 단자들 사이에서 감지 저항을 통하여 접속된 다른 입력 단자를 구비한다. 공통 모드 증폭기의 출력은 전류원 트랜지스터의 게이트에 접속되어 전류원 트랜지스터를 턴 온 시킨다.

차동 피드백 회로는 차동 출력 전압을 증폭하는 이득 단과, 증폭된 차동 출력 전압을 전류 신호로 변환하는 전압-전류 변환기단과, 전류 신호를 합치는 커패시터를 포함한다. 커패시터는 제 1 캐스코드 회로에 접속되어, 제 1 캐스코드 회로를 턴 온시킨다. 제 2 캐스코드 회로는 그를 턴 온 시키는 고정 기준 전압에 접속된다.

본 발명의 쌍극성 헤드 판독 증폭기는, 자기 저항용 제 1 바이어스 전류를 발생시키는 제 1 바이어스 전류원과, 자기 저항용 제 2 바이어스 전류를 발생시키는 제 2 바이어스 전류원을 포함하며, 제 1 및 제 2 바이어스 전류는 반대 극성을 갖는다. 제 1 바이어스 전류원은, 스위칭 로직을 통해 자기 저항의 제 1 단자에 접속된 출력 단자를 구비하며, 스위칭 로직이 제 1 상태에 있을 때 자기 저항을 통하여 제 1 바이어스 전류를 통과시킨다. 마찬가지로, 제 2 바이어스 전류원은, 스위칭 로직을 통하여 자기 저항의 제 2 단자에 접속된 출력 단자를 구비하며, 스위칭 로직이 제 2 상태에 있을 때 자기 저항을 통하여 제 2 바이어스 전류를 통과시킨다.

쌍극성 헤드 판독 증폭기는 제 1 트랜지스터 회로 및 제 2 트랜지스터 회로를 포함하는 것이 바람직하다. 제 1 트랜지스터 회로는 헤드 판독 증폭기 회로의 제 1 출력 단자에 접속된 제 1 단자와, 자기 저항의 제 1 단자에 접속된 제 2 단자와, 스위칭 로직에 접속된 제 3 단자를 구비한다. 제 2 트랜지스터 회로는 헤드 판독 증폭기 회로의 제 2 출력 단자에 접속된 제 1 단자와, 자기 저항의 제 2 단자에 접속된 제 2 단자와, 스위칭 로직에 접속된 제 3 단자를 구비한다. 스위칭 로직이 제 1 상태에 있을 때 제 1 트랜지스터 회로의 제 3 단자는 고정 기준 전압원에 접속되어 고정 기준 전압원에 의해 바이어스 되고, 제 2 트랜지스터 회로의 제 3 단자는 차동 에러 증폭기의 출력에 접속되어 차동 에러 증폭기의 출력에 의해 바이어스 된다. 스위칭 로직이 제 2 상태에 있을 때, 제 2 트랜지스터 회로의 제 3 단자는 고정 기준 전압원에 접속되어 고정 기준 전압원에 의해 바이어스 되고, 제 1 트랜지스터 회로의 제 3 단자는 차동 에러 증폭기의 에러 증폭기의 출력에 접속되어 차동 에러 증폭기의 출력에 의해 바이어스된다.

쌍극성 헤드 판독 증폭기는 헤드 판독 증폭기 회로의 제 1 및 제 2 출력 단자에 접속된 차동 피드백 증폭기 회로를 포함한다. 차동 피드백 증폭기 회로는 헤드 판독 증폭기 회로의 출력 단자에 생성된 차동 출력 전압을 수신하고, 차동 출력 전압이 0이 되게 한다. 차동 에러 증폭기는 차동 피드백 회로에 포함된다. 차동 피드백 회로는 차동 에러 증폭기를 통해 스위칭

로직에 접속된다. 헤드 판독 증폭기 회로의 출력 단자에 접속된 제 1 공통 모드 피드백 회로(a first common mode feedback circuit)는 제 1 바이어스 전류에 대한 최소 값을 설정한다. 제 1 공통 모드 피드백 회로는 제 1 전류원 트랜지스터를 통해 자기 저항의 제 1 단자에 접속된다. 헤드 판독 증폭기 회로의 출력 단자에 접속된 제 2 공통 모드 피드백 회로는 제 2 바이어스 전류에 대한 최소 값을 설정한다. 제 2 공통 모드 피드백 회로는 제 2 전류원 트랜지스터를 통해 자기 저항의 제 2 단자에 접속된다.

쌍극성 헤드 판독 증폭기의 전류 드레인은 제 1 및 제 2 전류원 트랜지스터와 인덕터를 포함한다. 제 1 전류원 트랜지스터는 스위칭 로직을 통해 제 1 공통 모드 피드백 회로에 접속된 제 1 단자와, 자기 저항의 제 1 단자에 접속된 제 2 단자와, 인덕터의 제 1 단자에 접속된 제 3 단자를 구비한다. 제 2 전류원 트랜지스터는 스위칭 로직을 통해 제 2 공통 모드 피드백 회로에 접속된 제 1 단자와, 자기 저항의 제 2 단자에 접속된 제 2 단자와, 인덕터의 제 1 단자에 접속된 제 3 단자를 구비한다. 인덕터는 접지에 접속된 제 2 단자를 구비한다. 인덕터의 임피던스는 제 1 및 제 2 전류원 트랜지스터에 의해 생성되는 임의의 잡음을 저감시킨다.

제 1 및 제 2 바이어스 전류원은 디지털-아날로그 전류 변환기이고, 제 1 및 제 2 바이어스 전류의 값은 디지털-아날로그 전류 변화기에 의해 조정될 수 있는 것이 바람직하다. 제 1 트랜지스터 회로는 제 1 캐스코드 회로(cascode circuit)이고 제 2 트랜지스터 회로는 제 2 캐스코드 회로인 것이 바람직하다. 캐스코드 회로 각각은 직렬 접속된 다수의 트랜지스터를 포함한다. 제 1 캐스코드 회로는 헤드 판독 증폭기 회로의 제 1 출력 단자에 접속된 제 1 단자와, 자기 저항의 제 1 단자에 접속된 제 2 단자를 구비한다. 제 2 캐스코드 회로는 헤드 판독 증폭기 회로의 제 2 출력 단자에 접속된 제 1 단자와, 자기 저항의 제 2 단자에 접속된 제 2 단자를 구비한다. 제 1 캐스코드 회로는 한 쌍의 커패시터를 통해 제 2 캐스코드 회로에 교차 결합되는 것이 바람직하다.

제 1 공통 모드 피드백 회로는 제 1 공통 모드 증폭기를 포함하고, 제 1 공통 모드 증폭기는 감지 저항을 통해 헤드 판독 증폭기 회로의 출력 단자들 사이에 접속된 제 1 단자와 공통 모드 기준 전압에 접속된 제 2 단자를 구비한다. 제 1 공통 모드 증폭기는 스위칭 로직을 통해 제 1 전류원 트랜지스터의 게이트에 접속된 출력 단자를 구비한다. 스위칭 로직이 제 1 상태에 있을 때, 스위칭 로직은 제 1 공통 모드 증폭기의 출력을 제 1 전류원 트랜지스터의 게이트에 접속하여, 제 1 전류원 트랜지스터를 턴 온 시킨다. 제 2 공통 모드 피드백 회로는 제 2 공통 모드 증폭기를 포함하고, 제 2 공통 모드 증폭기는 감지 저항을 통해 헤드 판독 증폭기 회로의 출력 단자들 사이에 접속된 제 1 단자와, 공통 모드 기준 전압에 접속된 제 2 단자를 구비한다. 제 2 공통 모드 증폭기는 스위칭 로직을 통해 제 2 전류원 트랜지스터의 게이트에 접속된 출력 단자를 구비한다. 스위칭 로직이 제 2 상태에 있을 때, 스위칭 로직은 제 2 공통 모드 증폭기의 출력을 제 2 전류원 트랜지스터의 게이트에 접속시켜, 제 2 전류원 트랜지스터를 턴 온 시킨다.

따라서, 스위칭 로직은 디지털-아날로그 변환기에 의해 바이어스 전류의 크기가 최적화되면서, 자기 저항의 바이어스 전류의 극성이 바이어스 전류에 대한 최선의 극성을 얻도록 스위칭 될 수 있도록, 캐스코드 회로와 전류원 트랜지스터의 바이어싱을 제어한다.

본 발명의 다른 특징과 장점은 다음의 설명, 도면 및 청구범위에 의거하여 명백해질 것이다.

발명의 구성 및 작용

도 1은, 예를 들면, 자기 디스크나 테이프와 같은 자기 저장 매체(2)로부터 정보를 판독하고 자기 저장 매체(2)에 정보를 기록하는 전형적인 자기 판독/기록 시스템(1)을 예시하는 블록도이다. 본 발명은, 본 발명의 시스템이 본 발명의 헤드 판독 증폭기를 포함하는 점을 제외하면, 상술한 전형적인 자기 판독/기록 시스템과 관련이 있으며, 이에 대한 것은 도 3과 도 4의 실시예에 관련하여 아래에 상세히 설명한다.

전형적인 자기 판독/기록 시스템(1)은 자기 저장 매체(2)에 저장된 자기 정보를 판독하는 MR 판독 헤드(4)를 포함한다. MR 판독 헤드(4)는 헤드 판독 증폭기(9)에 출력되는 리드(5,6)상의 바이어스 전류를 생성하는 MR 소자(도시되지 않음)를 포함한다. 헤드 판독 증폭기(9)는 리드(5, 6)상에 출력되는 판독 신호를 증폭하고, 그 신호를 판독/기록 채널(11)를 통해 송신하기에 적합한 정보로 처리한다. 판독/기록 채널(11)은 이 정보를, 예를 들면, 아날로그-디지털 변환기 및 마이크로프로세서를 포함할 수 있는 처리 회로(도시되지 않음)에 송신한다.

정보가 저장 매체(2)에 기록중이면, 기록될 정보는 헤드 판독 증폭기(9)에 의해 판독/기록 채널(11)로부터 수신된다. 헤드 판독 증폭기(9)를 포함하는 동일한 회로는 기록 드라이버 회로(도시되지 않음)도 포함하며, 기록 드라이버 회로는 부호화

된 데이터의 형태로 기록될 정보를 수신하고, 헤드 판독 증폭기(9)로 하여금 기록 헤드(14)에 포함된 유도성 소자(도시되지 않음)를 여기시키는 전류를 생성하게 한다. 기록 헤드(14)의 유도성 소자는 자기 저장 매체(2)의 자화를 변화시키는 자계를 생성한다.

도 2는 도 1에 도시된 바와 같은 자기 판독/기록 시스템에 일반적으로 사용되는 유형의 이중 전원 MR 헤드 판독 증폭기(16)를 예시한다. 헤드 판독 증폭기(16)의 한가지 장점이 되는 특징은 양의 전원 VDD(18)와 음의 전원 VEE(19)로 표시되는 이중 전원에 의해 0 볼트 헤드-매체 바이어스가 사용될 수 있다는 것이다. 즉, 매체가 접지에서 바이어스 되는 것인데 이는 헤드 판독 증폭기(16)의 편리한 기계적 설계 특징이다. 헤드 판독 증폭기(16)의 다른 장점이 되는 특징은 트랜지스터(21) 및 에미터 저항(23)으로 구성되는 하부 전류 싱크(bottom current sink)의 설계가 하부 전류 싱크의 잡음을 감소시킨다는 점이다.

피드백 증폭기(25)는 회로(28, 29)의 두 레그(leg)에 있는 전류를 일치시킨다. 헤드 판독 증폭기(16)는 비교적 낮고 평형을 이룬 입력 임피던스를 가지고 있어서, Rmr 소자(34)의 긴 리드(31, 32)에 용량성 결합된 잡음을 제거하는 공통 모드 제거 비(CMRR; common mode rejection ratio)가 매우 높아지는 결과를 가져온다. 헤드 판독 증폭기(16)가 판독 헤드(4)로부터 물리적으로 분리되기 때문에, 리드(31, 32)는 Rmr 소자(34)를 헤드 판독 증폭기(16)에 접속할 정도로 길어야 한다. 증폭기(36)의 비반전 단자를 저항(38)과 저항(39) 사이의 노드에 접속함으로써 형성되는 피드백 루프는, 매체 전압인 Vmedia 전압(43)이 피드백 루프에 의해 MR 소자(34)의 중앙에 있는 전압과 동일해 지도록 하는, 낮은 헤드-매체 바이어스를 보장하도록 전류원 트랜지스터(21)를 제어한다.

전형적으로, 음의 전원 VEE(19)의 범위는 dc -3볼트에서 -5볼트까지이다. 이러한 큰 음의 전압은 일반적으로 헤드 판독 증폭기(16)의 주 잡음원인 하부 전류 싱크에서의 잡음을 감소시키는데 필요하다. 에미터 축퇴 저항(emitter degeneration resistor)(23)이 상당히 커지면, 하부 전류원의 잡음 전류인 In은 다음 식과 같이 정의된다.

$$\text{수학식 1}$$

$$I_n^2 = \frac{2q I_c}{\beta} + \frac{4K_b T}{R_{EE}}$$

여기서, Ic는 컬렉터 전류이고, b는 전류 이득이며, q는 전자 전하이며, Kb는 볼츠만 상수(Boltzman's constant)이며, T는 절대 온도이다. 양단간의 전압 강하가 큰 에미터 축퇴 저항(23)이 없으면, 잡음 전류 In은 다음 식과 같이 정의되는 컬렉터 전류의 전체 산탄 잡음(shot noise)일 것이며, 이 산탄 잡음은 허용되지 않은 잡음이다.

$$\text{수학식 2}$$

$$I_n^2 = 2q I_c$$

축퇴 저항(23)의 사용으로 인한, 축퇴가 하부 전류 싱크의 잡음을 감소시키지만, 하부 전류원 트랜지스터(21)는 여전히 큰 잡음의 원인이 된다. 본 발명에 따르면, 축퇴 저항(23)과 동일한 기능을 제공하는 인덕터를 사용함으로써 출력 전류와 하부 전류 싱크에서 잡음을 감소시키되, 전류 싱크에서의 큰 전압 강하를 필요로 하지 않는 헤드 판독 증폭기가 제공된다. 또한, 본 발명의 헤드 판독 증폭기는 고주파에서 도 2에 도시된 헤드 판독 증폭기보다 훨씬 더 효과적이며, 이에 대한 것은 도 3과 관련하여 아래에서 보다 상세히 설명된다. 본 발명은, 음의 전압원에 대한 필요성을 제거하며, 그와 동시에 가장 큰 잡음원인 하부 전류원 트랜지스터를 비교적 미미한 잡음원으로 변환시킨다.

헤드 판독 증폭기의 출력 전류In의 잡음을 감소시키기 위하여, 헤드 판독 증폭기는 높은 CMRR이 유지되는 방식으로 고안되어야 한다. 종래의 방법에서는, 낮은 헤드-매체 바이어스를 유지시키되, 그와 동시에 하부 전류원 트랜지스터 양단의 높은 전압 강하를 이용하여 높은 CMRR을 이룸으로써, 하부 전류원 트랜지스터의 상호 컨덕턴스를 효과적으로 감소시키는 시도를 하였다. 본 발명의 단일 극성 헤드 판독 증폭기(50)는, 낮은 헤드-매체 바이어스를 유지하되, 그와 동시에 하부 전류 싱크 양단간에 매우 낮은 전압 강하를 생성한다. 본 발명의 단일 극성 헤드 판독 증폭기(50)의 장점을 설명하기 전에, 헤드 판독 증폭기(50)의 전체적인 동작에 대해 설명한다.

도 3은 제 1 실시예에 따른 본 발명의 단일 극성 헤드 판독 증폭기(50)에 대한 개략 블록도이다. 저장 매체(도시되지 않음)에 저장된 정보를 판독할 경우, Rmr로 표시된 MR 소자(53) 주변의 주변 자계에 때문에, MR 소자(53)의 저항 값 ΔR이 변화하게 된다. 이러한 저항 값의 변화에 의해 MR 소자(53)를 통하는 전류가 변하는데, 이는 공통 게이트 전계 효과 트랜지스터(FET)(55, 57)의 안정 상태 전압 바이어싱(steady-state voltage biasing)이 일정하기 때문이다. Rmr(53)에서의 이

러한 전류 요동에 의해, 트랜지스터(55, 57)의 전류가 동일하게 되고 위상이 반대로 된다. 이것은, 트랜지스터(55, 57)의 소스를 바라보았을 때의 임피던스가, 트랜지스터(55, 57) 각각마다 1/gm 값-gm은 상호 컨덕턴스임-으로 동일하다는 사실때문이다.

바람직하기로는 캐스코드(즉, 공통 게이트) FET인, 두 트랜지스터(62, 63)는 전압 이득을 증가시키고 밀러(Miller) 효과를 감소시키는데 사용되는데, 이에 대한 것은 당업자라면 알고 있을 것이다. MR 소자(53)의 저항 값의 변화 ΔR 로 인한 차동 전류는 노드(67, 68) 양단간의 차동 출력 전압으로 변환된다. 두 피드백 루프는 동작점, 즉, (1) 두 저항(73, 74)의 전류의 합이 2 ImrMin이 되게 하는 공통 모드 루프와, (2) 증폭 체인의 제 1, 제 2 또는 임의의 DC 결합 이득 단으로부터의 차동 출력 전압이 영이 되게 하는 차동 피드백 루프를 설정한다. 도 3에서 제 2 이득 단(64)은, 예를 들면, 사용자들이 필요로 하는 추가 이득을 제공하고, 저항 부하를 가진 차동 쌍을 포함할 수 있는바, 이에 대한 것을 당업자라면 알 수 있을 것이다.

차동 피드백 루프에서, 증폭기(64)는 증폭기(77)의 입력에 OP2-ON2를 생성하도록 단자(67)와 단자(68)간의 전압차를 증폭한다. 증폭기(77)는 이 전압을 전류 신호로 변환하고, 전류 신호는 커패시터(78)에 의해 통합되어 정량의 게이트 바이어스를 제공함으로써, 트랜지스터(55)를 턴 온시킨다. 트랜지스터(55)는 이 네거티브 피드백 루프에서 정량에 의해 구동됨으로써, 단자(67, 68)에서의 평균 차 전압이 작아지게 된다. 단자(67, 68) 양단간의 차동 출력 전압은 에러 증폭기(64)에 의해 영으로 된다. 예를 들면, VDD로부터 기준 전류를 공급받고, 소스는 접지에 접속되며 게이트와 드레인 단락되는 다이오드 접속형 FET(a diode-connected FET)일 수 있는 트랜지스터(57)의 게이트는 고정된 바이어스 전압 Vb2(79)에 접속된다. 트랜지스터(55)의 게이트만이 에러 증폭기(77)에 접속되어 구동되는 것으로 도시되어 있지만, 차동 출력 전압을 0으로 하는데 필요한 차동 피드백 루프에서의 적절한 극성을 생성하기 위하여 트랜지스터(55)의 게이트나 트랜지스터(57)의 게이트가 에러 증폭기(77)에 접속되어 구동될 수 있다.

공통 모드 피드백 루프는 MR 바이어스 전류(Imr)의 최소 값(이하에서는 이를 ImrMin이라고 함)을 설정한다. 공통 모드 피드백 루프는 트랜지스터(81)와, 인덕터(83)와, 공통 게이트 캐스코드 구성의 양측과, 노드(67)와 노드(68) 사이에 위치한 공통 모드 감지 저항(85, 87)으로 구성된다. 공통 모드 기준 전압(89)인 Cmref는 $VDD - (V_{node\ 67} + V_{node\ 68})/2 = VDD - Cmref$ 일 때 공통 모드 피드백 루프가 이루어지도록 VDD 이하의 전압으로 설정된다. $V_{node\ 67}$ 은 노드(67)에서의 전압을 나타내고, $V_{node\ 68}$ 은 노드(68)에서의 전압을 나타낸다. 증폭기(91)는 저항(73, 74)을 통하는 전류의 합이 2ImrMin이 되도록 전류원 트랜지스터(81)의 게이트를 제어한다.

추가적인 MR 바이어스 전류는 디지털-아날로그 전류 변환기(93)인 IDAC에 주입되는데, 그 값은 $I(IDAC) = ImrMin$ 인 것이 바람직하다. 본 발명의 양호한 실시예에 따르면, IDAC(93)는 MR 헤드 바이어스가 최대 신호 출력 및 장기간 신뢰도를 얻기 위하여 최적화될 수 있게 프로그램될 수 있다. Imr의 값이 낮으면 장기간의 헤드 안정도를 얻는데 바람직할 수 있는 반면, Imr의 값이 높으면 높은 신호 출력을 생성하는데 바람직할 수 있다. Imr의 값이 낮으면 바람직한 경우가 있는데, 이는 자기 저항(53)의 저항 값의 변동이 대략 Imr에 대해 선형으로 비례하고 이는 판독 헤드가 자기 저항(53)에서 소모되는 전력으로 인해 용융될 수 있음을 의미하기 때문이다. 바이어스 전압 vb2(79)는, 트랜지스터(81)가 포화될 때 하부 전류 드레인 양단간의 전압이 약 0.4볼트가 되도록, 낮은 헤드-매체 바이어스를 유지하도록 고정된다. 전류원 트랜지스터(81)로부터의 잡음은 인덕터(83)의 임피던스로 인해 고주파에서 심하게 롤 오프(roll off)된다.

다른 피드백 루프는, 당업자가 이해하는 바와 같이, 본 발명의 MR 헤드 판독 증폭기(50)의 동작 점을 설정하도록 설계되어 구현될 수 있다. 공통 모드 및 차동 피드백 루프에 대한 바람직한 고안은, 본 발명의 원리를 설명하기 위한 것이다. 단자(67, 68)에 있는 저항(73, 74)의 하부에서의 DC 전압을 원하는 DC 레벨로 고정하는, MR 바이어스 전류(Imr)의 최소 값 ImrMin을 설정하도록, 공통 모드 피드백 루프에 대한 다른 고안이 구현될 수 있음을 당업자들은 이해할 것이다. 마찬가지로, 트랜지스터(55)를 턴 온시키기 위해 적정량의 이득을 제공하고, 단자(67, 68)에서의 차동 출력 전압을 영으로 하기 위하여 차동 피드백 루프에 대한 다른 고안이 구현될 수 있다.

본 발명의 헤드 판독 증폭기(50)의 다른 장점은, 하부 전류 싱크, 및 활성 IDAC(93)로 인한 전류 잡음의 일부가, 노드(67, 68) 양단간의 헤드 판독 증폭기(50)의 출력에 차 성분으로서 나타나는 점이다. 공통 모드 잡음 성분은 제 2 단(64)의 CMRR에 의해 제거된다. 트랜지스터(57) 쪽으로 본 임피던스가 높기 때문에, IDAC(93)와 싱크로 인한 모든 잡음 전류는 트랜지스터(57, 62)의 저 임피던스로 진행하게 된다.

도 3에 도시된 단극성 헤드 판독 증폭기(5)의 구성 요소는 쌍극성 MR 헤드 판독 증폭기를 얻도록 이중화되어 결합될 수 있다. 도 4는 양방향 MR 바이어스 전류를 생성할 수 있는 제 2 실시예에 따른 본 발명의 쌍극성 양방향 MR 헤드 판독 증폭기를 예시한 것이다. 대체로, 도 4에 도시된 양방향 MR 헤드 판독 증폭기(100)는 도 3에 도시된 두 개의 단극성 헤드 판독 증폭기 회로(50)를 포함하며, 상기 증폭기 회로(50)는 도 4에 도시된 쌍극성 MR 헤드 판독 증폭기를 얻도록 결합된 것이다.

쌍극성 헤드 판독 증폭기(100)의 전체 동작은 도 3에 대하여 위에서 설명한 단극성 헤드 판독 증폭기(50)의 동작과 매우 유사하다. 저장 매체(도시되지 않음)에 저장된 정보를 판독할 때, MR 소자(102) 주위의 주변 자계 Rmr은 MR 소자(102)의 저항 값의 변화 ΔR 을 야기한다. 저항 값에 있어서의 이러한 변화 때문에, MR 소자(102)를 통하는 전류가 변화하게 된다.

동작 기간 동안, 극성 제어 신호 Pol(105)이 참이면, Imr은 Rxn(101)에서 Ryn(103) 방향으로 흐른다. 제어 신호 PolN(106)은 Pol의 보충 신호이다. Rxn(101)과 Ryn(103)은 헤드 판독 증폭기(100)가 다중 헤드 시스템에 탑재될 때 n 번째 판독 헤드의 리드에 접속된 판독 입력 핀을 나타내는데 사용된다(즉, Rx1 및 Ry1이 제 1 판독 헤드의 단자에 접속된다.) 헤드 판독 증폭기(100)가 단일 헤드 시스템이나 다중 헤드 시스템으로 구현될 수 있음을 당업자라면 알 수 있을 것이다.

Pol이 거짓이면, Imr은 Ryn(103)에서 Rxn(101) 방향으로 흐른다. Pol의 상태에 따라서, 트랜지스터(108, 109)는 도 4에서 스위치 구조로 도시된 차동 루프 에러 증폭기(112)나 고정 기준 전압 vb2(113)에 의해 구동된다. Pol 및 PolN을 구동하는 로직은, 당업자들이 알고 있는 바와 같이, 마이크로컨트롤러, 마이크로프로세서 또는 몇 가지 다른 로직에 의해 제어될 수 있는 레지스터(도시되지 않음)인 것이 바람직하다. 사용자는, 원하는 MR 바이어스 전류 극성을 선택하도록, 이 레지스터를 프로그램 할 수 있다. 두개의 IDAC(114, 116)가 헤드 판독 증폭기(100)에 구현되는 것이 바람직하며, 두 IDAC 중 단지 하나만이 제어 신호 Pol에 의해 제어되는 임의의 특정 시간에 "온" 위치에 있게 된다.

바람직하기로는, 캐스코드 FET인, 트랜지스터(124, 125)는 전압 이득을 증가시키고 밀러 효과를 감소시킨다. MR 소자(102)의 저항 값 변화 ΔR 로 인한 차동 전류는 노드(128, 131) 양단간의 차동 출력 전압으로 변환된다. 노드(132)에서의 전압을 증폭기(135, 136)로 피드백 시킴으로써 형성되는 공통 모드 루프는, 두 저항(135, 137)의 전류의 합이 $2I_{mrMin}$ 으로 되게 한다. 노드(128, 131) 양단간의 차동 출력 전압을 차동 에러 증폭기(112)로 피드백 시킴으로써 형성되는 차동 피드백 루프는, 노드(128, 131) 양단간의 차동 출력 전압이 영이 되게 한다. PO1이 참이면, 차동 에러 증폭기(112)는 트랜지스터(109)의 게이트를 구동시키며, 트랜지스터(108)의 게이트는 고정된 바이어스 전압 Vb2(113)에 의해 구동된다. PO1이 거짓이면, 트랜지스터(109)의 게이트는 고정 바이어스 전압(113)에 접속되고, 트랜지스터(108)의 게이트는 에러 증폭기(112)에 의해 제어된다.

공통 모드 기준 전압(141)은 $VDD - (V_{node\ 128} + V_{node\ 131})/2 = VDD - C_{ref}$ 일 때 공통 모드 피드백 루프가 이루어지도록 VDD 이하의 전압으로 설정된다. $V_{node\ 128}$ 은 노드(128)에서의 전압을 나타내고, $V_{node\ 131}$ 은 노드(131)에서의 전압을 나타낸다. C_{mref} 는 증폭기(135, 136)에 인가된 기준 전압(141)이다. 증폭기(135, 136)는, 두 저항(135, 137) 모두를 통과하는 전류의 합이 $2I_{mrMin}$ 이 되도록 트랜지스터(121, 122)의 게이트를 제어한다. 커패시터(108, 109)가, 트랜지스터(121, 122)의 게이트가 접지되도록 AC 단락을 생성함으로써, 공통 모드 피드백 루프에 있는 임의의 잡음이 트랜지스터(121, 122)의 게이트에 전송되는 것을 방지한다. 트랜지스터(121, 122)의 게이트에는 원하지 않는 신호가 아닌 dc 바이어스만이 제공되어야 하는데, 이는, 임의의 원하지 않는 신호가 증폭될 것이기 때문이다.

추가 MR 바이어스 전류 Imr은 IDAC(114, 116)에 주입된다. 본 발명의 양호한 실시예에 따르면, IDAC(114, 116)는 최대 신호 출력 및 장기간 신뢰도를 위하여 MR 헤드 바이어스가 최적화 될 수 있도록 프로그램될 수 있다. Imr의 값이 높으면, 높은 신호 출력을 위해 이용될 수 있으며, Imr의 값이 낮으면 장기간 헤드 신뢰도에 있어서 바람직하다. 바이어스 전압 vb2(113)는 트랜지스터(121)나 트랜지스터(122)가 포화될 때 하부 전류 드레인 양단간의 전압이 대략 0.4볼트가 되도록, 낮은 헤드-매체 바이어스가 유지되게 고정된다. 전류원 트랜지스터(121, 122)로부터의 잡음은, 인덕터(150)의 임피던스로 인해 보다 높은 주파수에서 심하게 롤 오프 된다.

하부 전류 싱크 및 활성 IDAC(114, 116)로 인한 전류 잡음의 일부만이 노드(128, 131) 양단간의 헤드 판독 증폭기(100)의 출력에 차 성분으로서 나타난다. 공통 모드 잡음 성분은 증폭기(115)로 표시되는 제 2 단의 CMRR에 의해 제거된다. 트랜지스터(108, 109)를 바라본 임피던스가 높기 때문에, IDAC(114, 116) 및 싱크로부터의 모든 잡음 전류는, PO1의 상태에 따라서, 트랜지스터(124, 122)의 저 임피던스 또는 트랜지스터(125, 121)의 저 임피던스로 진행된다. 교차 결합된 커패시터(118, 119)는 증폭기(135, 136)가 구비한 입력 단의 CMRR을 증가시킨다.

헤드 판독 증폭기(100)를 사용하여 잡음을 감소시키는 방법은 트랜지스터(121, 122)의 입력 잡음 전압 e_n 을 고려하여 설명될 수 있다. 아래의 표 1에 제시된 수학적식은 이러한 목적을 위해 사용될 것이다.

[표 1]

$e_n = \sqrt{\frac{4Kbt\gamma}{gm}}$	$VdSat = \sqrt{\frac{2Id}{\left(\frac{w}{L}\right)\mu Cox}}$
$gm = 2 \frac{Id}{vdsat}$	$fp\ sink := \frac{Vdsat\ sink}{2\pi L2I\ sink}$

VdSat 항에서의 출력 잡음과, 전류 싱크의 극점 주파수, 및 드레인 전류는 출력 잡음을 판정하기 위하여 아래에 도시된 방식으로 표 1의 수학적식을 사용하여 얻어질 수 있다.

수학적식 3

$$InSink = \sqrt{4KbT\gamma \left(2 \frac{I\ sink}{Vdsat\ sink}\right)} \cdot \frac{2 \frac{I\ sink}{Vdsat\ sink}}{\sqrt{1 + \left(\frac{f}{fp\ sink}\right)}}$$

여기서, Vdsat는 디바이스를 포화상태로 유지시키면서 가능한 최저 드레인-소스 전압이고, fp는 하부 전류원(트랜지스터 (121 또는 122))의 유효 상호 컨덕턴스 gm이 겪는, 즉, 하부 전류원의 gm이 6 db/옥타브에서의 주파수에서 롤 오프를 시작하는 극점 주파수이다. 이 수학적식은 헤드 판독 증폭기(100)의 통과 대역 내의 높은 주파수에서 헤드 판독 증폭기(100)의 전류 싱크의 잡음이 무시될 수 있도록, 싱크 잡음이 주파수 f의 함수로서 롤 오프 됨을 설명하고 있다.

도 3의 단극성 헤드 판독 증폭기(50)의 장점, 즉, IDAC와 하부 전류 싱크에 기여할 수 있는 잡음 감소는 또한 도 4의 쌍극성 헤드 판독 증폭기(100)에도 적용할 수 있다. 당업자라면 상기 설명을 고려하여, 헤드 판독 증폭기(100)에 의해 상기 장점들이 성취되는 방식을 이해할 것이다. 따라서 본 발명의 쌍극성 헤드 판독 증폭기(100)는 MR 헤드 판독 증폭기(100)에서 잡음을 최소화하면서, 반대 극성으로 MR 헤드 판독 증폭기를 선택적으로 바이어스 할 수 있다.

본 발명의 양호한 실시예를 참고로 하여 설명되었고 본 발명의 상기 실시예에 한정되지는 않는다. 당업자들은 본 발명의 정신과 범위에서 벗어나지 않고서 위에서 설명된 실시예에 대해 수정이 이루어질 수 있음을 이해할 것이다.

발명의 효과

이상에서 설명된 바와 같이, 본 발명에 따르면, 헤드 판독 증폭기의 성능을 저하시키지 않고서도 바이어스 전류의 극성이 스위칭 될 수 있게 하는 MR 헤드 판독 증폭기에서 바이어스 전류의 극성을 스위칭 하고, 저장 매체에 자기 형태로 저장된 정보를 판독하기 위해 자기 판독기에 내장될 수 있는 자기 저항 헤드 판독 증폭기가 제공된다.

(57) 청구의 범위

청구항 1.

자기 판독/기록 시스템(1)의 헤드 판독 증폭기 회로(50)에 있어서,

제 1 단자와 제 2 단자를 구비하고, 자기 저장 매체(2)의 표면상의 자속 변화를 감지하며, 상기 자속 변화에 응답하여 저항 값이 변화되는 자기 저항(53)과,

상기 자기 저항(53)에 대한 바이어스 전류를 생성하고, 상기 자기 저항(53)의 상기 제 1 단자에 접속된 출력 단자를 구비하며, 상기 자기 저항(53)을 통해 상기 바이어스 전류를 통과시키는 바이어스 전류원(93)과,

상기 헤드 관독 증폭기 회로(50)의 제 1 출력 단자(67)와 제 2 출력 단자(68)에 접속되고, 상기 헤드 관독 증폭기 회로(50)의 출력 단자에서 생성되는 차동 출력 전압을 수신하며, 상기 차동 출력 전압이 영이 되게 하는 차동 피드백 회로(64, 77, 78)—상기 차동 피드백 회로(64, 77, 78)의 출력은 상기 자기 저항(53)의 제 1 단자에 접속됨—와,

상기 자기 저항(53)에 대해 최저 바이어스 전류를 설정하며, 전류원 트랜지스터(81)를 통해 상기 자기 저항(53)의 상기 제 2 단자에 접속되는 공통 모드 피드백 회로(85, 87, 91)—상기 공통 모드 피드백 회로(85, 87, 91)는 제 1 캐스코드 회로(55, 62)와 제 2 캐스코드 회로(57, 63)를 포함하고, 상기 제 1 및 제 2 캐스코드 회로 각각은 직렬 접속된 다수의 트랜지스터를 포함하며, 상기 제 1 캐스코드 회로(55, 62)는 상기 헤드 관독 증폭기 회로(50)의 상기 제 1 출력 단자(67)에 접속된 제 1 단자를 구비하며, 상기 제 1 캐스코드 회로(55, 62)는 상기 자기 저항(53)의 상기 제 1 단자에 접속된 제 2 단자를 구비함—와,

전류원 트랜지스터(81)와 인덕터(83)를 포함한 전류 드레인—상기 전류원 트랜지스터(81)는 제 1 단자를 구비하고, 상기 공통 모드 피드백 회로(85, 87, 91)는 상기 전류원 트랜지스터(81)의 상기 제 1 단자에 접속되며, 상기 전류원 트랜지스터(81)는 상기 자기 저항(53)의 상기 제 2 단자에 접속된 제 2 단자를 구비하며, 상기 전류원 트랜지스터(81)는 상기 인덕터(83)의 제 1 단자에 접속된 제 3 단자를 구비하며, 상기 인덕터(83)는 접지에 접속된 제 2 단자를 구비하며, 상기 인덕터(83)의 임피던스는 상기 전류원 트랜지스터(81)에 의해 생성되는 임의의 잡음을 감소시킴—을 포함하는

헤드 관독 증폭기 회로(50).

청구항 2.

제 1 항에 있어서,

상기 공통 모드 피드백 회로(85, 87, 91)는 제 1 캐스코드 회로(55, 62)와 제 2 캐스코드 회로(57, 63)를 포함하고, 상기 제 1 및 제 2 캐스코드 회로 각각은 직렬 접속된 다수의 트랜지스터를 포함하며, 상기 제 1 캐스코드 회로(55, 62)는 상기 헤드 관독 증폭기 회로(50)의 상기 제 1 출력 단자(67)에 접속된 제 1 단자를 구비하며, 상기 제 1 캐스코드 회로(55, 62)는 상기 자기 저항(53)의 상기 제 1 단자에 접속된 제 2 단자를 구비하며, 상기 제 2 캐스코드 회로(57, 63)는 상기 헤드 관독 증폭기 회로(50)의 제 2 출력 단자(68)에 접속된 제 1 단자를 구비하며, 상기 제 2 캐스코드 회로(57, 63)는 상기 자기 저항(53)의 상기 제 2 단자에 접속된 제 2 단자를 구비하며, 상기 차동 피드백 회로(64, 77, 78)는 상기 차동 출력 전압을 증폭하는 이득 단(64)과, 상기 증폭된 차동 출력 전압을 전류 신호로 변환하는 전압-전류 변환기 단(77)과, 상기 전류 신호를 합치는 커패시터(78)를 포함하며, 상기 커패시터(78)는, 상기 제 1 캐스코드 회로(55, 62)에 접속되어, 상기 제 1 캐스코드 회로(55, 62)를 턴 온 시키는 헤드 관독 증폭기 회로(50).

청구항 3.

제 2 항에 있어서,

상기 공통 모드 피드백 회로(85, 87, 91)는 공통 모드 증폭기(91)를 포함하고, 상기 공통 모드 증폭기는 감지 저항(85, 87)을 통해 상기 헤드 관독 증폭기 회로의 상기 출력 단자 사이에 접속된 제 1 단자와, 공통 모드 기준 전압(89)에 접속된 제 2 단자를 구비하며, 상기 공통 모드 증폭기(91)는 상기 전류원 트랜지스터(81)의 제 1 단자에 접속된 출력 단자를 구비하며, 상기 전류원 트랜지스터(81)의 상기 제 1 단자는 상기 전류원 트랜지스터(81)의 게이트인 헤드 관독 증폭기 회로(50).

청구항 4.

제 1 극성 또는 제 2 극성—상기 제 1 극성 및 상기 제 2 극성은 서로 반대임—을 구비하는 전류로 헤드 관독 증폭기 회로(100)의 자기 저항(102)을 바이어스 할 수 있는 쌍극성 헤드 관독 증폭기 회로(100)에 있어서,

제 1 및 제 2 단자를 구비하고, 자기 저장 매체(2)의 표면상의 자속 변화를 감지하며, 상기 자속 변화에 응답하여 저항 값이 변화되는 자기 자기 저항(102)과,

상기 자기 저항(102)에 대해 제 1 바이어스 전류를 생성하고, 상기 제 1 극성을 가지며, 스위칭 로직(105, 106)을 통해 상기 자기 저항(102)의 상기 제 1 단자에 접속된 출력 단자를 구비하며, 스위칭 로직(105, 106)이 제 1 상태에 있을 때 상기 자기 저항(102)을 통하여 상기 제 1 바이어스 전류를 통과시키는 제 1 바이어스 전류원(114)과,

상기 자기 저항(102)에 대해 제 2 바이어스 전류를 생성하고, 상기 제 2 극성을 가지며, 상기 스위칭 로직(105, 106)을 통해 상기 자기 저항(102)의 상기 제 2 단자에 접속된 출력 단자를 구비하여, 상기 스위칭 로직(105, 106)이 제 2 상태에 있을 때 상기 자기 저항(102)을 통하여 상기 제 2 바이어스 전류를 통과시키는 제 2 바이어스 전류원(116)과,

상기 헤드 판독 증폭기 회로(100)의 제 1 출력 단자(128)에 접속된 제 1 단자와, 상기 자기 저항(102)의 상기 제 1 단자(101)에 접속된 제 2 단자와, 상기 스위칭 로직(105, 106)에 접속된 제 3 단자를 구비하는 제 1 트랜지스터 회로(108, 124)와,

상기 헤드 판독 증폭기 회로(100)의 제 2 출력 단자(131)에 접속된 제 1 단자와, 상기 자기 저항(102)의 상기 제 2 단자(103)에 접속된 제 2 단자와, 상기 스위칭 로직(105, 106)에 접속된 제 3 단자를 구비하는 제 2 트랜지스터 회로(109, 125)를 포함하며,

상기 스위칭 로직(105, 106)이 상기 제 1 상태에 있을 때, 상기 제 1 트랜지스터 회로(108, 124)의 상기 제 3 단자는 상기 고정 기준 전압원에 접속되어 상기 고정 기준 전압원에 의해 바이어스 되고, 상기 제 2 트랜지스터 회로(109, 125)의 상기 제 3 단자는 차동 에러 증폭기(112)의 출력에 접속되어 상기 차동 에러 증폭기(112)의 출력에 의해 바이어스 되며, 상기 스위칭 로직(105)이 상기 제 2 상태에 있을 때, 상기 제 2 트랜지스터 회로(109, 125)의 상기 제 3 단자는 상기 고정 기준 전압원(113)에 접속되어 상기 고정 기준 전압원(113)에 의해 바이어스 되며, 상기 제 1 트랜지스터 회로(108, 124)의 상기 제 3 단자는 상기 차동 에러 증폭기(112)의 상기 출력에 접속되어 상기 차동 에러 증폭기(112)의 상기 출력에 의해 바이어스되는

쌍극성 헤드 판독 증폭기 회로(100).

청구항 5.

삭제

청구항 6.

제 4 항에 있어서,

상기 헤드 판독 증폭기 회로(100)의 제 1 및 제 2 출력 단자에 접속되고, 상기 헤드 판독 증폭기 회로(100)의 상기 출력 단자(128, 131)에서 생성되는 차동 출력 전압을 수신하며, 상기 차동 출력 전압이 영이 되게 하는 차동 피드백 회로(112, 115, 118, 119)를 더 포함하되,

상기 차동 에러 증폭기(112)는 상기 차동 피드백 회로(112, 115, 118, 119)에 포함되고, 상기 차동 피드백 회로(112, 115, 118, 119)의 출력은 상기 차동 에러 증폭기(112)의 상기 출력에서 생성되며, 상기 차동 피드백 회로(112, 115, 118, 119)는 상기 차동 에러 증폭기(112)를 통해 상기 스위칭 로직(105, 106)에 접속되는 쌍극성 헤드 판독 증폭기 회로(100).

청구항 7.

제 6 항에 있어서,

상기 헤드 판독 증폭기 회로(100)의 상기 출력 단자(128, 131)에 접속되고, 상기 제 1 바이어스 전류에 대한 최소 값을 설정하며, 제 1 전류원 트랜지스터(121)를 통해 상기 자기 저항(102)의 상기 제 1 단자(128)에 접속된 제 1 공통 모드 피드백 회로(132, 135)와,

상기 헤드 판독 증폭기 회로(100)의 상기 출력 단자(128, 131)에 접속되고, 상기 제 2 바이어스 전류에 대한 최소 값을 설정하며, 제 2 전류원 트랜지스터(122)를 통해 상기 자기 저항(102)의 상기 제 2 단자(103)에 접속되는 제 2 공통 모드 피드백 회로(132, 136)와,

상기 제 1 및 제 2 전류원 트랜지스터(121, 122)와 인덕터(150)를 포함한 전류 드레인(121, 122, 150)—상기 제 1 전류원 트랜지스터(121)는 제 1 단자를 구비하고, 상기 제 1 공통 모드 피드백 회로(132, 135)는 상기 스위칭 로직(105, 106)을 통해 상기 제 1 전류원 트랜지스터(121)의 상기 제 1 단자에 접속되며, 상기 제 1 전류원 트랜지스터(121)는 상기 자기 저항(102)의 상기 제 1 단자(101)에 접속된 제 2 단자를 구비하며, 상기 제 1 전류원 트랜지스터(121)는 상기 인덕터(150)의 제 1 단자에 접속된 제 3 단자를 구비하며, 상기 제 2 전류원 트랜지스터(122)는 제 1 단자를 구비하고, 상기 제 2 공통 모드 피드백 회로(132, 136)는 상기 스위칭 로직(105, 106)을 통해 상기 제 2 전류원 트랜지스터(122)의 상기 제 1 단자에 접속되며, 상기 제 2 전류원 트랜지스터(122)는 상기 자기 저항(102)의 상기 제 2 단자에 접속된 제 2 단자를 구비하며, 상기 제 2 전류원 트랜지스터(122)는 상기 인덕터(150)의 제 1 단자에 접속된 제 3 단자를 구비하며, 상기 인덕터(150)는 접지에 접속된 제 2 단자를 구비하며, 상기 인덕터의 임피던스는 상기 제 1 및 제 2 전류원 트랜지스터(121, 122)에 의해 생성된 임의의 잡음을 감소시킴—을 더 포함하는

쌍극성 헤드 판독 증폭기 회로(100).

청구항 8.

제 7 항에 있어서,

상기 제 1 바이어스 전류원(114)은 제 1 디지털-아날로그 전류 변환기이고, 상기 제 1 바이어스 전류의 값은 상기 제 1 디지털-아날로그 전류 변환기를 조정함으로써 조정될 수 있는 쌍극성 헤드 판독 증폭기 회로(100).

청구항 9.

제 8 항에 있어서,

상기 제 2 바이어스 전류원(116)은 제 2 디지털-아날로그 전류 변환기이고, 상기 제 2 바이어스 전류원(116)의 값은 상기 제 2 디지털-아날로그 전류 변환기를 조정함으로써 조정되는 쌍극성 헤드 판독 증폭기 회로(100).

청구항 10.

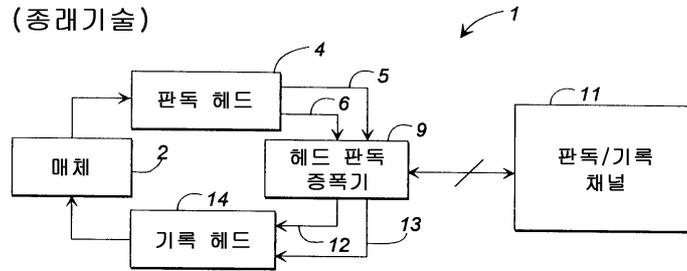
제 9 항에 있어서,

상기 제 1 트랜지스터 회로(108, 124)는 제 1 캐스코드 회로(108, 124)에 대응하고, 상기 제 2 트랜지스터 회로(109, 125)는 제 2 캐스코드 회로(109, 125)에 대응하며, 상기 제 1 및 제 2 캐스코드 회로 각각은 직렬로 접속된 다수의 트랜지스터를 포함하며, 상기 제 1 캐스코드 회로(108, 124)는 상기 헤드 판독 증폭기 회로(100)의 상기 제 1 출력 단자(128)에 접속된 제 1 단자를 구비하며, 상기 제 1 캐스코드 회로(108, 124)는 상기 자기 저항(102)의 상기 제 1 단자에 접속된 제 2 단자를 구비하며, 상기 제 2 캐스코드 회로(109, 125)는 상기 헤드 판독 증폭기 회로(100)의 상기 제 2 출력 단자(131)에 접속된 제 1 단자를 구비하며, 상기 제 2 캐스코드 회로(109, 125)는 상기 자기 저항(102)의 상기 제 2 단자에 접속된 제 2 단자를 구비하며, 상기 제 1 캐스코드 회로(108, 124)는 한 쌍의 커패시터를 통해 상기 제 2 캐스코드 회로(109, 125)에 교차 결합되며, 상기 차동 피드백 회로(112, 115, 118, 119)는 상기 차동 출력 전압을 증폭하는 이득 증폭단과, 상기 증폭된 차동 출력 전압을 전류 신호로 변환시키는 전압-전류 변환기단과, 상기 전류 신호를 합치기 위한 상기 한쌍의 커패시터를 포함하고, 상기 제 1 공통 모드 피드백 회로(132, 135)는 제 1 공통 모드 증폭기를 포함하고, 상기 제 1 공통 모드 증폭기는 감지 저항을 통해 상기 헤드 판독 증폭기 회로(100)의 상기 출력 단자들 사이에 접속된 제 1 단자와 공통 모드 기준 전압에 접속된 제 2 단자를 구비하며, 상기 제 1 공통 모드 증폭기는 상기 스위칭 로직을 통해 상기 제 1 전류원 트랜지스터의 상기 제 1 단자에 접속된 출력 단자를 구비하며, 상기 제 1 전류원 트랜지스터의 상기 제 1 단자는 상기 제 1 전류원

트랜지스터의 상기 게이트이며, 상기 스위칭 로직(105, 106)이 상기 제 1 상태에 있을 때 상기 스위칭 로직(105, 106)은 상기 공통 모드 증폭기의 상기 출력을 상기 제 1 전류원 트랜지스터의 상기 게이트에 접속하여 상기 제 1 전류원 트랜지스터가 턴 온 되게 하는 쌍극성 헤드 판독 증폭기 회로(100).

도면

도면1



도면2

