

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6092680号
(P6092680)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.	F I				
HO 1 L 27/04	(2006.01)	HO 1 L	29/78	6 5 7 A	
HO 1 L 29/78	(2006.01)	HO 1 L	29/78	6 5 3 C	
HO 1 L 29/12	(2006.01)	HO 1 L	29/78	6 5 2 C	
HO 1 L 21/336	(2006.01)	HO 1 L	29/78	6 5 2 T	
HO 1 L 29/861	(2006.01)	HO 1 L	29/78	6 5 8 A	
請求項の数 10 (全 16 頁) 最終頁に続く					

(21) 出願番号	特願2013-63590 (P2013-63590)	(73) 特許権者	000002037
(22) 出願日	平成25年3月26日(2013.3.26)		新電元工業株式会社
(65) 公開番号	特開2014-192191 (P2014-192191A)		東京都千代田区大手町2丁目2番1号
(43) 公開日	平成26年10月6日(2014.10.6)	(74) 代理人	100104709
審査請求日	平成27年9月2日(2015.9.2)		弁理士 松尾 誠剛
		(72) 発明者	菅井 昭彦
			埼玉県飯能市南町10番13号 新電元工業株式会社工場内
		(72) 発明者	中村 俊一
			埼玉県飯能市南町10番13号 新電元工業株式会社工場内
		(72) 発明者	井上 徹人
			埼玉県飯能市南町10番13号 新電元工業株式会社工場内
最終頁に続く			

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

M O S F E T部と、当該M O S F E T部においてよりも低い電圧でアバランシェブレークダウンを起こす保護ダイオード部とを同一の炭化珪素半導体基板に備える半導体装置であって、

前記M O S F E T部は、第1導電型の低抵抗半導体層、前記低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第1導電型不純物を含有する第1導電型のドリフト層、前記ドリフト層上に位置し前記第1導電型とは反対の第2導電型のボディ層、前記ボディ層を開口し前記ドリフト層に達して形成してなるトレンチ、前記ボディ層内に配置されるとともに少なくとも一部を前記トレンチの内周面に露出させて形成してなる第1導電型のソース領域、前記トレンチの内周面に形成してなるゲート絶縁層、前記ゲート絶縁層の内周面に形成してなるゲート電極層、前記ゲート電極層と絶縁されるとともに前記ソース領域と接して形成してなるソース電極層、及び、隣接する前記トレンチに挟まれた領域において前記ボディ層から前記ドリフト層に向けて張り出すようにして形成された第2導電型の第1張り出し領域を有し、

前記保護ダイオード部は、第1導電型の低抵抗半導体層、前記低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第1導電型不純物を含有する第1導電型のドリフト層、前記ドリフト層上に位置し前記第1導電型とは反対の第2導電型のボディ層、及び、前記ボディ層から前記ドリフト層に向けて張り出すようにして形成された複数の第2導電型の第2張り出し領域を有し、

10

20

隣接する前記第 2 張り出し領域の間隔 L 2 は、隣接する第 1 張り出し領域の間隔 L 1 よりも広いことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第 1 張り出し領域の最深部及び第 2 張り出し領域の最深部は、前記トレンチの最深部よりも深い位置にあることを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置において、

前記第 1 張り出し領域の最深部及び第 2 張り出し領域の最深部は、前記トレンチの最深部よりも $0.5 \mu\text{m} \sim 4.5 \mu\text{m}$ の範囲内にある値だけ深い位置にあることを特徴とする半導体装置。

10

【請求項 4】

請求項 1 ~ 3 のいずれかに記載の半導体装置において、

前記間隔 L 2 は、前記間隔 L 1 の $1.05 \text{倍} \sim 3.0 \text{倍}$ の範囲内にあることを特徴とする半導体装置。

【請求項 5】

請求項 1 ~ 4 のいずれかに記載の半導体装置において、

前記第 2 張り出し領域は、前記第 1 張り出し領域と同一工程で形成されてなることを特徴とする半導体装置。

【請求項 6】

20

請求項 1 に記載の半導体装置を製造するための半導体装置の製造方法であって、

前記第 1 導電型の低抵抗半導体層及び当該低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第 1 導電型不純物を含む第 1 導電型のドリフト層を備える炭化珪素半導体基板を準備する炭化珪素半導体基板準備工程と、

前記ドリフト層の表面における前記第 1 張り出し領域に対応する領域及び前記第 2 張り出し領域に対応する領域にイオン打ち込み法により第 2 導電型不純物を導入するとともに、当該第 2 導電型不純物の活性化アニール処理を行って前記第 1 張り出し領域及び前記第 2 張り出し領域を形成する張り出し領域形成工程と、

前記ドリフト層の表面上に前記第 2 導電型のボディ層をエピタキシャル成長法により形成するボディ層形成工程と、

30

前記ボディ層の表面における前記ソース領域となる領域に第 1 導電型の不純物をイオン打ち込み法によって導入するとともに、当該第 1 導電型不純物の活性化アニール処理を行って前記ソース領域を形成するソース領域形成工程と、

前記ボディ層を開口し前記ドリフト層に達するように前記トレンチを形成するトレンチ形成工程と、

前記トレンチの内周面に前記ゲート絶縁層を形成するゲート絶縁層形成工程と、

前記ゲート絶縁層の内周面に前記ゲート電極層を形成するゲート電極層形成工程と、

前記ゲート電極層を覆うように層間絶縁層を形成する層間絶縁層形成工程と、

前記ボディ層及び前記層間絶縁層を覆うように前記ソース電極層を形成するソース電極層形成工程とを含むことを特徴とする半導体装置の製造方法。

40

【請求項 7】

請求項 1 に記載の半導体装置を製造するための半導体装置の製造方法であって、

前記第 1 導電型の低抵抗半導体層及び当該低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第 1 導電型不純物を含む第 1 導電型のドリフト層を備える炭化珪素半導体基板を準備する炭化珪素半導体基板準備工程と、

前記ドリフト層の表面における前記第 1 張り出し領域に対応する領域及び前記第 2 張り出し領域に対応する領域に第 2 トレンチを形成するとともに、エピタキシャル成長法により前記第 2 トレンチを第 2 導電型の半導体材料で埋めることにより前記第 1 張り出し領域及び前記第 2 張り出し領域を形成する張り出し領域形成工程と、

前記ドリフト層の表面上に前記第 2 導電型のボディ層をエピタキシャル成長法により形

50

成するボディ層形成工程と、

前記ボディ層の表面における前記ソース領域となる領域に第1導電型の不純物をイオン打ち込み法によって導入するとともに、当該第1導電型不純物の活性化アニール処理を行って前記ソース領域を形成するソース領域形成工程と、

前記ボディ層を開口し前記ドリフト層に達するように前記トレンチを形成するトレンチ形成工程と、

前記トレンチの内周面に前記ゲート絶縁層を形成するゲート絶縁層形成工程と、

前記ゲート絶縁層の内周面に前記ゲート電極層を形成するゲート電極層形成工程と、

前記ゲート電極層を覆うように層間絶縁層を形成する層間絶縁層形成工程と、

前記ボディ層及び前記層間絶縁層を覆うように前記ソース電極層を形成するソース電極層形成工程とを含むことを特徴とする半導体装置の製造方法。 10

【請求項8】

請求項7に記載の半導体装置の製造方法において、

前記張り出し領域形成工程においては、前記第1張り出し領域の最深部及び第2張り出し領域の最深部が前記トレンチの最深部よりも深くなるように、前記第1張り出し領域の最深部及び第2張り出し領域を形成することを特徴とする半導体装置の製造方法。

【請求項9】

請求項8に記載の半導体装置の製造方法において、

前記張り出し領域形成工程においては、前記第1張り出し領域の最深部及び第2張り出し領域の最深部が前記トレンチの最深部よりも $0.5\mu\text{m} \sim 3.0\mu\text{m}$ の範囲内にある値だけ深くなるように、前記第1張り出し領域の最深部及び第2張り出し領域を形成することを特徴とする半導体装置の製造方法。 20

【請求項10】

請求項6～9のいずれかに記載の半導体装置の製造方法において、

前記張り出し領域形成工程においては、前記間隔L2が前記間隔L1の1.05倍～3.0倍の範囲内になるように、前記第1張り出し領域の最深部及び第2張り出し領域を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。 30

【背景技術】

【0002】

図10は、従来の半導体装置800の断面図である。図11は、従来の半導体装置800の問題点を説明するために示す図である。図11(a)は従来の半導体装置800の要部断面図であり、図11(b)はその等価回路図である。

従来の半導体装置800は、トレンチゲートパワーMOSFETであって、図10に示すように、 n^+ 型の低抵抗半導体層812、低抵抗半導体層812上に位置する n^- 型のドリフト層814、ドリフト層814上に位置するp型のボディ層816、ボディ層816を開口しドリフト層814に達して形成してなるトレンチ818、ボディ層816内に配置されるとともに少なくとも一部をトレンチ818の内周面に露出させて形成してなる第1導電型のソース領域824、トレンチ818の内周面に形成してなるゲート絶縁層820、ゲート絶縁層820の内周面に形成してなるゲート電極層822、ゲート電極層822と絶縁されるとともにソース領域824と接して形成してなるソース電極層830を有する。なお、符号826は p^+ 型のボディコンタクト領域を示し、符号828は層間絶縁層を示し、符号832はドレイン電極層を示し、符号840はMOSFET部を示す。 40

【0003】

上記のように構成された従来の半導体装置800においては、誘導性負荷でのスイッチング動作オフ時に生じるサージ電圧が半導体装置800の耐圧を超えた場合に、アバランシェブレークダウンを起こし、生成した少数キャリアがボディ層816を経由してソース 50

電極 830 に流れ込む (図 11 (b) 中「 I a v 1 」参照。) 。このとき、ソース領域 824 とボディ層 816 との間に電位差 V_{BE} が発生し、ソース領域 824 とボディ層 816 とドリフト層 814 とからなる寄生バイポーラトランジスタがターンオンし、当該寄生バイポーラトランジスタで増幅された過大電流 (図 11 (b) 中「 I a v 2 」参照。) がドリフト層 814 からソース領域 824 に流れて、当該過大電流による発熱で素子破壊に至る。近年では、セルの微細化が進み、抵抗成分 R_B が大きくなってきていることから、寄生バイポーラトランジスタがターンオンし易くなり、上記の問題がより深刻になってきている。

【 0004 】

従来、上記した問題を解決するために、MOSFET部と、当該MOSFET部においてよりも低い電圧でアバランシェブレイクダウンを起こす保護ダイオード部とを同一の半導体基板に備える半導体装置が知られている (例えば、特許文献 1 参照。) 。図 12 は、従来の半導体装置 900 の断面図である。

10

【 0005 】

従来の半導体装置 900 は、図 12 に示すように、MOSFET部 940 と、MOSFET部 940 においてよりも低い電圧でアバランシェブレイクダウンを起こす保護ダイオード部 950 とを同一の半導体基板 910 に備える。そして、保護ダイオード部 950 においては、ボディ層 916 からドリフト層 914 の深い位置まで達する深い p 型拡散領域 934 が形成されている。

【 0006 】

20

従来のトレンチゲートパワーMOSFET 900 によれば、保護ダイオード部 950 においては、MOSFET部 940 においてよりもドリフト層 914 の厚さが薄くなることから、MOSFET部 940 においてよりも低い電圧でアバランシェブレイクダウンを起こすようになる。その結果、従来のトレンチゲートパワーMOSFET 900 によれば、誘導性負荷でのスイッチング動作オフ時にMOSFET部 940 でアバランシェブレイクダウンを起こさなくなり、アバランシェ耐量を大きくすることが可能となる。

【 先行技術文献 】

【 特許文献 】

【 0007 】

【 特許文献 1 】 特開平 11 - 195788 号

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0008 】

しかしながら、従来のトレンチゲートパワーMOSFET 900 を炭化珪素半導体装置に適用するのは困難である。これは、炭化珪素半導体装置においては、イオン注入等により p 型不純物を深い位置まで導入するのが困難であるからである。なお、上記した事情は、p 型と n 型とを逆にした半導体装置においても同様に存在する。

【 0009 】

そこで、本発明は、上記した問題を解決することを目的とするもので、MOSFET部と、当該MOSFET部においてよりも低い電圧でアバランシェブレイクダウンを起こす保護ダイオード部とを同一の炭化珪素半導体基板に備えるトレンチゲートパワーMOSFETを提供することを目的とする。

40

【 課題を解決するための手段 】

【 0010 】

[1] 本発明の半導体装置は、MOSFET部と、当該MOSFET部においてよりも低い電圧でアバランシェブレイクダウンを起こす保護ダイオード部とを同一の炭化珪素半導体基板に備える半導体装置であって、前記MOSFET部は、第 1 導電型の低抵抗半導体層、前記低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第 1 導電型不純物を含む第 1 導電型のドリフト層、前記ドリフト層上に位置し前記第 1 導電型とは反対の第 2 導電型のボディ層、前記ボディ層を開口し前記ドリフト層に達して形成してなるト

50

レンチ、前記ボディ層内に配置されるとともに少なくとも一部を前記トレンチの内周面に露出させて形成してなる第1導電型のソース領域、前記トレンチの内周面に形成してなるゲート絶縁層、前記ゲート絶縁層の内周面に形成してなるゲート電極層、前記ゲート電極層と絶縁されるとともに前記ソース領域と接して形成してなるソース電極層、及び、隣接する前記トレンチに挟まれた領域において前記ボディ層から前記ドリフト層に向けて張り出すようにして形成された第2導電型の第1張り出し領域を有し、前記保護ダイオード部は、第1導電型の低抵抗半導体層、前記低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第1導電型不純物を含む第1導電型のドリフト層、前記ドリフト層上に位置し前記第1導電型とは反対の第2導電型のボディ層、及び、前記ボディ層から前記ドリフト層に向けて張り出すようにして形成された複数の第2導電型の第2張り出し領域を有し、隣接する前記第2張り出し領域の間隔L2は、隣接する第1張り出し領域の間隔L1よりも広いことを特徴とする。

10

【0011】

[2] 本発明の半導体装置においては、前記第1張り出し領域の最深部及び第2張り出し領域の最深部は、前記トレンチの最深部よりも深い位置にあることが好ましい。

【0012】

[3] 本発明の半導体装置においては、前記第1張り出し領域の最深部及び第2張り出し領域の最深部は、前記トレンチの最深部よりも0.5µm～4.5µmの範囲内にある値だけ深い位置にあることが好ましい。

【0013】

[4] 本発明の半導体装置においては、前記間隔L2は、前記間隔L1の1.05倍～3.0倍の範囲内にあることが好ましい。

20

【0014】

[5] 本発明の半導体装置においては、前記第2張り出し領域は、前記第1張り出し領域と同一工程で形成されてなることが好ましい。

【0015】

[6] 本発明の半導体装置の製造方法は、本発明の半導体装置を製造するための半導体装置の製造方法であって、前記第1導電型の低抵抗半導体層及び当該低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第1導電型不純物を含む第1導電型のドリフト層を備える炭化珪素半導体基板を準備する炭化珪素半導体基板準備工程と、前記ドリフト層の表面における前記第1張り出し領域に対応する領域及び前記第2張り出し領域に対応する領域にイオン打ち込み法により第2導電型不純物を導入するとともに、当該第2導電型不純物の活性化アニール処理を行って前記第1張り出し領域及び前記第2張り出し領域を形成する張り出し領域形成工程と、前記ドリフト層の表面上に前記第2導電型のボディ層をエピタキシャル成長法により形成するボディ層形成工程と、前記ボディ層の表面における前記ソース領域となる領域に第1導電型不純物をイオン打ち込み法によって導入するとともに、当該第1導電型不純物の活性化アニール処理を行って前記ソース領域を形成するソース領域形成工程と、前記ボディ層を開口し前記ドリフト層に達するように前記トレンチを形成するトレンチ形成工程と、前記トレンチの内周面に前記ゲート絶縁層を形成するゲート絶縁層形成工程と、前記ゲート絶縁層の内周面に前記ゲート電極層を形成するゲート電極層形成工程と、前記ゲート電極層を覆うように層間絶縁層を形成する層間絶縁層形成工程と、前記ボディ層及び前記層間絶縁層を覆うように前記ソース電極層を形成するソース電極層形成工程とを含むことを特徴とする。

30

40

【0016】

[7] 本発明の第2の半導体装置の製造方法は、本発明の半導体装置を製造するための半導体装置の製造方法であって、前記第1導電型の低抵抗半導体層及び当該低抵抗半導体層上に位置し前記低抵抗半導体層よりも低濃度の第1導電型不純物を含む第1導電型のドリフト層を備える炭化珪素半導体基板を準備する炭化珪素半導体基板準備工程と、前記ドリフト層の表面における前記第1張り出し領域に対応する領域及び前記第2張り出し領域に対応する領域に第2トレンチを形成するとともに、エピタキシャル成長法により前記

50

第2トレンチを第2導電型の半導体材料で埋めることにより前記第1張り出し領域及び前記第2張り出し領域を形成する張り出し領域形成工程と、前記ドリフト層の表面上に前記第2導電型のボディ層をエピタキシャル成長法により形成するボディ層形成工程と、前記ボディ層の表面における前記ソース領域となる領域に第1導電型不純物をイオン打ち込み法によって導入するとともに、当該第1導電型不純物の活性化アニール処理を行って前記ソース領域を形成するソース領域形成工程と、前記ボディ層を開口し前記ドリフト層に達するように前記トレンチを形成するトレンチ形成工程と、前記トレンチの内周面に前記ゲート絶縁層を形成するゲート絶縁層形成工程と、前記ゲート絶縁層の内周面に前記ゲート電極層を形成するゲート電極層形成工程と、前記ゲート電極層を覆うように層間絶縁層を形成する層間絶縁層形成工程と、前記ボディ層及び前記層間絶縁層を覆うように前記ソース電極層を形成するソース電極層形成工程とを含むことを特徴とする。

10

【0017】

【8】本発明の半導体装置の製造方法においては、前記張り出し領域形成工程において、前記第1張り出し領域の最深部及び第2張り出し領域の最深部が前記トレンチの最深部よりも深くなるように、前記第1張り出し領域の最深部及び第2張り出し領域を形成することが好ましい。

【0018】

【9】本発明の半導体装置の製造方法においては、前記張り出し領域形成工程においては、前記第1張り出し領域の最深部及び第2張り出し領域の最深部が前記トレンチの最深部よりも $0.5\mu\text{m} \sim 4.5\mu\text{m}$ の範囲内にある値だけ深くなるように、前記第1張り出し領域の最深部及び第2張り出し領域を形成することが好ましい。

20

【0019】

【10】本発明の半導体装置の製造方法においては、前記張り出し領域形成工程においては、前記間隔 L_2 が前記間隔 L_1 の $1.05 \sim 3.0$ 倍の範囲内になるように、前記第1張り出し領域の最深部及び第2張り出し領域を形成することが好ましい。

【発明の効果】

【0020】

本発明の半導体装置によれば、後述する図1及び図2に示すように、保護ダイオード部における第2張り出し領域の間隔 L_2 が、MOSFET部における第1張り出し領域の間隔 L_1 よりも広いことから、保護ダイオード部においてはMOSFET部においてよりもドリフト層側へ空乏層が伸び難くなり(すなわち耐圧が低くなり)、MOSFET部においてよりも低い電圧でアバランシェブレイクダウンを起こすようになる。その結果、本発明の半導体装置によれば、誘導性負荷でのスイッチング動作オフ時にMOSFET部でアバランシェブレイクダウンを起こすことがなくなり、アバランシェ耐量を大きくすることが可能となる。

30

【0021】

また、本発明の半導体装置によれば、第2導電型不純物を従来よりも浅い位置まで導入すればよいことから、MOSFET部と、当該MOSFET部においてよりも低い電圧でアバランシェブレイクダウンを起こす保護ダイオード部とを同一の炭化珪素半導体基板に備える本発明の半導体装置を容易に実現することが可能となる。

40

【0022】

また、本発明の半導体装置によれば、隣接するトレンチに挟まれた領域においてボディ層からドリフト層に向けて張り出すようにして形成された第1張り出し領域を有することから、ゲート絶縁層への電界ストレスが緩和され、耐圧を高くすることができるという効果も得られる。

【0023】

本発明の半導体装置の製造方法によれば、上記のように優れた本発明の半導体装置を製造することができる。

【図面の簡単な説明】

【0024】

50

- 【図 1】実施形態 1 に係る半導体装置 100 の断面図である。
 【図 2】実施形態 1 に係る半導体装置 100 の作用効果を説明するために示す図である。
 【図 3】実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
 【図 4】実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
 【図 5】実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
 【図 6】実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
 【図 7】実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
 【図 8】実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。
 【図 9】実施形態 2 に係る半導体装置の製造方法を説明するために示す図である。
 【図 10】従来の半導体装置 800 の断面図である。
 【図 11】従来の半導体装置 800 の問題点を説明するために示す図である。
 【図 12】従来の半導体装置 900 の断面図である。

10

【発明を実施するための形態】

【0025】

以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。

【0026】

[実施形態 1]

1. 実施形態 1 に係る半導体装置

図 1 は、実施形態 1 に係る半導体装置 100 の断面図である。

実施形態 1 に係る半導体装置 100 は、図 1 に示すように、MOSFET 部 40 と、当該 MOSFET 部 40 においてよりも低い電圧でアバランシェブレークダウンを起こす保護ダイオード部 50 とを同一の炭化珪素半導体基板 110 に備える半導体装置 100 である。半導体装置 100 は耐圧 1200V のパワー MOSFET である。

20

【0027】

MOSFET 部 40 は、 n^+ 型の低抵抗半導体層 112、低抵抗半導体層 112 上に位置する n^- 型のドリフト層 114、ドリフト層 114 上に位置する p 型のボディ層 116、ボディ層 116 を開口しドリフト層 114 に達して形成してなるトレンチ 118、ボディ層 116 内に配置されるとともに少なくとも一部をトレンチ 118 の内周面に露出させて形成してなる n^+ 型のソース領域 124、トレンチ 118 の内周面に形成してなるゲート絶縁層 120、ゲート絶縁層 120 の内周面に形成してなるゲート電極層 122、ゲート電極層 122 と絶縁されるとともにソース領域 124 と接して形成してなるソース電極層 130、及び、隣接するトレンチ 118 に挟まれた領域においてボディ層 116 からドリフト層 114 に向けて張り出すようにして形成された p 型の第 1 張り出し領域 134 を有する。なお、符号 126 は p^+ 型のボディコンタクト領域を示し、符号 128 は層間絶縁層を示し、符号 132 はドレイン電極層を示す。

30

【0028】

保護ダイオード部 50 は、 n^+ 型の低抵抗半導体層 112、低抵抗半導体層 112 上に位置する n^- 型のドリフト層 114、ドリフト層 114 上に位置する p 型のボディ層 116、及び、ボディ層 116 からドリフト層 114 に向けて張り出すようにして形成された複数の p 型の第 2 張り出し領域 134a を有する。

40

【0029】

低抵抗半導体層 112 の厚さは例えば $50\ \mu\text{m} \sim 500\ \mu\text{m}$ (例えば $350\ \mu\text{m}$) であり、低抵抗半導体層 112 の不純物濃度は $1 \times 10^{18}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ (例えば $5 \times 10^{18}\ \text{cm}^{-3}$) である。ドリフト層 114 の厚さは $6.0\ \mu\text{m} \sim 50\ \mu\text{m}$ (例えば $15\ \mu\text{m}$) であり、ドリフト層 114 の不純物濃度は $1 \times 10^{14}\ \text{cm}^{-3} \sim 1 \times 10^{17}\ \text{cm}^{-3}$ (例えば $7 \times 10^{15}\ \text{cm}^{-3}$) である。ボディ層 116 の厚さは例えば $1.0\ \mu\text{m} \sim 3.0\ \mu\text{m}$ (例えば $2.0\ \mu\text{m}$) であり、ボディ層 116 の不純物濃度は $1 \times 10^{16}\ \text{cm}^{-3} \sim 2 \times 10^{18}\ \text{cm}^{-3}$ (例えば $2 \times 10^{17}\ \text{cm}^{-3}$) である。

【0030】

50

トレンチ 118 の深さは $1.5 \mu\text{m} \sim 5.0 \mu\text{m}$ (例えば $3.0 \mu\text{m}$) であり、トレンチ 118 のピッチは $3.0 \mu\text{m} \sim 15 \mu\text{m}$ (例えば $5.0 \mu\text{m}$) である。

ゲート絶縁層 120 は、例えば CVD 法により形成された二酸化珪素膜からなり、ゲート絶縁層 120 の厚さは $20 \text{nm} \sim 200 \text{nm}$ (例えば 100nm) である。

ゲート電極層 122 は低抵抗のポリシリコンからなる。

【0031】

ソース領域 124 の深さは $0.2 \mu\text{m} \sim 1.0 \mu\text{m}$ (例えば $0.5 \mu\text{m}$) であり、ソース領域 124 の不純物濃度は $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ (例えば $2 \times 10^{19} \text{cm}^{-3}$) である。

ボディコンタクト領域 126 の深さは $0.2 \mu\text{m} \sim 2.0 \mu\text{m}$ (例えば $0.5 \mu\text{m}$) であり、ボディコンタクト領域 126 の不純物濃度は $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ (例えば $2 \times 10^{19} \text{cm}^{-3}$) である。

層間絶縁層 128 は、例えば CVD 法により形成された二酸化珪素膜からなり、層間絶縁層 128 の厚さは $0.5 \mu\text{m} \sim 3.0 \mu\text{m}$ (例えば $1.0 \mu\text{m}$) である。

【0032】

ソース電極層 130 は例えば下から順に Ni、Ti、Al が積層された積層膜からなり、ソース電極層 130 の厚さは $1.0 \mu\text{m} \sim 10 \mu\text{m}$ (例えば $3.0 \mu\text{m}$) である。

ドレイン電極層 132 は下から順に Ni、Ti、Ag が積層された積層膜からなり、ドレイン電極層 132 の厚さは $0.2 \mu\text{m} \sim 1.5 \mu\text{m}$ (例えば $1.0 \mu\text{m}$) である。

【0033】

このように構成された実施形態 1 に係る半導体装置 100 においては、隣接する第 2 張り出し領域 134 a の間隔 L2 は、隣接する第 1 張り出し領域 134 の間隔 L1 よりも広い。間隔 L2 は、間隔 L1 の 1.05 倍 ~ 3.0 倍の範囲内 (例えば 1.3 倍) にある。具体的には、間隔 L1 は $5.0 \mu\text{m}$ であり、間隔 L2 は $6.5 \mu\text{m}$ である。第 2 張り出し領域 134 a は、第 1 張り出し領域 134 と同一工程で形成されてなる。

【0034】

第 1 張り出し領域 134 の最深部及び第 2 張り出し領域 134 a の最深部は、トレンチ 118 の最深部よりも深い位置にある。第 1 張り出し領域 134 の最深部及び第 2 張り出し領域 134 a の最深部は、トレンチ 118 の最深部よりも $0.5 \mu\text{m} \sim 4.5 \mu\text{m}$ の範囲内にある値 (例えば $3.0 \mu\text{m}$) だけ深い位置にある。なお、トレンチ 118 の最深部は、ボディ層 116 の底面よりも $0.2 \mu\text{m} \sim 2.5 \mu\text{m}$ の範囲内にある値 (例えば $0.5 \mu\text{m}$) だけ深い位置にある。第 1 張り出し領域 134 及び第 2 張り出し領域 134 a の不純物濃度は $1 \times 10^{16} \text{cm}^{-3} \sim 2 \times 10^{18} \text{cm}^{-3}$ (例えば $2 \times 10^{17} \text{cm}^{-3}$) である。

【0035】

2. 実施形態 1 に係る半導体装置の効果

図 2 は、実施形態 1 に係る半導体装置 100 の作用効果を説明するために示す図である。図 2 (a) は実施形態 1 に係る半導体装置 100 に逆バイアス電圧が印加されたときに空乏層が広がる様子を示す図であり、図 2 (b) は比較例に係る半導体装置 100 a に逆バイアス電圧が印加されたときに空乏層が広がる様子を示す図である。比較例に係る半導体装置 100 a においては、「保護ダイオード部 50 における隣接する第 2 張り出し領域 134 a の間隔 L2」を「MOSFET 部 40 における、隣接する第 1 張り出し領域 134 の間隔 L1」と同じ値としたものである。

【0036】

上記のように構成された実施形態 1 に係る半導体装置 100 によれば、比較例に係る半導体装置 100 a の場合と違って、図 2 に示すように、保護ダイオード部 50 における第 2 張り出し領域 134 a の間隔 L2 が、MOSFET 部 40 における第 1 張り出し領域 134 の間隔 L1 よりも広いことから、保護ダイオード部 50 においては、MOSFET 部 40 においてよりもドリフト層 114 側へ空乏層が伸び難くなり (すなわち耐圧が低くなり)、MOSFET 部 40 においてよりも低い電圧でアバランシェブレークダウンを起こ

10

20

30

40

50

すようになる。その結果、本発明の半導体装置 100 によれば、誘導性負荷でのスイッチング動作オフ時に MOSFET 部 40 でアバランシェブレイクダウンを起こすことがなくなり、アバランシェ耐量を大きくすることが可能となる。

【0037】

また、実施形態 1 に係る半導体装置 100 によれば、p 型不純物を従来よりも浅い位置まで導入すればよいことから、MOSFET 部 40 と、当該 MOSFET 部 40 においてよりも低い電圧でアバランシェブレイクダウンを起こす保護ダイオード部 50 とを同一の炭化珪素半導体基板 110 に備える実施形態 1 に係る半導体装置を容易に実現することが可能となる。

【0038】

また、実施形態 1 に係る半導体装置 100 によれば、隣接するトレンチ 118 に挟まれた領域においてボディ層 118 からドリフト層 114 に向けて張り出すようにして形成された第 1 張り出し領域 134 を有することから、ゲート絶縁層 120 への電界ストレスが緩和され、耐圧を高くすることができる。

【0039】

また、実施形態 1 に係る半導体装置 100 によれば、第 1 張り出し領域 134 の最深部及び第 2 張り出し領域 134 a の最深部が、トレンチ 118 の最深部よりも深い位置にあることから、ゲート絶縁層への電界ストレスが緩和され、耐圧を高くすることができる。

【0040】

また、実施形態 1 に係る半導体装置 100 によれば、間隔 L2 が間隔 L1 の 1.05 倍以上であることから、保護ダイオード部 50 の耐圧を MOSFET 部 40 の耐圧よりも確実に（平均値で数十 V 以上）低くすることができる。一方、間隔 L2 が間隔 L1 の 4.5 倍以下であることから、保護ダイオード部の面積を大きくし過ぎることもない。

【0041】

また、実施形態 1 に係る半導体装置 100 によれば、第 2 張り出し領域 134 a が第 1 張り出し領域 134 と同一工程で形成されてなることから、第 1 張り出し領域 134 及び第 2 張り出し領域 134 a を形成することで全体としての製造工程を複雑にすることもない。

【0042】

3. 実施形態 1 に係る半導体装置の製造方法

実施形態 1 に係る半導体装置 100 は、以下に示す製造工程を有する製造方法（実施形態 1 に係る半導体装置の製造方法）により製造することができる。図 3 ~ 図 8 は、実施形態 1 に係る半導体装置の製造方法を説明するために示す図である。図 3 ~ 図 8 は各工程である。

【0043】

(1) 炭化珪素半導体基板準備工程

低抵抗半導体層 112 を構成する 4H - 炭化珪素半導体基板上に、ドリフト層 114 を構成する炭化珪素半導体層をエピタキシャル成長法により成膜させた炭化珪素半導体基板 109 を準備する（図 3 (a) 参照。）。低抵抗半導体層 112 の厚さは例えば $50 \mu\text{m} \sim 500 \mu\text{m}$ （例えば $350 \mu\text{m}$ ）とし、低抵抗半導体層 112 の不純物濃度は $1 \times 10^{18} \text{cm}^{-3} \sim 1 \times 10^{20} \text{cm}^{-3}$ （例えば $5 \times 10^{18} \text{cm}^{-3}$ ）とする。ドリフト層 114 の厚さは $6.0 \mu\text{m} \sim 50 \mu\text{m}$ （例えば $15 \mu\text{m}$ ）とし、ドリフト層 114 の不純物濃度は $1 \times 10^{14} \text{cm}^{-3} \sim 1 \times 10^{17} \text{cm}^{-3}$ （例えば $7 \times 10^{15} \text{cm}^{-3}$ ）とする。

【0044】

(2) 張り出し領域形成工程

その後、第 1 張り出し領域 134 に対応する領域及び第 2 張り出し領域 134 a に対応する領域に開口を有するマスク M1 を形成し、当該マスク M1 を介してイオン打ち込み法によりドリフト層 114 の表面に p 型不純物（例えばアルミニウムイオン）を注入することにより、ドリフト層 114 の表面における第 1 張り出し領域 134 に対応する領域及び

10

20

30

40

50

第2張り出し領域134aに対応する領域にp型不純物を導入する(図3(b)参照。)。その後、マスクM1を除去した後、当該p型不純物の活性化アニール処理を行って第1張り出し領域134及び第2張り出し領域134aを形成する。第1張り出し領域134及び第2張り出し領域134aの不純物濃度はボディ層116と接する部位において $1 \times 10^{16} \text{ cm}^{-3} \sim 2 \times 10^{18} \text{ cm}^{-3}$ (例えば $2 \times 10^{17} \text{ cm}^{-3}$)とする。また、隣接する第1張り出し領域134の間隔L2は例えば $5.0 \mu\text{m}$ とし、隣接する第2張り出し領域の間隔L2は例えば $6.5 \mu\text{m}$ とする。

【0045】

活性化アニール処理は、例えば、炭化珪素半導体基板の表裏面をグラファイト膜で覆った後Arガス雰囲気中で $1650 \sim 1800$ の範囲内にある温度にて行う。なお、本工程のp型不純物の活性化アニール処理は、ともに後述するソース領域及びボディコンタクト領域形成工程におけるn型不純物及びp型不純物の活性化アニール処理と同じ工程で行ってもよい。

【0046】

(3) ボディ層形成工程

その後、ドリフト層114の表面上にp型のボディ層116をエピタキシャル成長法により形成する(図4(a)参照。)。ボディ層116の厚さは例えば $1.0 \mu\text{m} \sim 3.0 \mu\text{m}$ (例えば $2.0 \mu\text{m}$)とし、ボディ層116の不純物濃度は $1 \times 10^{16} \text{ cm}^{-3} \sim 2 \times 10^{18} \text{ cm}^{-3}$ (例えば $2 \times 10^{17} \text{ cm}^{-3}$)とする。これにより、炭化珪素半導体基板109が炭化珪素半導体基板110となる。

【0047】

(4) ソース領域及びボディコンタクト領域形成工程

その後、ソース領域124に対応する領域に開口を有するマスクM2を形成し、当該マスクM2を介してイオン打ち込み法によりボディ層116の表面にn型不純物(例えばリンイオン)を注入することにより、ボディ層116の表面におけるソース領域124となる領域にn型不純物を導入する(図4(b)参照。)

【0048】

その後、マスクM2を除去した後、ボディコンタクト領域126に対応する領域に開口を有するマスクM3を形成し、当該マスクM3を介してイオン打ち込み法によりボディ層116の表面にp型不純物(例えばアルミニウムイオン)を注入することにより、ボディ層116の表面におけるボディコンタクト領域126となる領域にp型不純物を導入する(図5(a)参照。)

【0049】

その後、マスクM3を除去した後、n型不純物及びp型不純物の活性化アニール処理を行ってソース領域124及びボディコンタクト領域126を形成する。活性化アニール処理は、例えば、炭化珪素半導体基板の表裏面をグラファイト膜で覆った後Arガス雰囲気中で $1650 \sim 1800$ の範囲内にある温度にて行う。

【0050】

ソース領域124の深さは $0.2 \mu\text{m} \sim 1.0 \mu\text{m}$ (例えば $0.5 \mu\text{m}$)とし、ソース領域124の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ (例えば $2 \times 10^{19} \text{ cm}^{-3}$)とする。ボディコンタクト領域126の深さは $0.2 \mu\text{m} \sim 2.0 \mu\text{m}$ (例えば $0.5 \mu\text{m}$)とし、ボディコンタクト領域126の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ (例えば $2 \times 10^{19} \text{ cm}^{-3}$)とする。

【0051】

(5) トレンチ形成工程

その後、トレンチ118に対応する領域に開口を有するマスクM4を形成し、当該マスクM4を用いて異方性ドライエッチング法によりボディ層116を開口しドリフト層114に達するようにトレンチ118を形成する(図5(b)参照。)。トレンチ118の深さは $1.5 \mu\text{m} \sim 5.0 \mu\text{m}$ (例えば $3.0 \mu\text{m}$)とし、トレンチ118のピッチは $3.0 \mu\text{m} \sim 15 \mu\text{m}$ (例えば $5.0 \mu\text{m}$)とする。

10

20

30

40

50

【 0 0 5 2 】

(6) ゲート絶縁層形成工程

その後、マスク M 4 を除去した後、例えば C V D 法により、トレンチ 1 1 8 の内周面及びボディ層 1 1 6 の表面に二酸化珪素膜を形成する。この二酸化珪素膜のうちトレンチ 1 1 8 の内周面に位置するものがゲート絶縁層 1 2 0 となる (図 6 (a) 参照。) 。ゲート絶縁層 1 2 0 の厚さは 2 0 n m ~ 2 0 0 n m (例えば 1 0 0 n m) とする。

【 0 0 5 3 】

(7) ゲート電極層形成工程

その後、C V D 法により、ゲート絶縁層 1 2 0 の内周面及びボディ層 1 1 6 の上面に形成された二酸化珪素膜の上面に低抵抗のポリシリコン膜を堆積し (図 6 (b) 参照。) 、その後、所定のドライエッチング法によりポリシリコン膜のエッチバックをすることにより、ゲート絶縁層 1 2 0 の内周面にゲート電極層 1 2 2 を形成する (図 7 (a) 参照。)

10

【 0 0 5 4 】

(8) 層間絶縁層形成工程

その後、例えば C V D 法等により、ゲート電極層 1 2 0 の上面及びボディ層 1 1 6 の上面に形成された二酸化珪素膜の上面に、二酸化珪素膜を堆積するとともに、ゲート電極層 1 2 2 を覆う所定領域にマスク M 5 を形成する。その後、所定のドライエッチング法により二酸化珪素膜をエッチングすることにより、ゲート電極層 1 2 2 を覆う所定領域に層間絶縁層 1 2 8 を形成する (図 7 (b) 及び図 8 (a) 参照。) 。層間絶縁層 1 2 8 の厚さは 0 . 5 μ m ~ 3 . 0 μ m (例えば 1 . 0 μ m) とする。

20

【 0 0 5 5 】

(9) ソース電極層及びドレイン電極層形成工程

その後、マスク M 5 を除去した後、ソース領域 1 2 4 、ボディコンタクト領域 1 2 6 及び層間絶縁層 1 2 8 を覆うように例えば N i 層及び T i 層を順次形成した後 1 0 0 0 の熱処理を行ってソース電極層 1 3 0 の下層を形成する。その後、低抵抗半導体層 1 1 2 の表面に例えば N i 及び T i 層を順次形成した後 1 0 0 0 の熱処理を行ってドレイン電極層 1 3 2 の下層を形成する。その後、ソース電極層 1 3 0 の下層上に A l 層を形成することによりソース電極層 1 3 0 を形成する。また、ドレイン層 1 3 2 の下層上に T i 層、N i 層及び A g 層を順次形成することによりドレイン電極層 1 3 2 を形成する (図 8 (b) 参照。) 。ソース電極層 1 3 0 の厚さは 1 . 0 μ m ~ 1 0 μ m (例えば 3 . 0 μ m) とし、ドレイン電極層 1 3 2 の厚さは 0 . 2 μ m ~ 1 . 5 μ m (例えば 1 . 0 μ m) とする。

30

【 0 0 5 6 】

以上の工程を実施することにより、実施形態 1 に係る半導体装置 1 0 0 を製造することができる。

【 0 0 5 7 】

[実施形態 2]

実施形態 2 に係る半導体装置の製造方法は、基本的には実施形態 1 に係る半導体装置の製造方法と同様の工程を含むが、張り出し領域形成工程の内容が実施形態 1 に係る半導体装置の製造方法の場合とは異なる。そこで、張り出し領域形成工程を中心として実施形態 2 に係る半導体装置の製造方法を説明する。

40

【 0 0 5 8 】

図 9 は、実施形態 2 に係る半導体装置の製造方法を説明するために示す図である。

実施形態 2 に係る半導体装置の製造方法においては、張り出し領域形成工程を以下のように行う。

【 0 0 5 9 】

まず、実施形態 1 に係る半導体装置の製造方法の場合と同様に、炭化珪素半導体基板 1 1 0 を準備する。

【 0 0 6 0 】

その後、第 1 張り出し領域 1 3 4 に対応する領域及び第 2 張り出し領域 1 3 4 a に対応

50

する領域に開口を有するマスクM6を形成し、当該マスクM6を用いてドリフト層114の表面をエッチングすることにより、ドリフト層114の表面における第1張り出し領域に対応する領域及び前記第2張り出し領域に対応する領域に第2トレンチを形成する(図9(a)参照。)。その後、マスク6を除去した後、エピタキシャル成長法により第2トレンチをp型半導体材料で埋めることにより第1張り出し領域134及び第2張り出し領域134aを形成する(図9(b)参照。)

【0061】

その後、実施形態1に係る半導体装置の製造方法の場合と同様に、ボディ層形成工程、ソース領域形成工程、ボディコンタクト領域形成工程、トレンチ形成工程、ゲート絶縁層形成工程、ゲート電極層形成工程、層間絶縁層形成工程並びにソース電極層及びドレイン電極層形成工程を実施することにより、実施形態1に係る半導体装置100と同様の構造を有する半導体装置(図示せず。)を製造することができる。

10

【0062】

以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

【0063】

(1)上記各実施形態においては、n型を第1導電型としp型を第2導電型として本発明を説明したが、本発明はこれに限定されるものではない。例えば、p型を第1導電型としn型を第2導電型としても本発明を適用可能である。

20

【符号の説明】

【0064】

40, 940...MOSFET部、50, 950...保護ダイオード部、100, 800, 900...半導体装置、110...炭化珪素半導体基板、112, 812, 912...低抵抗半導体層、114, 814, 914...ドリフト層、116, 816, 916...ボディ層、118, 818, 918...トレンチ、120, 820, 920...ゲート絶縁層、122, 822, 922...ゲート電極層、124, 824, 924...ソース領域、126, 926, 926...ボディコンタクト領域、128, 828, 928...層間絶縁層、130, 830, 930...ソース電極層、132, 832, 932...ドレイン電極層、134...第1張り出し領域、134a...第2張り出し領域、810, 910...半導体基板、L1...隣接する第1張り出し領域134の間隔、L2...隣接する第2張り出し領域134aの間隔、M1, M2, M3, M4, M5, M6...マスク

30

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/868 (2006.01) H 0 1 L 29/78 6 5 8 E
H 0 1 L 29/91 C

(72)発明者 仙田 悟
埼玉県飯能市南町10番13号 新電元工業株式会社工場内

審査官 早川 朋一

(56)参考文献 特開平11-195788(JP,A)
特開2005-197439(JP,A)
特開昭62-123771(JP,A)
特開2010-258386(JP,A)
国際公開第2012/165329(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 8 6 1 - 2 9 / 8 8 5
H 0 1 L 2 1 / 3 2 9
H 0 1 L 2 7 / 0 4