



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I618075 B

(45) 公告日：中華民國 107 (2018) 年 03 月 11 日

(21) 申請案號：102137104

(22) 申請日：中華民國 102 (2013) 年 10 月 15 日

(51) Int. Cl. : G11C16/30 (2006.01)

(30) 優先權：2012/11/06 日本 2012-244560

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：青木健 AOKI, TAKESHI (JP) ; 池田隆之 IKEDA, TAKAYUKI (JP) ; 黒川義元
KUROKAWA, YOSHIYUKI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

US	4802128	US	6175533B1
US	7019999B1	US	7088607B2
US	2012/0230086A1		

審查人員：劉耀允

申請專利範圍項數：18 項 圖式數：10 共 93 頁

(54) 名稱

半導體裝置及其驅動方法

SEMICONDUCTOR DEVICE AND DRIVING METHOD THEREOF

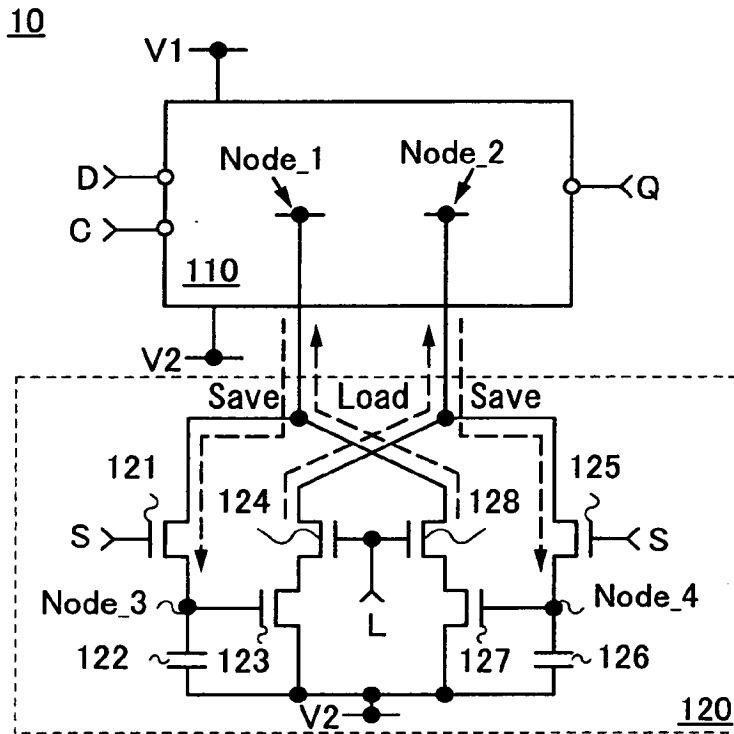
(57) 摘要

提供一種半導體裝置及其驅動方法，其中該半導體裝置可以降低耗電量，還可以抑制由於停止或再次開始供應電源電壓而導致的工作延遲。對應於在持續供應電源電壓的期間中保持的資料的電位在停止供應電源電壓之前保存於連接有電容器的節點中。並且，由於將該節點用作閘極的電晶體的通道電阻變化，因此藉由再次開始供應電源電壓載入資料。

To provide a semiconductor device in which power consumption can be reduced and operation delay due to a stop and a restart of supply of power supply voltage can be suppressed and a driving method thereof. A potential corresponding to data held in a period during which power supply voltage is continuously supplied is saved to a node connected to a capacitor before the supply of power supply voltage is stopped. By utilizing change of channel resistance of a transistor whose gate is the node, data is loaded when the supply of power supply voltage is restarted.

指定代表圖：

圖 1



符號簡單說明：

Node_1 . . . 節點

Node_2 . . . 節點

Node_3 . . . 節點

Node_4 . . . 節點

10 . . . 半導體裝置

110 . . . 記憶體電路部分

120 . . . 記憶體電路部分

121 . . . 電晶體

122 . . . 電容器

123 . . . 電晶體

124 . . . 電晶體

125 . . . 電晶體

126 . . . 電容器

127 . . . 電晶體

128 . . . 電晶體

V1、V2 . . . 電位

D . . . 資料信號

C . . . 時脈信號

Q . . . 輸出信號

L . . . 位準

Save . . . 控制信號

Load . . . 控制信號

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其驅動方法

Semiconductor device and driving method thereof

【技術領域】

[0001] 本發明係關於一種半導體裝置以及其驅動方法。尤其，本發明係關於一種適當地停止供應電源電壓的半導體裝置以及其驅動方法。

[0002] 另外，在本說明書中，半導體裝置是指包括半導體元件的裝置或包括半導體元件的電路。

【先前技術】

[0003] 可編程邏輯裝置 (PLD: Programmable Logic Device) 以及中央處理器 (CPU: Central Processing Unit) 等半導體裝置根據其用途具有各種各樣的結構。半導體裝置一般包括記憶體裝置，PLD 包括有暫存器及組態記憶體，而 CPU 包括有暫存器及快取記憶體。

[0004] 與主要使用 DRAM 的主記憶體相比，這種記憶體裝置需要高速地進行資料的寫入和讀出等工作。因此，在很多情況下，正反器被使用作為暫存器，且靜態隨機存取記憶體 (SRAM) 被使用作為組態記憶體及快取記憶體。

[0005] SRAM 雖然藉由電晶體的微小化而達成高速工作，但具有如下問題：由於微小化而使漏電流明顯增加，導致耗電量增大的問題。因此，爲了降低耗電量，已嘗試了例如在不進行資料的輸入及輸出的期間中，停止向半導體裝置供應電源電壓。

[0006] 但是，作爲暫存器使用的正反器以及作爲快取記憶體使用的 SRAM 爲揮發性記憶體裝置。因此，在停止向半導體裝置供應電源電壓的情況下，在再次開始電源電壓的供應之後需要在暫存器及快取記憶體等揮發性的記憶體裝置中恢復已消失的資料。

[0007] 因此，開發了在揮發性記憶體裝置的周圍配置非揮發性記憶體裝置的半導體裝置。例如，在專利文獻 1 中，公開了如下技術：在停止供應電源電壓之前，將保持在正反器等中的資料儲存於鐵電記憶體中，並在再次開始供應電源電壓之後將儲存於鐵電記憶體中的資料恢復到正反器等中。

[0008] [專利文獻 1]日本公開專利申請案 H10-078836

【發明內容】

[0009] 本發明的一實施例的目的是提供一種新穎的半導體裝置以及其驅動方法。

[0010] 明確而言，本發明的一實施例的目的是提供一種能夠降低耗電量的半導體裝置以及其驅動方法。本發明的一實施例的另一目的是提供一種能夠抑制由於停止及

再次開始供應電源電壓而導致的工作延遲的半導體裝置以及其驅動方法。

[0011] 在本發明的一個方式中，將對應於在持續供應電源電壓的期間中保持的資料的電位在停止供應電源電壓之前保存於電容器所連接的節點中。並且藉由該節點用作閘極的電晶體的通道電阻變化，資料根據再次開始供應電源電壓而載入。

[0012] 本發明的一個實施例是一種半導體裝置，包括：第一記憶體電路部分以及第二記憶體電路部分。該第一記憶體電路部分包括：保持第一電位和第二電位中的一者的第一節點；以及保持第一電位和第二電位中的另一者的第二節點。該第二記憶體電路部分包括：第一電晶體，其中閘極電連接於被供應第一控制信號的佈線，源極和汲極中的一者電連接於第一節點，源極和汲極中的另一者電連接於第三節點；第一電容器，其中電極的一者電連接於第三節點，電極的另一者電連接於被供應第二電位的佈線；第二電晶體，其中閘極電連接於第三節點，源極和汲極中的一者電連接於被供應第二電位的佈線；以及第三電晶體，其中閘極電連接於被供應第二控制信號的佈線，源極和汲極中的一者電連接於第二電晶體的源極和汲極中的另一者，源極和汲極中的另一者電連接於第二節點。第一電晶體包括具有氧化物半導體的半導體膜。

[0013] 本發明的一個實施例是一種半導體裝置，包括：第一記憶體電路部分以及第二記憶體電路部分。該第

一記憶體電路部分包括：保持第一電位和第二電位中的一者的第一節點；以及保持第一電位和第二電位中的另一者的第二節點。該第二記憶體電路部分包括：第一反相器電路，其中輸入端子電連接於第一節點；第一電晶體，其中閘極電連接於被供應第一控制信號的佈線，源極和汲極中的一者電連接於第一反相器電路的輸出端子，源極和汲極中的另一者電連接於第三節點；第一電容器，其中電極的一者電連接於第三節點，電極的另一者電連接於被供應第二電位的佈線；第二電晶體，其中閘極電連接於第三節點，源極和汲極中的一者電連接於被供應第二電位的佈線；以及第三電晶體，其中閘極電連接於被供應第二控制信號的佈線，源極和汲極中的一者電連接於第二電晶體的源極和汲極中的另一者，源極和汲極中的另一者電連接於第一節點。第一電晶體包括具有氧化物半導體的半導體膜。

[0014] 本發明的一個實施例是一種半導體裝置，包括：第一記憶體電路部分以及第二記憶體電路部分。該第一記憶體電路部分包括：保持第一電位和第二電位中的一者的第一節點；以及保持第一電位和第二電位中的另一者的第二節點。該第二記憶體電路部分包括：第一電晶體，其中閘極電連接於被供應第一控制信號的佈線，源極和汲極中的一者電連接於第一節點，源極和汲極中的另一者電連接於第三節點；第一電容器，其中電極的一者電連接於第三節點，電極的另一者電連接於被供應第二電位的佈

線；第二電晶體，其中閘極電連接於第三節點，源極和汲極中的一者電連接於被供應第二電位的佈線；第三電晶體，其中閘極電連接於被供應第二控制信號的佈線，源極和汲極中的一者電連接於第二電晶體的源極和汲極中的另一者，源極和汲極中的另一者電連接於第二節點；第四電晶體，其中閘極電連接於被供應第一控制信號的佈線，源極和汲極中的一者電連接於第二節點，源極和汲極中的另一者電連接於第四節點；第二電容器，其中一者的電極電連接於第四節點，另一者的電極電連接於被供應第二電位的佈線；第五電晶體，其中閘極電連接於第四節點，源極和汲極中的一者電連接於被供應第二電位的佈線；以及第六電晶體，其中閘極電連接於被供應第二控制信號的佈線，源極和汲極中的一者電連接於第五電晶體的源極和汲極中的另一者，源極和汲極中的另一者電連接於第一節點。第一電晶體及第四電晶體包括具有氧化物半導體的半導體膜。

[0015] 本發明的一個實施例是一種半導體裝置，包括：第一記憶體電路部分以及第二記憶體電路部分。該第一記憶體電路部分包括：保持第一電位和第二電位中的一者的第一節點；以及保持第一電位和第二電位中的另一者的第二節點。該第二記憶體電路部分包括：第一反相器電路，其中輸入端子電連接於第一節點；第一電晶體，其中閘極電連接於被供應第一控制信號的佈線，源極和汲極中的一者電連接於第一反相器電路的輸出端子，源極和汲極

中的另一者電連接於第三節點；第一電容器，其中一者的電極電連接於第三節點，另一者的電極電連接於被供應第二電位的佈線；第二電晶體，其中閘極電連接於第三節點，源極和汲極中的一者電連接於被供應第二電位的佈線；第三電晶體，其中閘極電連接於被供應第二控制信號的佈線，源極和汲極中的一者電連接於第二電晶體的源極和汲極中的另一者，源極和汲極中的另一者電連接於第一節點；第二反相器電路，其中輸入端子電連接於第二節點；第四電晶體，其中閘極電連接於被供應第一控制信號的佈線，源極和汲極中的一者電連接於第二反相器電路的輸出端子，源極和汲極中的另一者電連接於第四節點；第二電容器，其中一者的電極電連接於第四節點，另一者的電極電連接於被供應第二電位的佈線；第五電晶體，其中閘極電連接於第四節點，源極和汲極中的一者電連接於被供應第二電位的佈線；以及第六電晶體，其中閘極電連接於被供應第二控制信號的佈線，源極和汲極中的一者電連接於第五電晶體的源極和汲極中的另一者，源極和汲極中的另一者電連接於第二節點。第一電晶體及第四電晶體包括具有氧化物半導體的半導體膜。

[0016] 在本發明的一個實施例中，半導體裝置較佳為如下半導體裝置：在持續供應電源電壓的期間中，第一記憶體電路部分將第一電位和第二電位中的一方保持於第一節點中，並且將第一電位和第二電位中的另一方保持於第二節點中，而在停止供應電源電壓的期間中，第二記憶

體電路部分將第一節點中的第一電位和第二電位中的一方保持於第三節點中，並且將第二節點中的第一電位和第二電位中的另一方保持於第四節點中的半導體裝置。

[0017] 在本發明的一個實施例中，半導體裝置較佳為如下半導體裝置：第一控制信號為用來切換第一節點與第三節點之間的電性導通/非導通且用來切換第二節點與第四節點之間的電性導通/非導通的信號，並且，第二控制信號為用來切換第二節點與第二電晶體的源極和汲極中的另一方之間的電性導通/非導通且用來切換第一節點與第五電晶體的源極和汲極中的另一方之間的電性導通/非導通的信號的半導體裝置。

[0018] 在本發明的一個實施例中，半導體裝置較佳為如下半導體裝置：第一控制信號為用來切換第一節點與第三節點之間的電性導通/非導通且用來切換第二節點與第四節點之間的電性導通/非導通的信號，並且，第二控制信號為用來切換第一節點與第二電晶體的源極和汲極中的另一方之間的電性導通/非導通且用來切換第二節點與第五電晶體的源極和汲極中的另一方之間的電性導通/非導通的信號的半導體裝置。

[0019] 一種用以驅動半導體裝置的方法，較佳為包括如下步驟：藉由第一控制信號將在第一節點及第二節點中保持的電位保持於第三節點及第四節點中的第一步驟；停止供應電源電壓的第二步驟；再次開始供應電源電壓的第三步驟；以及藉由第二控制信號，將第一節點及第二節

點中的電位根據保持於第三節點及第四節點中的電位恢復為第一步驟的狀態的第四步驟。

[0020] 在本發明的一個實施例的半導體裝置中，藉由適當地停止供應電源電壓，能夠降低耗電量。此外，藉由在停止供應電源電壓之前保存資料且在再次開始供應電源電壓之後載入該資料，能夠抑制工作延遲。

【圖式簡單說明】

[0021]

在圖式中：

圖 1 是半導體裝置的電路圖；

圖 2A 及圖 2B 是半導體裝置的電路圖及時序圖；

圖 3 是半導體裝置的電路圖；

圖 4 是說明半導體裝置的具體例子的方塊圖；

圖 5 是說明半導體裝置的具體例子的方塊圖；

圖 6 是說明半導體裝置的具體例子的方塊圖；

圖 7 是說明半導體裝置的具體例子的方塊圖；

圖 8A 至圖 8F 各顯示出電子裝置的例子；

圖 9A 及圖 9B 各顯示半導體裝置的具體例子的電路圖；

圖 10 是說明半導體裝置的結構的例子的圖。

【實施方式】

[0022] 以下將參照圖式說明實施方式。但是，所屬

技術領域的普通技術人員可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的精神及其範圍。因此，本發明不應該被解釋為僅限定於以下的實施方式所記載的內容中。

[0023] 另外，在圖式中，有時對大小、層的厚度和/或區域進行誇張的描述以便於清楚地說明。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

[0024] 此外，在本說明書等中，電晶體是指至少包括閘極、汲極以及源極的三個端子的元件。在汲極（汲極端子、汲極區或汲極電極）與源極（源極端子、源極區或源極電極）之間具有通道區，並能夠藉由汲極、通道區以及源極使電流流過。

[0025] 在此，因為源極和汲極根據電晶體的結構或工作條件等而改變，因此很難限定哪個是源極哪個是汲極。因此，有時將用作源極的部分或用作汲極的部分不稱為源極或汲極，而將源極和汲極中的一方稱為第一電極並將源極和汲極中的另一方稱為第二電極。

[0026] 注意，本說明書所使用的“第一”、“第二”、“第三”等序數詞是為避免構成要素的混同而使用，而不是為在數目方面進行限定。

[0027] 注意，在本說明書中，“使 A 與 B 連接”的描述除了使 A 與 B 直接連接的情況以外，還包括使 A 與 B 電連接的情況。在此，“使 A 與 B 電連接”的描述是指當在 A 與 B 之間存在具有某種電作用的目標物時，能夠進行 A 和 B 的電信號的傳送與接收。

[0028] 注意，在本說明書中，爲了方便起見，使用“上”“下”等的表示配置的詞句以參照圖式說明結構的位置關係。另外，結構的位置關係根據描述各結構的方向適當地改變。因此，根據情況可以適當地換詞句而不侷限於本說明書中所說明的詞句。

[0029] 另外，圖式中的方塊圖的各電路方塊的配置是爲了說明而特定位置關係的，雖然其示出爲使用不同的電路方塊使不同的功能實現，但是有時在實際上的電路或區域中，將其設置爲有可能在相同的電路或相同的區域中使不同的功能實現。此外，圖式中的方塊圖的各電路方塊的功能是爲了說明而特定功能的，雖然其示出爲一個電路方塊，但是有時在實際上的電路或區域中，設置爲一個電路方塊進行的處理由多個電路方塊進行。

[0030]

實施方式 1

以下面的順序參照圖式進行本實施方式的說明。

1.半導體裝置的電路圖

1-1.半導體裝置的元件連接關係

1-2.氧化物半導體的電晶體特徵

2.半導體裝置的操作

3.半導體裝置的變形例子

4.半導體裝置的應用例子

4-1.在 PLD 中應用於正反器的例子

4-1-1.PLD 及 LE 的結構例子

4-1-2.組態記憶體的结构例子

4-2.在 CPU 中應用於暫存器的例子

5.半導體裝置的結構例子

6.在本說明書中公開的半導體裝置的應用及效果

[0031]

〈 1.半導體裝置的電路圖 〉

首先，說明半導體裝置的電路圖。

[0032]

[1-1.半導體裝置的電路圖中的連接關係]

圖 1 所示的電路圖是根據本發明的一個實施方式的半導體裝置的電路圖。圖 1 所示的半導體裝置 10 可以大致分為記憶體電路部分 110（也稱為第一記憶體電路部分）和記憶體電路部分 120（也稱為第二記憶體電路部分）。

[0033] 圖 1 所示的記憶體電路部分 110 為可以在持續供應電源電壓的期間中保持對應於資料的電位的電路部分。

[0034] 記憶體電路部分 110 包括節點 Node_1、節點 Node_2，該節點 Node_1、該節點 Node_2 可以在持續供應電源電壓的期間中保持對應於 1 或 0 的電位作為資料。電

位 V_1 及電位 V_2 ($V_1 > V_2$) 供應到記憶體電路部分 110 中。電位 V_1 及電位 V_2 作為記憶體電路部分 110 的電源電壓供應到記憶體電路部分 110 中。

[0035] 注意，作為一個例子，電位 V_1 為高電源電位 V_{DD} ，電位 V_2 為低電源電位 V_{SS} 。另外，電位 V_2 可以為接地電位 GND 。

[0036] 注意，假設如下情況：在節點 $Node_1$ 、節點 $Node_2$ 中保持資料“1”是指對應於節點 $Node_1$ 、節點 $Node_2$ 的電位為電位 V_1 的情況；在節點 $Node_1$ 、節點 $Node_2$ 中保持資料“0”是指對應於節點 $Node_1$ 、節點 $Node_2$ 的電位為電位 V_2 的情況。另外，如上所述，電位 V_1 比電位 V_2 高。因此，有時將根據電位 V_1 保持在節點 $Node_1$ 、節點 $Node_2$ 中的電位稱為“H 位準”的電位，將根據電位 V_2 保持在節點 $Node_1$ 、節點 $Node_2$ 中的電位稱為“L 位準”的電位。

[0037] 另外，保持在節點 $Node_1$ 中的電位和保持在節點 $Node_2$ 中的電位彼此反相。即，在節點 $Node_1$ 中保持 H 位準和 L 位準中的一者的電位，在節點 $Node_2$ 中保持 H 位準和 L 位準中的另一者的電位。

[0038] H 位準及 L 位準的電位在持續供應電源電壓的期間中根據輸入到記憶體電路部分 110 的資料信號 D 、時脈信號 C 而變化。在持續供應電源電壓的期間中，將保持在節點 $Node_1$ 、節點 $Node_2$ 中的電位作為輸出信號 Q 而輸出。

[0039] 另外，除了資料信號 D、時脈信號 C 之外反相時脈信號 CB 和/或重設信號等也可以輸入到記憶體電路部分 110。此外，被輸入的時脈信號可以為相位彼此不同的多個時脈信號。

[0040] 記憶體電路部分 110 包括揮發性的暫存器、正反器或門鎖電路，即可。在使用暫存器的情況下，記憶體電路部分 110 根據應用的資料種類可以使用 D 型暫存器、T 型暫存器、JK 型暫存器或 RS 型暫存器中的任一種。

[0041] 保持於節點 Node_1、節點 Node_2 中的電位在停止供應電源電壓之前保存於記憶體電路部分 120 中（圖中的虛線箭頭 Save）。保存於記憶體電路部分 120 中的電位在再次開始供應電源電壓之後載入到記憶體電路部分 110 中。另外，保持於記憶體電路部分 110 的節點 Node_1、節點 Node_2 中的電位在停止供應電源電壓的同時消失。

[0042] 「電源電壓至半導體裝置 10 之供應停止」或「供應電源電壓至半導體裝置 10 被停止」是指藉由將被供應電位 V1 的佈線的電位從電位 V1 切換為電位 V2，將電位 V1 與電位 V2 間的電位差（V1-V2）切換為 0。此外，「電源電壓至半導體裝置 10 之供應停止」或「供應電源電壓至半導體裝置 10 被停止」也可以是指在被供應電位 V1 的佈線與記憶體電路部分 110 之間設置開關，並且將該開關從打開狀態切換為關閉狀態。

[0043] 「供應電源電壓至半導體裝置 10 之再次開始」或「供應電源電壓至半導體裝置 10 被再次開始」是指藉由將被供應電位 V_1 的佈線的電位從電位 V_2 切換為電位 V_1 ，將電位 V_1 與電位 V_2 間的電位差 (V_1-V_2) 從 0 切換為超過 0 的值。此外，「供應電源電壓至半導體裝置 10 之再次開始」或「供應電源電壓至半導體裝置 10 被再次開始」也可以是指在被供應電位 V_1 的佈線與記憶體電路部分 110 之間設置開關，並且將該開關從關閉狀態切換為開啓狀態。

[0044] 「持續供應電源電壓至半導體裝置 10」是指藉由將被供應電位 V_1 的佈線的電位保持為電位 V_1 ，持續施加電位 V_1 與電位 V_2 間的電位差 (V_1-V_2) 成為超過 0 的值的電位 V_1 。此外，「持續供應電源電壓至半導體裝置 10」也可以是指在被供應電位 V_1 的佈線與記憶體電路部分 110 之間設置開關，並且使該開關一直處於開啓狀態。

[0045] 圖 1 中的記憶體電路部分 120 為可以在停止供應電源電壓的期間中保持對應於資料的電位。

[0046] 記憶體電路部分 120 包括：電晶體 121（也稱為第一電晶體）；電容器 122（也稱為第一電容器）；電晶體 123（也稱為第二電晶體）；電晶體 124（也稱為第三電晶體）；電晶體 125（也稱為第四電晶體）；電容器 126（也稱為第二電容器）；電晶體 127（也稱為第五電晶體）；以及電晶體 128（也稱為第六電晶體）。此外，

記憶體電路部分 120 包括節點 Node_3、節點 Node_4，該節點 Node_3、該節點 Node_4 可以至少在停止供應電源電壓的期間中保持對應於 1 或 0 的電位作為資料。

[0047] 節點 Node_3 至少在停止供應電源電壓的期間中保持節點 Node_1 的 H 位準和 L 位準中的一者的電位。節點 Node_4 至少在停止供應電源電壓的期間中保持節點 Node_2 的 H 位準和 L 位準中的另一者的電位。

[0048] 在電晶體 121 中，閘極連接於被供應控制信號 Save（圖中，以 S 表示）的佈線，電晶體 121 的源極和汲極中的一者連接於節點 Node_1，電晶體 121 的源極和汲極中的另一者連接於節點 Node_3。另外，作為一個例子，說明電晶體 121 為 n 通道型電晶體的情況。

[0049] 電容器 122 的電極之一者連接於節點 Node_3，電容器 122 的電極之另一者連接於被供應電位 V2 的佈線。當電晶體 123 具有高閘極電容或類此者時，可以省略電容器 122。

[0050] 電晶體 123 的閘極連接於節點 Node_3。電晶體 123 的源極和汲極中的一者連接於被供應電位 V2 的佈線。另外，作為一個例子，說明電晶體 123 為 n 通道型電晶體的情況。

[0051] 電晶體 124 的閘極連接於被輸入控制信號 Load（圖中以 L 表示）的佈線。電晶體 124 的源極和汲極中的一者連接於電晶體 123 的源極和汲極中的另一者。電晶體 124 的源極和汲極中的另一者連接於節點 Node_2。

另外，作為一個例子，說明電晶體 124 為 n 通道型電晶體的情況。

[0052] 電晶體 125 的閘極連接於被輸入控制信號 *Save* 的佈線。電晶體 125 的源極和汲極中的一者連接於節點 *Node_2*，電晶體 125 的源極和汲極中的另一者連接於節點 *Node_4*。另外，作為一個例子，說明電晶體 125 為 n 通道型電晶體的情況。

[0053] 在電容器 126 的電極的一者連接於節點 *Node_4*。電容器 126 的電極的另一者連接於被供應電位 *V2* 的佈線。當電晶體 127 的閘極電容增加時，可以省略電容器 126。

[0054] 電晶體 127 的閘極連接於節點 *Node_4*。電晶體 127 的源極和汲極中的一者連接於被供應電位 *V2* 的佈線。另外，作為一個例子，說明電晶體 127 為 n 通道型電晶體的情況。

[0055] 電晶體 128 的閘極連接於被輸入控制信號 *Load* 的佈線。電晶體 128 的源極和汲極中的一者連接於電晶體 127 的源極和汲極中的另一者。電晶體 128 的源極和汲極中的另一者連接於節點 *Node_1*。另外，作為一個例子，說明電晶體 128 為 n 通道型電晶體的情況。

[0056] 控制信號 *Save* 為用來切換節點 *Node_1* 與節點 *Node_3* 之間的導通與非導通的信號。另外，控制信號 *Save* 為用來切換節點 *Node_2* 與節點 *Node_4* 之間的導通與非導通的信號。在圖 1 的電路結構中，當控制信號

Save 為 H 位準時，節點 Node_1 與節點 Node_3 之間的通道、以及節點 Node_2 與節點 Node_4 之間的通道成為導通，當控制信號 Save 為 L 位準時，其成為非導通。

[0057] 當控制信號 Save 被切換為 H 位準時，記憶體電路部分 110 的節點 Node_1 及節點 Node_2 的資料可以保持於節點 Node_3 及節點 Node_4 中。當控制信號 Save 被切換為 L 位準時，節點 Node_3 及節點 Node_4 可以繼續保持作為電位被保持的資料。

[0058] 控制信號 Load 為用來切換節點 Node_2 與電晶體 123 的源極和汲極中的另一者之間的導通與非導通的信號。另控制信號 Load 也為用來切換節點 Node_1 與電晶體 127 的源極和汲極中的另一者之間的導通與非導通的信號。在圖 1 的電路結構中，當控制信號 Load 為 H 位準時，節點 Node_2 與電晶體 123 的源極和汲極中的另一者之間、以及節點 Node_1 與電晶體 127 的源極和汲極中的另一者之間成為導通，當控制信號 Load 為 L 位準時，其成為非導通。

[0059] 在停止供應電源電壓的期間中，作為電位保存於記憶體電路部分 120 的節點 Node_3 及節點 Node_4 中的資料可以在再次開始供應電源電壓之後藉由控制信號 Load 的控制載入到記憶體電路部分 110 的節點 Node_1 及節點 Node_2 中（圖中的虛線箭頭 Load）。

[0060] 為了舉個具體例子說明，假設如下情況：例如在停止供應電源電壓之前，將保持在節點 Node_1 中的

對應於電位 V_1 的資料“1”保存在節點 Node_3 中，將保持在節點 Node_2 中的對應於電位 V_2 的資料“0”保存在節點 Node_4 中的情況。另外，當停止供應電源電壓時，節點 Node_3 的電位保持為 V_1 ，節點 Node_4 的電位保持為 V_2 ，而節點 Node_1 及節點 Node_2 的電位成為不定值。

[0061] 在此，由於電晶體 123 的閘極的電位 (V_1) 比電晶體 127 的閘極的電位 (V_2) 高，所以電晶體 123 的通道電阻比電晶體 127 的通道電阻低。因此，藉由設定控制信號 Load 為 H 位準而使電晶體 124 及電晶體 128 處於導通狀態的情況下，連接於節點 Node_2 的電晶體 124 的源極和汲極中的另一者的電位比連接於節點 Node_1 的電晶體 128 的源極和汲極中的另一者的電位低。在記憶體電路部分 110 中，電晶體 124 及電晶體 128 處於導通狀態，因此，在節點 Node_1 與節點 Node_2 之間產生電位差。

[0062] 由於該電位差，因此可以在再次開始向記憶體電路部分 110 供應電源電壓之後，節點 Node_2 與節點 Node_1 可分別保持電位 V_2 及電位 V_1 。對應於該電位的資料與如下資料一致：當將資料保存於記憶體電路部分 120 的節點 Node_3 及節點 Node_4 中時，換言之，即將停止供應電源電壓之前的記憶體電路部分 110 的節點 Node_1 及節點 Node_2 中的資料。

[0063] 如上所述，在本實施方式中的記憶體電路部分 120 可以保持記憶體電路部分 110 的節點 Node_1 及節點 Node_2 中的資料作為保持於節點 Node_3 及節點

Node_4 中的電位。由於保持於節點 Node_3 及節點 Node_4 中的電位的電位差影響電晶體 123 及電晶體 127 的通道電阻之差，因此可以在記憶體電路部分 110 的節點 Node_1 與節點 Node_2 之間產生電位差。然後，藉由再次開始向記憶體電路部分 110 供應電源電壓，可以將資料載入到記憶體電路部分 110 中。

[0064] 在本實施方式的結構中，控制信號 Save 的 H 位準的電位為比電晶體 121 或電晶體 125 的臨界電壓高的電位。控制信號 Save 的 L 位準的電位為比電晶體 121 或電晶體 125 的臨界電壓低的電位。例如，將控制信號 Save 的 H 位準的電位可為電位 V1，L 位準的電位可為電位 V2。此外，在該結構中，將如下電位作為資料保持於節點 Node_3 及節點 Node_4 中：比保持於節點 Node_1 及節點 Node_2 中的電位 V1 及電位 V2 低出電晶體 121 或電晶體 125 的臨界電壓的電位。因此，預計該低出臨界電壓的電位而將控制信號 Save 的 H 位準的電位設定為比電位 V1 高的電位也是有效的。

[0065] 如上所述，本實施方式的半導體裝置利用節點 Node_3 及節點 Node_4 的電位差而將資料載入到記憶體電路部分 110 中。因此，當節點 Node_3 和節點 Node_4 中的一方的電位相對高時，則可以在記憶體電路部分 120 中保持資料。因此，即使將低出電晶體 121 或電晶體 125 的臨界電壓的電位保持於節點 Node_3 或節點 Node_4 中，也可以將資料載入到記憶體電路部分 110 中。

[0066] 此外，在本實施方式的結構中，即使保持於節點 Node_3 及節點 Node_4 中的電荷隨時間的經過而減少，也可以擴大正常地進行保持資料後的工作的允許範圍。例如，在節點 Node_3 中保持有電位 $V1$ ，節點 Node_4 中保持有電位 $V2$ 的情況下，如果電荷隨時間的經過減少而兩者的節點的電位降低 ΔV ，節點 Node_3 具有電位 $(V1 - \Delta V)$ 。另外，在電位 $V2$ 為接地電位 GND 的情況下，節點 Node_4 具有電位 $V2$ ，在電位 $V2$ 比接地電位 GND 小的情況下，節點 Node_4 具有電位 $(V2 + \Delta V)$ 。在此情況下也在本實施方式的結構中，只要節點 Node_3 和節點 Node_4 中的一方保持相對高的電位，則可以正常地進行保持資料後的工作。因此，容易延長記憶體電路部分 120 中的資料保持時間。

[0067] 如上所述，在本實施方式的半導體裝置中，由於節點 Node_3 和節點 Node_4 中的任一者的電位為相對高的電位即可，所以可以不必要採取預先提高控制信號 Save 的 H 位準的電位。因此，可以減少在向半導體裝置供應電源電壓的電源電路中產生的電壓位準的數目，從而可以進行使控制信號 Save 的振幅變小的驅動。

[0068] 電晶體 121 及電晶體 125 各為包括氧化物半導體的電晶體。供應電荷至節點 Node_3 及節點 Node_4 的路徑只有經由包括氧化物半導體的電晶體的源極以及汲極的路徑。在此，該電晶體的截止電流 (off-state current) 的值極低。因此，在該電晶體處於關閉狀態的期

間中，可以將節點 Node_3 及節點 Node_4 的電位保持為大致恆定。因此，資料可以保持在節點 Node_3 及節點 Node_4 而不管是否電源電壓被供應。即，保持在記憶體電路部分 110 的節點 Node_1 及節點 Node_2 中的資料可以保存至節點 Node_3 及節點 Node_4 中。

[0069] 電晶體 123、電晶體 124、電晶體 127 以及電晶體 128 可以使用各種半導體材料構成。例如，可以使用矽或鍺等材料。另外，也可以使用化合物半導體或氧化物半導體。作為電晶體 123、電晶體 124、電晶體 127 以及電晶體 128，較佳為使用移動率高的電晶體（例如，通道由單晶矽構成的電晶體等）。

[0070] 在本實施方式所說明的半導體裝置中，藉由記憶體電路部分 110 和記憶體電路部分 120 進行資料的保存及載入，可以適當地停止供應電源電壓。因此，可以降低功率消耗。

[0071] 另外，在本實施方式所說明的半導體裝置中，可以藉由開啓或關閉電晶體來控制保存於記憶體電路部分 110 和 120 的資料。因此，與將資料保存於外部的記憶體電路部分中的情形相比，工作延遲小。此外，可以採用如下結構：在停止供應電源電壓之前進行資料的保存，而在持續供應電源電壓的期間中，在記憶體電路部分 110 中進行資料的保持的結構。因此，在持續供應電源電壓的期間中，可以高速地進行資料的保持，從而可以抑制工作延遲。

In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比例沒有限制。In-Ga-Zn 類氧化物也可以包含 In、Ga、Zn 以外的金屬元素。

[0077] 將上述的氧化物半導體用於半導體層的電晶體為 n 通道型電晶體。另外，氧化物半導體中的氧缺陷有時生成載子，有可能使電晶體的電特性及可靠性降低。例如，有可能使電晶體的臨界電壓在負方向漂移而導致閘極電壓為 0V 時汲極電流通。將這種當閘極電壓為 0V 時汲極電流通的情況稱為正常開啓（normally-on）電晶體。另外，將閘極電壓為 0V 時沒有汲極電流通的電晶體稱為正常關閉（normally-off）電晶體。

[0078] 因此，當使用氧化物半導體膜時，較佳為盡可能地減少氧化物半導體膜中的缺陷，典型為氧缺陷。例如，較佳為將利用對膜表面施加平行方向的磁場的電子自旋共振法測得的 g 值=1.93 的自旋密度（相當於氧化物半導體膜中的缺陷密度）降低到小於或等於測量儀器的檢測下限。藉由盡可能地減少以氧缺陷為代表的氧化物半導體膜中的缺陷，可以抑制電晶體的正常開啓特性，由此可以提高電晶體的電特性及可靠性。

[0079] 除了氧缺陷之外，氧化物半導體膜中的氫（包括水等氫化合物）也使電晶體的臨界電壓向負方向移動。氧化物半導體膜中的氫與接合於金屬原子的氧發生反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成缺陷（也稱為氧缺陷）。另外，氫的一部分與

氧發生反應生成為載子的電子。因此，具有含有氫的氧化物半導體膜的電晶體容易具有正常開啓特性。

[0080] 因此，較佳為儘量降低電晶體的氧化物半導體膜中的氫。明確而言，在氧化物半導體膜中，使利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的氫濃度低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，較佳為低於或等於 $1 \times 10^{18} \text{atoms/cm}^3$ ，更佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，進一步較佳為低於或等於 $1 \times 10^{16} \text{atoms/cm}^3$ 。

[0081] 另外，在氧化物半導體膜中，使利用二次離子質譜分析法測得的鹼金屬或鹼土金屬的濃度為低於或等於 $1 \times 10^{18} \text{atoms/cm}^3$ ，較佳為低於或等於 $2 \times 10^{16} \text{atoms/cm}^3$ 。有時當鹼金屬及鹼土金屬與氧化物半導體接合時生成載子而使電晶體的截止電流增加。

[0082] 另外，當氧化物半導體中含有氮時生成作為載子的電子，載子密度增加而容易 n 型化。其結果，使用具有含有氮的氧化物半導體膜的電晶體容易具有正常開啓特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮，例如，較佳為使氮濃度為低於或等於 $5 \times 10^{18} \text{atoms/cm}^3$ 。

[0083] 另外，當氧化物半導體膜中含有矽及碳等第 14 族元素時生成作為載子的電子，載子密度增加而氧化物半導體膜容易 n 型化。因此，在包括有氧化物半導體膜的電晶體中，藉由二次離子質譜分析法測得的矽濃度為低於或等於 $3 \times 10^{18} \text{atoms/cm}^3$ ，較佳為低於或等於 3×10^{17}

atoms/cm³。在介面處，藉由二次離子質譜分析法測得的碳濃度為低於或等於 3×10^{18} atoms/cm³，較佳為低於或等於 3×10^{17} atoms/cm³。

[0084] 因此，藉由使用儘量地減少雜質（如氫、氮、矽、碳、鹼金屬與鹼土金屬等）而被高度純化的氧化物半導體膜，可以抑制電晶體變為正常開啓，由此可以使電晶體的截止電流降至極低。另外，被高度純化的氧化物半導體可以說是本質半導體或實質上本質半導體。

[0085] 此外，電晶體為增強型電晶體，氧化物半導體膜為沒有進行添加雜質處理等意圖增加載子密度且使導電率增高的氧化物半導體膜，因此氧化物半導體膜的載子密度為低於或等於 $1 \times 10^{17}/\text{cm}^3$ 、低於或等於 $1 \times 10^{16}/\text{cm}^3$ 、低於或等於 $1 \times 10^{15}/\text{cm}^3$ 、低於或等於 $1 \times 10^{14}/\text{cm}^3$ 或低於或等於 $1 \times 10^{13}/\text{cm}^3$ 。

[0086] 注意，可以利用各種實驗證明包括被高度純化的氧化物半導體膜的電晶體的低截止電流。例如，即便是具有通道寬度為 $1 \times 10^6 \mu\text{m}$ 及通道長度 L 為 $10 \mu\text{m}$ 的元件，當源極電極與汲極電極間的電壓（汲極電壓）為 1V 至 10V 的範圍內，截止電流可以低於或等於半導體參數分析儀的測量極限，即低於或等於 $1 \times 10^{-13} \text{A}$ 。在此情況下，可知：相當於截止電流除以電晶體的通道寬度的數值的截止電流為低於或等於 $100 \text{zA}/\mu\text{m}$ 。另外，利用如下電路測量截止電流，該電路中儲存電容與電晶體彼此連接並且該電晶體控制流入到儲存電容的電荷或從儲存電容流出的電

荷。在此測量中，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據儲存電容的單位時間的電荷量推移測量該電晶體的截止電流。從其結果可知：當電晶體的源極電極與汲極電極之間的電壓為 3V 時，可以獲得幾十 $\text{yA}/\mu\text{m}$ 的更低的截止電流。由此，包括被高度純化的氧化物半導體膜的電晶體具有相當低的截止電流。

[0087] 如上所述，藉由作為用來保持記憶體電路部分 120 所具有的節點 Node_3 及節點 Node_4 的電位的電晶體 121 及電晶體 125 使用將氧化物半導體用於半導體層的電晶體，該電晶體具有低截止電流的特徵。藉由使用低截止電流的電晶體，即便長時間保持資料，起因於截止電流的對應於資料的電位的變化也小。

[0088]

〈 2. 半導體裝置的操作 〉

下面，參照圖 2A 及圖 2B 說明半導體裝置的操作的例子。

[0089] 圖 2A 是半導體裝置 20 的電路圖，其中為了說明具體操作的例子，使用記憶體電路部分 200 代替圖 1 的記憶體電路部分 110。

[0090] 記憶體電路部分 200 包括節點 Node_1、節點 Node_2，該節點 Node_1、該節點 Node_2 可以在持續供應電源電壓的期間中保持對應於 1 或 0 的電位作為資料。電位 V1 及電位 V2 ($V1 > V2$) 被供應到記憶體電路部分 200。電位 V1 及電位 V2 作為記憶體電路部分 200 的電源

電壓供應到記憶體電路部分 200 中。

[0091] 作為一個例子，記憶體電路部分 200 包括反相器電路 201、反相器電路 202、開關 203、反相器電路 204 以及開關 205。

[0092] 作為一個例子，對記憶體電路部分 200 中輸入資料信號 D、時脈信號 C 以及反轉時脈信號 CB，並且輸出輸出信號 Q。

[0093] 反相器電路 201 之輸入端子連接於節點 Node_1，反相器電路 201 之輸出端子連接於節點 Node_2。

[0094] 反相器電路 202 之輸入端子連接於節點 Node_2，反相器電路 202 之輸出端子連接於開關 205 的端子的一者。開關 205 的端子的另一者連接於節點 Node_1。開關 205 的開啓/關閉由反轉時脈信號 CB 來控制。

[0095] 開關 203 的端子的一者連接於輸入資料信號 D 的佈線，開關 203 的端子的另一者連接於節點 Node_1。開關 203 的開啓/關閉由時脈信號 C 來控制。

[0096] 反相器電路 204 的輸入端子連接於節點 Node_2，反相器電路 204 的輸出端子連接於輸入輸出信號 Q 的佈線。

[0097] 作為一個例子，開關 203 及開關 205 各自可為類比開關。或者，開關 203 及開關 205 各自也可為電晶體。

[0098] 另外，雖然分別設置反相器電路 201 及開關 205，但也可以使用一個時脈反相器代替這些電路。

[0099] 電位 V1 及電位 V2 作為電源電壓供應到反相器電路 201、202、204。在反相器電路 201、202、204 中，當電位 V1 施加到輸入端子時，將電位 V2 輸出到輸出端子，當電位 V2 施加到輸入端子時，將電位 V1 輸出到輸出端子。

[0100] 此外，關於圖 2A 所示的記憶體電路部分 120，因為與圖 1 類似，所以省略其說明。

[0101] 接下來，圖 2B 示出圖 2A 所示的半導體裝置 20 的時序圖。

[0102] 在圖 2B 所示的時序圖中，為了說明而將被供應電位 V1 的佈線的電位表示為 V1。並且，藉由停止向半導體裝置 20 供應電源電壓，將電位 V1 從 H 位準切換為 L 位準。另外，藉由再次開始向半導體裝置 20 供應電源電壓，將電位 V1 從 L 位準切換為 H 位準。

[0103] 在圖 2B 所示的時序圖中，C 表示被供應時脈信號的佈線的電位。CB 表示被供應反轉時脈信號的佈線的電位。D 表示被供應資料信號的佈線的電位。Q 表示被供應輸出信號的佈線的電位。S 表示被供應控制信號 Save 的佈線的電位。L 表示被供應控制信號 Load 的佈線的電位。另外，如上所述，V1 表示被供應電位 V1 的佈線的電位。Node_3 表示節點 Node_3 的電位。Node_4 表示節點 Node_4 的電位。

[0104] 在圖 2B 所示的時序圖中，期間 P1 至期間 P4 表示半導體裝置 20 的狀態。期間 P1 為正常工作期間，期間 P2 為停止工作之前的過渡期間，期間 P3 為停止工作期間，期間 P4 為再次開始工作之前的過渡期間。

[0105] 在圖 2B 所示的時序圖中，時刻 T1 至時刻 T14 是爲了說明期間 P1 至期間 P4 中的工作的時序而附記的。

[0106] 在期間 P1 的正常工作期間中，時脈信號供應到佈線 C，反轉時脈信號供應到佈線 CB。另外，L 位準的信號供應到佈線 S 及佈線 L。此時，記憶體電路部分 200 可以作爲正常的暫存器或正反器操作。即，當佈線 C 的信號從 L 位準成爲 H 位準時，佈線 Q 的電位爲與此時的佈線 D 同樣的電位。另外，由於實際上會發生信號延遲，因此佈線 Q 的電位在佈線 C 的信號從 L 位準成爲 H 位準之後會改變。

[0107] 在停止工作之前的過渡期間的期間 P2 中，不改變佈線 C 及佈線 CB 的信號電位。即，將佈線 C 的信號固定爲 L 位準的信號，將佈線 CB 的信號固定爲 H 位準的信號。在時刻 T6 與時刻 T7 之間向佈線 S 供應 H 位準的信號，進行保持於記憶體電路部分 200 的節點 Node_1 及節點 Node_2 中的資料的保存。作爲一個例子，圖 2B 示出 H 位準的電位保持於節點 Node_3 中，L 位準的電位保持於節點 Node_4 中的結構。

[0108] 在停止工作之前的過渡期間的期間 P2 中，在

時刻 T8 使佈線 V1 成爲 L 位準。即，停止向半導體裝置 20 供應電源電壓。此時，向佈線 D 及佈線 Q 之各者供應 L 位準的信號。另外，在時刻 T8 也向佈線 C 及佈線 CB 供應 L 位準的信號。

[0109] 在停止工作期間的期間 P3 中，藉由在停止供應電源電壓的情況下向佈線 C、佈線 CB、佈線 D 以及佈線 Q 供應 L 位準的信號，將半導體裝置 20 的功率消耗大致設定爲 0。另外，由於幾乎無電流流過，因此節點 Node_3 及節點 Node_4 的電位保持爲固定值。

[0110] 在再次開始工作之前的過渡期間的期間 P4 中，將各佈線的電位依次恢復爲正常工作期間的最後的電位，即時刻 T5 的電位。首先，在時刻 T9 使佈線 C 及佈線 CB 的電位設定爲時刻 T5 的電位。在此，向佈線 C 供應 L 位準的信號，向佈線 CB 供應 H 位準的信號。接著，在時刻 T10 向佈線 L 供應 H 位準的信號。接著，在時刻 T11 將 H 位準的信號輸入至佈線 V1，以再次開始供應電源電壓。此時，由於電晶體 123 和電晶體 127 的通道電阻不同，所以節點 Node_3 及節點 Node_4 的電位載入到記憶體電路部分 200 中，記憶體電路部分 200 的資料恢復爲時刻 T5 的資料。即，向佈線 Q 輸入 H 位準的信號。在此，藉由在佈線 L 的控制信號 L 爲 H 位準的情況下將佈線 V1 設定爲 H 位準，可以容易載入資料。

[0111] 接著，從時刻 T13 起再次開始向佈線 C 及佈線 CB 供應時脈信號及反轉時脈信號。並且，在時刻 T12

之後，可以在與時刻 T5 相同的狀態下再次開始下一個工作。

[0112] 藉由採用如上所述的結構，能夠提供一種可以容易達成停止及再次開始供應電源電壓的半導體裝置。

[0113] 在本實施方式所說明的半導體裝置的上述工作中，藉由進行資料的保存及載入於記憶體電路部分 200 和記憶體電路部分 120 中，可以適當地停止供應電源電壓。因此，可以降低功率消耗。

[0114] 另外，在本實施方式所說明的半導體裝置中，可以採用如下結構：記憶體電路部分 200 和記憶體電路部分 120 進行的資料的保存可藉由開啓及關閉電晶體而控制。因此，與將資料保存於外部的記憶體電路部分中的結構相比，該結構的工作延遲小。此外，可以採用如下結構：在停止供應電源電壓之前進行資料的保存，而在持續供應電源電壓的期間中，在記憶體電路部分 200 中進行資料的保持。因此，在持續供應電源電壓的期間中，可以高速地進行資料的保持，從而可以抑制工作延遲。

[0115]

〈 3. 半導體裝置的電路圖的變形例子 〉

接下來，說明上述半導體裝置的變形例子。

[0116] 關於圖 3 所示的半導體裝置 30 中的記憶體電路部分 110，因為與圖 1 的說明類似，所以省略其說明。

[0117] 圖 3 是半導體裝置 30 的電路圖，其中使用記憶體電路部分 220 代替圖 1 的半導體裝置 10 中的記憶體

電路部分 120。

[0118] 圖 3 所示的記憶體電路部分 220 為可以在停止供應電源電壓的期間中保持對應於資料的電位的電路部分。

[0119] 記憶體電路部分 220 包括：電晶體 221（也稱為第一電晶體）；電容器 222（也稱為第一電容器）；電晶體 223（也稱為第二電晶體）；電晶體 224（也稱為第三電晶體）；電晶體 225（也稱為第四電晶體）；電容器 226（也稱為第二電容器）；電晶體 227（也稱為第五電晶體）；電晶體 228（也稱為第六電晶體）；反相器電路 229（也稱為第一反相器電路）；以及反相器電路 230（也稱為第二反相器電路）。此外，記憶體電路部分 220 包括節點 Node_3、節點 Node_4，該節點 Node_3、該節點 Node_4 可以至少在停止供應電源電壓的期間中保持對應於 1 或 0 的電位作為資料。

[0120] 由於節點 Node_3、節點 Node_4 的說明與圖 1 的說明類似，因此省略其說明。

[0121] 圖 3 所示的記憶體電路部分 220 與圖 1 所示的記憶體電路部分 120 的不同之處如下：在節點 Node_1 與電晶體 221 之間包括反相器電路 229；在節點 Node_2 與電晶體 225 之間包括反相器電路 230；電晶體 224 的源極和汲極中的另一者連接於節點 Node_1；電晶體 228 的源極和汲極中的另一者連接於節點 Node_2。即，在圖 3 中，由於增加了反相器電路 229 及反相器電路 230，因此

介於記憶體電路部分 220 與節點 Node_1 及節點 Node_2 間的連接關係產生變化。

[0122] 另外，由於電晶體 221、電容器 222、電晶體 223、電晶體 224、電晶體 225、電容器 226、電晶體 227 以及電晶體 228 中的各結構的說明與圖 1 中的電晶體 121、電容器 122、電晶體 123、電晶體 124、電晶體 125、電容器 126、電晶體 127 以及電晶體 128 的說明類似，因此省略其說明。

[0123] 另外，由於控制信號 Save 及控制信號 Load 的說明與圖 1 的說明類似，因此省略其說明。

[0124] 在圖 3 所示的半導體裝置 30 中，藉由增加反相器電路 229 及反相器電路 230，雖然構成半導體裝置的電晶體的數量增加，但可減少誤動作。

[0125] 明確而言，在圖 1 的結構中，當將控制信號 Save 設定為 H 位準而使電晶體 121 及電晶體 125 處於導通狀態時，有可能藉由電荷從節點 Node_3 及節點 Node_4 中移動到節點 Node_1 及節點 Node_2 中，反而發生改寫節點 Node_1 及節點 Node_2 中的資料等的誤動作。尤其在爲了提高資料的保持特性而增大電容器 122 及電容器 126 的電容量時容易發生該誤動作。

[0126] 另一方面，在圖 3 所示的結構中，由於沒有電荷從節點 Node_3 及節點 Node_4 中直接移動到節點 Node_1 及節點 Node_2 中的路徑，所以不會發生改寫節點 Node_1 及節點 Node_2 中的資料等的誤動作。因此，即使

爲了提高資料的保持特性而增大電容器 222 及電容器 226 的電容量，也具有可減少該誤動作等的效果。

[0127] 由於能夠估計到圖 3 所示的結構具有可減少該誤動作等的效果，因此構成記憶體電路部分 110 的電路的設計自由度增加，從而可以提高半導體裝置的可靠性。

[0128]

〈4.半導體裝置的應用例子〉

接下來，舉出具體例子說明半導體裝置的應用例子。

[0129]

[4-1.在 PLD 中應用於正反器的例子]

[0130]

[4-1-1.PLD 及 LE 的結構的例子]

圖 4 示出 PLD 所具有的邏輯陣列的方塊圖的一個例子。邏輯陣列 300 具有多個陣列狀排列的 LE301。在此，「陣列狀排列」是指邏輯元件行列狀、週期性地排列，其排列方式不侷限於圖 4 的排列方式。

[0131] 此外，以圍繞 LE301 的方式形成有多個佈線。在圖 4 中，上述佈線由多個水平佈線群 303 及多個垂直佈線群 304 構成。佈線群是指多個佈線。水平佈線群 303 與垂直佈線群 304 相交的部分設置開關部分 302。另外，水平佈線群 303 及垂直佈線群 304 與輸入/輸出端子 305 連接，由此進行邏輯陣列 300 與外部電路之間的信號收發。

[0132] 多個 LE301 的輸入/輸出端子分別連接於設置

在 LE301 周圍的水平佈線群 303 和垂直佈線群 304。例如，在圖 4 中，LE301 的輸入/輸出端子在上下左右側與水平佈線群 303 和垂直佈線群 304 連接。藉由使用該輸入/輸出端子，LE301 之各者可以連接至另一 LE301。藉由設置於開關部分 302 中的用來切換佈線間的連接的開關來決定任一個 LE301 與其他 LE301 的連接路徑。

[0133] 在開關部分 302 中，切換佈線間的連接的開關的開啓/關閉係根據儲存組態資料的組態記憶體而決定。當設置於開關部分 302 中的組態記憶體採用可重寫的結構時，爲了防止由於停止供應電源電壓而使儲存的組態資料消失，較佳爲採用包括非揮發性記憶元件的結構。

[0134] 圖 5 是圖 4 所示的 LE301 的方塊圖。作爲一個例子，圖 5 所示的 LE301 包括查找表（以下表示爲 LUT）311、正反器 312 及多工器 313。另外，在圖 5 中，與 LUT311 及多工器 313 分別連接組態記憶體 314、315。

[0135] 另外，當組態記憶體 314、315 採用可重寫的結構時，爲了防止由於停止供應電源電壓而使儲存的組態資料消失，較佳爲採用包括非揮發性記憶元件的結構。

[0136] 此外，作爲一個例子，組態資料是指 LUT311 的資料、多工器 313 的輸入信號的選擇資訊、在開關部分 302 的開啓狀態或關閉狀態的資料。另外，組態記憶體是指儲存組態資料的記憶元件。

[0137] LUT311 所決定的邏輯電路根據儲存於組態記憶體 314 中的組態資料的內容而變化。並且，當確定組態

資料時，在 LUT311 中，決定對於供應到輸入端子 316 的多個輸入信號的輸入值的輸出值之一。然後，從 LUT311 輸出包括上述輸出值的信號。

[0138] 正反器 312 保持從 LUT311 輸出的信號，並且，將對應於該信號的輸出信號與時脈信號 C 同步輸出到多工器 313 中。

[0139] 來自 LUT311 的輸出信號和來自正反器 312 的輸出信號輸入到多工器 313 中。並且，多工器 313 具有根據保持於組態記憶體 315 中的組態資料而輸出上述兩種輸出信號中的任一種信號的功能。來自多工器 313 的輸出信號從輸出端子 317 輸出。

[0140] 在本發明的一個實施方式中，藉由將上述實施方式所示的半導體裝置用於電路中暫時儲存資料的電路諸如正反器 312 等，可以防止由於停止供應電源電壓而使正反器內的資料消失。另外，可以在短時間內保存在停止供應電源電壓之前保持的資料，並且，還可以在再次開始供應電源電壓之後在短時間內載入上述資料。因此，在包括於 PLD 的多個邏輯元件中可以停止供應電源電壓，從而可以抑制 PLD 的功率消耗。

[0141]

[4-1-2.組態記憶體的結構的例子]

在此，圖 9A 示出設置於開關部分 302 中的可以作為組態記憶體使用的非揮發性記憶元件的一個例子。圖 9A 所示的非揮發性記憶元件為藉由使用包括氧化物半導體的

電晶體形成組態記憶體的結構。在用於組態記憶體的非揮發性記憶元件中，藉由採用利用包括氧化物半導體的電晶體的低截止電流的特性而進行資料的保持的結構，組態記憶體可以藉由電晶體的製程且例如層疊電晶體等而製造，該結構在低成本化上為高度有利的。

[0142] 作為一個例子，圖 9A 示出設置於開關部分 302 中的組態記憶體 500。組態記憶體 500 根據保持於節點 mem 中的組態資料而控制端子 S1 與端子 S2 間的連接。

[0143] 圖 9A 所示的組態記憶體 500 包括電晶體 511、電晶體 512、電晶體 513 及電容器 514。

[0144] 作為一個例子，圖 9B 示出可以控制 LUT311 及多工器 313 的組態記憶體 520。組態記憶體 520 根據保持於節點 mem1 及 mem2 中的組態資料而控制輸出端子 OUT 的信號。電位 VH 及電位 VL 分別為用來控制 LUT311 或多工器 313 的信號。

[0145] 圖 9B 所示的組態記憶體 520 包括電晶體 531、電晶體 532、電晶體 533、電容器 534、電晶體 535、電晶體 536、電晶體 537 以及電容器 538。

[0146] 對於電晶體 511、電晶體 531 及電晶體 535 之各者，使用能帶隙比矽寬且本質載子密度比矽低的半導體材料。將氧化物半導體用於電晶體的通道形成區。另一方面，作為電晶體 512、電晶體 513、電晶體 532、電晶體 533、電晶體 536 以及電晶體 537，較佳為使用如下電晶

體：將半導體材料如矽等用於通道形成區，與電晶體 511、電晶體 531 以及電晶體 535 之各者相比能夠高速地進行操作。

[0147] 另外，在圖式中，爲了表示電晶體 511、電晶體 531 以及電晶體 535 是包括氧化物半導體於通道形成區中的電晶體，對電晶體 511、電晶體 531 以及電晶體 535 附上 OS 的符號。

[0148] 參照圖 9A 詳細地說明組態記憶體 500。如圖 9A 所示，電晶體 511 的閘極連接於第一字線 502。電晶體 511 的源極和汲極中的一者連接於資料線 501。電晶體 511 的源極和汲極中的另一者連接於電晶體 512 的閘極以及電容器 514。電晶體 512 的源極和汲極中的一者連接於端子 S1。電晶體 512 的源極和汲極中的另一者連接於電晶體 513 的源極和汲極中的一者。電晶體 513 的閘極連接於第二字線 503。電晶體 513 的源極和汲極中的另一者連接於端子 S2。

[0149] 在圖 9A 所示的組態記憶體 500 中，將對應於 H 位準或 L 位準的電位保持於節點 mem 中作爲組態資料。藉由使用截止電流極低的電晶體作爲電晶體 511，可以將組態資料儲存於節點 mem 中。在組態記憶體 500 中，根據組態資料的電位而控制電晶體 512 的開啓狀態與關閉狀態。並且，以使電晶體 513 處於導通狀態的定時可以控制端子 S1 與端子 S2 之間的開啓狀態與關閉狀態。

[0150] 接下來，參照圖 9B 詳細地說明組態記憶體

520。如圖 9B 所示，電晶體 531 的閘極連接於第一字線 542。另外，電晶體 531 的源極和汲極中的一者連接於資料線 541。電晶體 531 的源極和汲極中的另一者連接於電晶體 532 的閘極以及電容器 534。電晶體 532 的源極和汲極中的一者連接於被供應電位 V_H 的佈線。電晶體 532 的源極和汲極中的另一者連接於電晶體 533 的源極和汲極中的一者。電晶體 533 的閘極連接於第二字線 543。電晶體 533 的源極和汲極中的另一者連接於輸出端子 OUT。電晶體 535 的閘極連接於第一字線 542。電晶體 535 的源極和汲極中的一者藉由反相器電路 540 連接於資料線 541。電晶體 535 的源極和汲極中的另一者連接於電晶體 536 的閘極以及電容器 538。電晶體 536 的源極和汲極中的一者連接於被供應電位 V_L 的佈線。電晶體 536 的源極和汲極中的另一者連接於電晶體 537 的源極和汲極中的一者。電晶體 537 的閘極連接於第二字線 543。電晶體 537 的源極和汲極中的另一者連接於輸出端子 OUT。

[0151] 在圖 9B 所示的組態記憶體 520 中，在節點 mem1 及 mem2 中保持 H 位準及 L 位準的組合或對應於 L 位準及 H 位準的組合的電位作為組態資料。藉由使用截止電流極低的電晶體作為電晶體 531 及 535 之各者，可以將組態資料儲存於節點 mem1 及 mem2 中。在組態記憶體 520 中，根據組態資料的電位而控制電晶體 532 及 536 之各者的開啓狀態及關閉狀態。並且，以使電晶體 533、537 處於導通狀態的定時可以將從輸出端子 OUT 輸出的信

號設定為電位 VH 或電位 VL。

[0152]

[4-2.在 CPU 中應用於暫存器的例子]

圖 6 示出 CPU 的方塊圖的一個例子。

[0153] 作為一個例子，CPU400 包括程式計數器 411、指令暫存器 412、指令解碼器 413、通用暫存器 414 以及算術邏輯單元 415 (ALU: Arithmetic logic unit)。用來與 CPU400 進行資料的輸入/輸出的主記憶體裝置 401 設置於 CPU400 的外部。

[0154] 程式計數器 411 是儲存讀出 (取出) 的指令 (命令) 的位址的暫存器。指令暫存器 412 是暫時儲存從主記憶體裝置 401 傳送到指令解碼器 413 的資料的暫存器。指令解碼器 413 是對輸入的資料進行解碼，並且產生用以指定通用暫存器 414 中的暫存器以及用以指定 ALU415 的運算方法等的信號的電路。通用暫存器 414 可以儲存從主記憶體裝置 401 讀出的資料、從 ALU415 的運算操作期間得到的資料或從 ALU415 的運算處理的結果得出的資料等。ALU415 具有執行各種運算處理諸如四則運算、邏輯運算等的功能。另外，在 CPU400 中，也可以另行設置資料快取記憶體，即暫時儲存運算結果等的電路。

[0155] 接下來，說明 CPU400 的工作。

[0156] CPU400 進行如下指令：將程式計數器 411 所指定的讀出的指令的位址輸出到主記憶體裝置 401 中的指令。接著，從執行的指令的位址讀出儲存於主記憶體裝置

401 中的資料且將其儲存於指令暫存器 412 中。

[0157] 指令解碼器 413 對儲存於指令暫存器 412 中的資料進行解碼，並且產生用來執行指令的信號。明確而言，指令解碼器 413 產生指定通用暫存器 414 中的暫存器以及指定 ALU415 中的運算方法等的信號。

[0158] 通用暫存器 414 根據指令而將指令解碼器 413 所指定的資料輸出到 ALU415 或主記憶體裝置 401。ALU 根據指令解碼器 413 所指定的運算方法而執行運算處理，並將運算結果儲存於通用暫存器 414 中。

[0159] 在 CPU400 執行指令之後，CPU400 讀出指令，對從指令暫存器 412 讀出的資料進行解碼，並執行指令。

[0160] 在本發明的一個實施方式中，藉由將上述實施方式所示的半導體裝置用於在電路中暫時儲存資料的暫存器諸如程式計數器 411、指令暫存器 412、指令解碼器 413、通用暫存器 414 等，可以防止由於停止供應電源電壓而使暫存器內的資料消失。另外，可以在短時間內保存在停止供應電源電壓之前保持的資料，並且，還可以在再次開始供應電源電壓之後在短時間內載入上述資料。因此，在 CPU400 整體或構成 CPU400 的各種電路中可以停止供應電源電壓，從而可以抑制 CPU400 的功率消耗。

[0161] 接下來，作為一個例子，圖 7 示出停止或再次開始向 CPU400 供應電源電壓的結構。在圖 7 中，設置有 CPU400、電源開關 421、以及電源控制電路 422。

[0162] 電源開關 421 可以根據其開啓狀態或關閉狀態控制停止或再次開始向 CPU400 供應電源電壓。明確而言，電源控制電路 422 輸出用來使電源開關 421 處於開啓狀態或關閉狀態的電源控制信號 Power_EN，並且控制停止或再次開始向 CPU400 供應電源電壓。藉由開啓電源開關 421，從被供應電位 V1、V2 的佈線向 CPU400 供應電源電壓。此外，藉由關閉電源開關 421，切斷被供應電位 V1、V2 的佈線之間的電流的路徑，從而停止向 CPU400 供應電源電壓。

[0163] 電源控制電路 422 具有根據被輸入的資料 Data 的頻率而總括地控制電源開關 421 及 CPU400 的工作的功能。明確而言，電源控制電路 422 輸出用來開啓或關閉電源開關 421 的電源控制信號 Power_EN 和控制暫存器中保存或載入的資料的控制信號 Save、控制信號 Load。如上所述，控制信號 Save 及控制信號 Load 是用來保存及載入電位於揮發性記憶體電路部分與非揮發性記憶體電路部分中的暫存器的信號。

[0164] 接著，說明圖 7 所示的 CPU400、電源開關 421 及電源控制電路 422 的工作的一個例子。

[0165] 根據輸入到電源控制電路 422 的資料 Data 的頻率而判斷持續、停止或再次開始供應電源電壓。明確而言，當資料 Data 持續輸入到 CPU400 時，電源控制電路 422 輸出電源控制信號以持續供應電源電壓。另外，當資料 Data 間歇輸入到 CPU400 時，電源控制電路 422 控制

為根據資料 Date 輸入的定時而停止或再次開始供應電源電壓。

[0166] 此外，電源控制電路 422 較佳為採用在停止向 CPU400 供應電源電壓的期間中也持續供應電源電壓的結構。藉由採用該結構，以所希望的定時停止或再次開始向 CPU400 供應電源電壓。

[0167]

〈 5. 半導體裝置的結構的例子 〉

接下來，參照圖 10 說明如下半導體裝置的結構的例子以及其製造方法的例子：包括通道形成於氧化物半導體層中的電晶體 902 以及通道形成於單晶矽晶片中的電晶體 901 的半導體裝置。電晶體 902 可以應用於圖 1 所示的電晶體 121 及 125 等，電晶體 901 可以使用於構成圖 1 所示的記憶體電路部分 110 及記憶體電路部分 120 等的電晶體。

[0168] 注意，除了矽之外，還可以使用銻、矽銻、或單晶碳化矽等半導體材料形成電晶體 901。例如，包括矽的電晶體可以使用利用 SOI 法製造的矽薄膜、利用氣相沉積法製造的矽薄膜等而形成。此時，可以使用藉由熔融法或浮法而製造的玻璃基板、石英基板、半導體基板、陶瓷基板等作為基板。當後面的加熱處理的溫度較高時，作為玻璃基板較佳為使用應變點為高於或等於 730°C 的玻璃基板。

[0169] 在圖 10 所示的半導體裝置中，形成有使用單

晶矽晶片形成的電晶體 901 以及在電晶體 901 的較上部的層上使用氧化物半導體形成的電晶體 902。即，本實施方式所示的半導體裝置是在用作基板的矽晶片上設置有電晶體的三維疊層結構的半導體裝置。並且，本實施方式所示的半導體裝置為包括將矽用於通道形成區的電晶體和將氧化物半導體用於通道形成區的電晶體的混合型半導體裝置。

[0170] 使用含有半導體材料的基板 900 製造的電晶體 901 可以使用 n 通道型電晶體 (NMOSFET) 和 p 通道型電晶體 (PMOSFET) 中的任一種。在圖 10 所示的例子中，電晶體 901 藉由淺溝槽隔離 (STI: Shallow Trench Isolation) 905 與其他的元件絕緣隔離。藉由使用 STI905，可以抑制因 LOCOS 元件隔離法而發生的元件隔離部的“鳥嘴”，由此可以縮小元件隔離部等。另一方面，對於不要求結構的微型化或小型化的半導體裝置不需要必須形成 STI905，而可以使用 LOCOS 等的元件隔離法。形成有電晶體 901 的基板 900 中形成有添加有硼、磷、砷等的賦予導電性的雜質的井 904。

[0171] 圖 10 中的電晶體 901 包括：設置在基板 900 中的通道形成區；以夾著通道形成區的方式設置的雜質區 906（也稱為源極區及汲極區）；設置在通道形成區上的閘極絕緣膜 907；在閘極絕緣膜 907 上以與通道形成區重疊的方式設置的閘極電極層 908。閘極電極層 908 可以採用如下疊層結構：由用來提高加工精度的第一材料構成的

閘極電極層與由用來實現作為佈線的低電阻化的第二材料構成的閘極電極層的疊層結構。例如，可以舉出添加了賦予導電性的磷等雜質的結晶矽與矽化鎳的疊層結構等。但是，並不侷限於該結構，可以根據所需的規格適當地調整材料、疊層數以及形狀等。

[0172] 另外，圖 10 所示的電晶體 901 也可以為鰭型電晶體。在鰭型結構中，半導體基板的一部分被加工為板狀的突起形狀，並且閘極電極層以與突起形狀的長邊方向交叉的方式設置。閘極電極層隔著閘極絕緣膜覆蓋突起結構的上表面及側面。藉由將電晶體 901 形成為鰭型電晶體，可以縮小通道寬度由此實現電晶體 901 的較高整合性。另外，電晶體 901 可以流過較多的電流，並且可以提高控制效率，由此可以降低電晶體 901 之截止狀態電流及臨界電壓。

[0173] 另外，設置於基板 900 中的雜質區 906 連接有接觸窗插塞 913 及 915。此處，接觸窗插塞 913 及 915 還用作電晶體 901 的源極電極及汲極電極，其中接觸窗插塞 913 及 915 為連接的。另外，雜質區 906 與通道形成區之間設置有與雜質區 906 不同的雜質區。該雜質區根據引入的雜質的濃度成為 LDD 區或擴展區來控制通道形成區附近的電場分佈。在閘極電極層 908 的側壁上隔著絕緣膜設置有側壁絕緣膜 909。藉由使用該絕緣膜及該側壁絕緣膜 909，可以形成 LDD 區或擴展區。

[0174] 另外，電晶體 901 被絕緣膜 910 覆蓋。絕緣

膜 910 可以用作保護膜，來防止雜質從外部進入通道形成區。另外，藉由採用利用 CVD 法形成的氮化矽等材料作為絕緣膜 910，當作為通道形成區使用單晶矽時可以藉由加熱處理進行氫化。另外，藉由使用具有拉應力或壓應力的絕緣膜作為絕緣膜 910，可以使構成通道形成區的半導體材料彎曲。當採用 n 通道型電晶體時對構成通道形成區的矽材料施加拉應力，當採用 p 通道型電晶體時對構成通道形成區的矽材料施加壓應力，由此可以提高各電晶體的場效移動率。

[0175] 並且，在絕緣膜 910 上設置有絕緣膜 911，並利用 CMP 對其表面進行了平坦化處理。由此，可以高精度地在包括電晶體 901 的層上層疊元件層。

[0176] 在比包括電晶體 901 的層更上的層中形成包括通道形成於氧化物半導體層中的電晶體 902 的層。電晶體 902 為頂閘極結構的電晶體，接觸於氧化物半導體膜 926 的側面及上表面具有源極電極層 927 及汲極電極層 928，並且在上述層之上的閘極絕緣膜 929 上具有閘極電極層 930。另外，以覆蓋電晶體 902 的方式形成有絕緣膜 932、933。在此對電晶體 902 的製造方法進行說明。

[0177] 在絕緣膜 924 上形成氧化物半導體膜 926。絕緣膜 924 可以使用氧化矽、氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氮化鋁、氮氧化鋁等無機絕緣膜所形成。尤其是，藉由使用介電常數低（low-k）的材料是較佳的，因為可以充分降低起因於各種電極或佈線的重疊的電容。

另外，作為絕緣膜 924 可以使用含有上述材料任一者的多孔絕緣膜。由於多孔絕緣膜具有比緻密絕緣膜低的介電常數，所以可以進一步降低由於電極或佈線所導致的寄生電容。在本實施方式中，在膜厚度為 50nm 的氧化鋁膜上層疊膜厚度為 300nm 左右的氧化矽膜，將其作為絕緣膜 924。

[0178] 藉由將形成在絕緣膜 924 上的氧化物半導體膜加工為所希望的形狀，來形成氧化物半導體膜 926。上述氧化物半導體膜的厚度為大於或等於 2nm 且小於或等於 200nm，較佳為大於或等於 3nm 且小於或等於 50nm，更佳為大於或等於 3nm 且小於或等於 20nm。藉由使用氧化物半導體作靶材之濺射法形成氧化物半導體膜。另外，氧化物半導體膜可以在稀有氣體（例如氬）氛圍下、在氧氛圍下或在稀有氣體（例如氬）及氧的混合氛圍下藉由濺射法形成。

[0179] 較佳為在利用濺射法沉積氧化物半導體膜之前，進行引入氬氣體來產生電漿的反濺射，以去除附著在絕緣膜 924 表面上的灰塵。反濺射是指不對靶材一側施加電壓而使用 RF 電源在氬氛圍中對基板一側施加電壓以在基板附近形成電漿而進行改變基板的方法。注意，也可以使用氮氛圍、氦氛圍等代替氬氛圍。另外，也可以使用添加氧、一氧化二氮等的氬氛圍。另外，也可以使用添加氯、四氟化碳等的氬氛圍。

[0180] 在本實施方式中，將藉由使用包含 In

(銦)、Ga(鎵)及Zn(鋅)的靶材的濺射法得到的厚度為30nm的In-Ga-Zn類氧化物半導體的薄膜用作氧化物半導體膜。作為上述靶材，較佳為使用原子數比為In:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3或3:1:4的靶材。另外，包含In、Ga及Zn的靶材的填充率為高於或等於90%且低於或等於100%，較佳為高於或等於95%且低於100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

[0181] 此外，當作為氧化物半導體膜使用In-Zn類材料時，將所使用的靶材的成分比的原子數比設定為In:Zn=50:1至1:2(換算為莫耳數比則為 In_2O_3 :ZnO=25:1至1:4)，較佳為In:Zn=20:1至1:1(換算為莫耳數比則為 In_2O_3 :ZnO=10:1至1:2)，更佳為In:Zn=1.5:1至15:1(換算為莫耳數比則為 In_2O_3 :ZnO=3:4至15:2)。例如，作為用於形成In-Zn類氧化物半導體的靶材，當原子數比為In:Zn:O=X:Y:Z時， $Z > 1.5X + Y$ 。藉由將Zn的比率包持在上述範圍內，可以提高移動率。

[0182] 另外，在藉由濺射法形成作為氧化物半導體膜的In-Sn-Zn類氧化物半導體膜時，較佳為使用原子數比為In:Sn:Zn=1:1:1、2:1:3、1:2:2或20:45:35的In-Sn-Zn-O靶材。

[0183] 在本實施方式中，將基板放置在保持為減壓狀態的處理室內，去除處理室內的殘留水分並引入去除了氫及水分的濺射氣體，使用上述靶材形成氧化物半導體

膜。在進行成膜時，也可以將基板溫度設定為高於或等於 100℃ 且低於或等於 600℃，較佳為高於或等於 200℃ 且低於或等於 400℃。藉由邊加熱基板邊形成氧化物半導體膜，可以降低形成的氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分，較佳為使用吸附型真空泵。例如，較佳為使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用配備有冷井的渦輪泵。在使用低溫泵對處理室進行排氣時，排出例如氫原子、水（H₂O）等包含氫原子的化合物等，由此可以降低在該處理室中形成的氧化物半導體膜中的雜質濃度。

[0184] 作為成膜條件的一個例子，可以應用如下條件：基板與靶材之間的距離為 100mm，壓力為 0.6Pa，直流（DC）電源功率為 0.5kW，且氛圍為氧氛圍（氧流量比率為 100%）。使用脈衝直流（DC）電源是較佳的，因為可以減少在沉積時產生的灰塵並可以實現均勻的膜厚度。

[0185] 另外，藉由將濺射裝置的處理室的洩漏率設定為低於或等於 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ ，可以減少當藉由濺射法形成膜時混入到氧化物半導體膜中的鹼金屬、氫化物等雜質。另外，藉由使用上述吸附型真空泵作為排氣系統，可以減少鹼金屬、氫原子、氫分子、水或氫化物等雜質從排氣系統的倒流。

[0186] 另外，藉由將靶材的純度設定為高於或等於

99.99%，可以降低進入到氧化物半導體膜中的鹼金屬、氫原子、氫分子、水、羥基或氫化物等。另外，藉由使用該靶材，可以降低在氧化物半導體膜中鋰、鈉、鉀等鹼金屬的濃度。

[0187] 爲了使氧化物半導體膜儘量不包含氫、羥基及水分，作爲成膜的預處理，較佳爲在濺射裝置的預熱室中對形成有絕緣膜 924 的基板 900 進行預熱，並使吸附到基板 900 的水分或氫等的雜質脫離且進行排氣。注意，預熱的溫度爲高於或等於 100℃ 或低於或等於 400℃，較佳爲高於或等於 150℃ 或低於或等於 300℃。另外，設置在預熱室中的排氣單元較佳爲低溫泵。此外，還可以省略該預熱處理。

[0188] 另外，作爲用來形成氧化物半導體膜 926 的蝕刻，可以採用乾蝕刻和濕蝕刻中的一者或兩者。作爲用於乾蝕刻的蝕刻氣體，較佳爲使用包括氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。另外，還可以使用含有氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）、或對上述氣體中的任一者添加了氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等。

[0189] 作爲乾蝕刻法，可以使用平行平板型反應離子蝕刻（RIE：Reactive Ion Etching）法或感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻法。適當地調

節蝕刻條件（施加到線圈型電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以將膜蝕刻成所希望的形狀。

[0190] 也可以利用噴墨法形成用來形成氧化物半導體膜 926 的光阻遮罩。在藉由噴墨法形成光阻遮罩時不需要光遮罩，由此可以降低製造成本。

[0191] 另外，較佳為在下一個製程中形成導電膜之前進行反濺射，以去除附著在氧化物半導體膜 926 和絕緣膜 924 的表面上的光阻劑殘留物等。

[0192] 另外，有時在藉由濺射法等形成的氧化物半導體膜中包含大量的水分或氫（包括羥基）等的雜質。水分或氫容易形成施體能階，從而將水分或氫用作氧化物半導體中的雜質。於是，在本實施方式中，為了減少氧化物半導體膜中的水分或氫等雜質（脫水化或脫氫化），較佳為在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點計進行測定時的水分含量為小於或等於 20ppm（露點換算為 -55°C ），較佳為小於或等於 1ppm，更佳為小於或等於 10ppb 的空氣）氛圍下對氧化物半導體膜 926 進行加熱處理。

[0193] 藉由對氧化物半導體膜 926 進行加熱處理，可以使氧化物半導體膜 926 中的水分或氫脫離。明確而言，可在高於或等於 250°C 且低於或等於 750°C 的溫度下進行，較佳為高於或等於 400°C 且低於基板的應變點的溫

度下進行加熱處理。例如，可以以 500°C 進行 3 分鐘至 6 分鐘左右的加熱處理。藉由作為加熱處理所使用之快速熱退火（RTA：Rapid Thermal Anneal）法，可以在短時間內進行脫水化或脫氫化，由此也可以以超過玻璃基板的應變點的溫度進行處理。

[0194] 在本實施方式中，使用加熱處理裝置中之一的電爐。

[0195] 注意，加熱處理裝置不侷限於電爐，還可以具備利用來自電阻發熱體等的發熱體的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用氣體快速熱退火（GRTA：Gas Rapid Thermal Anneal）裝置、燈快速熱退火（LRTA：Lamp Rapid Thermal Anneal）裝置等 RTA 裝置。LRTA 裝置是利用從如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等燈發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。使用如氬等的稀有氣體或者如氮等的即使進行加熱處理也不與被處理物產生反應的惰性氣體作為氣體。

[0196] 在加熱處理中，較佳為在氮或氫、氦、氬等的稀有氣體中不包含水分或氫等。或者，較佳的是，引入到加熱處理裝置的氮或氫、氦、氬等的稀有氣體的純度為大於或等於 6N（99.9999%），較佳為大於或等於 7N（99.99999%）（即，雜質濃度為小於或等於 1ppm，較佳為小於或等於 0.1ppm）。

[0197] 藉由上述製程可以降低氧化物半導體膜 926 中的氫濃度，從而實現高度純化。由此可以實現氧化物半導體膜的穩定化。另外，藉由使用該氫濃度得到降低而高度純化的氧化物半導體膜，可以製造耐受電壓性高且截止電流顯著低的電晶體。可以在形成氧化物半導體膜之後的任何時候進行上述加熱處理。

[0198] 接著，利用光微影製程形成源極電極層 927 及汲極電極層 928。具體地，可以利用濺射法或真空蒸鍍法在絕緣膜 924 上形成導電膜之後，將該導電膜加工（進行圖案化）為指定的形狀，以形成源極電極層 927 及汲極電極層 928。

[0199] 在本實施方式中，作為源極電極層 927 及汲極電極層 928 使用厚度為 100nm 的鎢膜。

[0200] 在對導電膜進行蝕刻時，為了儘量不去除氧化物半導體膜 926，適當地調節各材料及蝕刻條件。根據蝕刻條件，有時氧化物半導體膜 926 的露出的部分被部分地蝕刻而形成槽部（凹部）。

[0201] 在本實施方式中，使用鎢膜作為成為源極電極層 927 及汲極電極層 928 的導電膜。因此，可以使用包含氨和過氧化氫水的溶液（過氧化氫氨水）來對上述導電膜選擇性地進行濕蝕刻。明確而言，使用以 5:2:2 的體積比混合 31wt% 的過氧化氫水、28wt% 的氨水和水的過氧化氫氨水。或者，也可以使用包含四氟化碳（ CF_4 ）、氯（ Cl_2 ）、氧的氣體對上述導電膜進行乾蝕刻。

[0202] 爲了減少在光微影製程中使用的光遮罩及製程數量，還可以使用由多色調遮罩形成的光阻遮罩來進行蝕刻製程，該多色調遮罩是使透過的光具有多種強度的遮罩。由於使用多色調遮罩形成的光阻遮罩成爲具有多種厚度的形狀，且藉由進行灰化可以進一步改變其形狀，因此可以將使用多色調遮罩形成的光阻遮罩用於加工爲不同圖案的多個蝕刻製程。即，使用一個多色調遮罩可以形成至少對應於兩種以上的不同圖案的光阻遮罩。因此，可以減少曝光遮罩數量，還可以減少所對應的光微影製程，從而可以簡化製程。

[0203] 另外，也可以在氧化物半導體膜 926 與源極電極層 927 及汲極電極層 928 之間設置作爲源極區和汲極區的氧化物導電膜。作爲氧化物導電膜的材料，較佳爲使用以氧化鋅爲成分的材料且較佳爲使用不含有氧化銮的材料。作爲這種氧化物導電膜，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。

[0204] 例如，在形成氧化物導電膜時，也可以一同進行用來形成氧化物導電膜的圖案化和用來形成源極電極層 927 及汲極電極層 928 的圖案化。

[0205] 藉由設置用作源極區及汲極區的氧化物導電膜，可以降低氧化物半導體膜 926 與源極電極層 927 及汲極電極層 928 之間的電阻，從而可以實現電晶體的高速工作。另外，藉由設置用作源極區或汲極區的氧化物導電膜，可以提高電晶體的耐受電壓。

[0206] 接著，也可以進行使用 N_2O 、 N_2 或 Ar 等氣體的電漿處理。藉由該電漿處理去除附著在露出的氧化物半導體膜表面的水等。另外，也可以使用氧和氫的混合氣體進行電漿處理。

[0207] 另外，在進行電漿處理之後，以覆蓋源極電極層 927 及汲極電極層 928 以及氧化物半導體膜 926 的方式形成閘極絕緣膜 929。並且，在閘極絕緣膜 929 上，在與氧化物半導體膜 926 重疊的位置形成閘極電極層 930。

[0208] 在本實施方式中，使用藉由濺射法形成的厚度為 20nm 的氧氮化矽膜作為閘極絕緣膜 929。將進行成膜時的基板溫度設定為室溫至 400°C 的範圍中，在本實施方式中採用 300°C。

[0209] 另外，也可以在形成閘極絕緣膜 929 之後進行加熱處理。該加熱處理在氮、超乾燥空氣或稀有氣體（氫、氬等）的氛圍下較佳為以高於或等於 200°C 且低於或等於 400°C，例如高於或等於 250°C 且低於或等於 350°C 的溫度進行。上述氣體的含水量為低於或等於 20ppm，較佳為低於或等於 1ppm，更佳為低於或等於 10ppb。在本實施方式中，例如在氮氛圍下以 250°C 進行 1 小時的加熱處理。或者，也可以與在形成源極電極層 927 及汲極電極層 928 之前為了減少水分或氫對氧化物半導體膜進行的上述加熱處理同樣地，進行短時間且高溫的 RTA 處理。藉由在設置包含氧的閘極絕緣膜 929 之後進行加熱處理，即使因對氧化物半導體膜 926 進行的上述加熱

處理而在氧化物半導體膜 926 中產生氧缺陷，也可以從閘極絕緣膜 929 向氧化物半導體膜 926 供應氧。並且，藉由向氧化物半導體膜 926 供應氧，可以在氧化物半導體膜 926 中降低成爲施體的氧缺陷，而滿足化學計量成分比。其結果，可以使氧化物半導體膜 926 趨近於 i 型，降低因氧缺陷而導致的電晶體的電特性的偏差，從而可以提高電特性。進行該加熱處理的時序，只要是在形成閘極絕緣膜 929 之後，就沒有特別的限制，並且藉由將該加熱處理兼作其他製程，可以在不增加製程數的條件下使氧化物半導體膜 926 趨近於 i 型。

[0210] 另外，也可以藉由在氧氛圍下對氧化物半導體膜 926 進行加熱處理，對氧化物半導體膜 926 添加氧，而減少在氧化物半導體膜 926 中成爲施體的氧缺陷。加熱處理的溫度例如爲高於或等於 100°C 且低於 350°C ，較佳爲高於或等於 150°C 以上且低於 250°C 。上述用於氧氛圍下的加熱處理的氧氣體較佳爲不包含水、氫等。或者，較佳爲將引入到加熱處理裝置中的氧氣體的純度設定爲大於或等於 6N (99.9999%)，更佳爲大於或等於 7N (99.99999%) (即，將氧中的雜質濃度設定爲小於或等於 1ppm，較佳爲小於或等於 0.1ppm)。

[0211] 或者，也可以藉由採用離子植入法或離子摻雜法等對氧化物半導體膜 926 添加氧，來減少成爲施體的氧缺陷。例如，將以 2.45GHz 的微波電漿化了的氧添加到氧化物半導體膜 926 中。

[0212] 閘極電極層 930 可以在將導電膜形成於閘極絕緣膜 929 上之後，藉由對該導電膜進行圖案化而形成。

[0213] 將閘極電極層 930 的厚度設定為 10nm 至 400nm，較佳為 100nm 至 300nm。在本實施方式中，在利用濺射法在厚度為 30nm 的氮化鉍上層疊厚度為 135nm 的鎢來形成閘極電極用的導電膜之後，藉由對該導電膜進行蝕刻來將其加工（進行圖案化）為所希望的形狀，來形成閘極電極層 930。另外，還可以利用噴墨法形成光阻遮罩。當利用噴墨法形成光阻遮罩時不需要光遮罩，由此可以降低製造成本。

[0214] 藉由上述製程，形成電晶體 902。

[0215] 另外，雖然使用電晶體 902 作為單閘極結構的電晶體進行了說明，但是也可以根據以需要具有電連接的多個閘極電極來形成具有多個通道形成區的多閘極結構的電晶體。

[0216] 另外，在上述製造方法中，源極電極層 927 及汲極電極層 928 在氧化物半導體膜 926 之後形成。因此，如圖 10 所示，在藉由上述製造方法得到的電晶體 902 中，源極電極層 927 及汲極電極層 928 形成在氧化物半導體膜 926 之上。但是，在電晶體 902 中，源極電極層 927 及汲極電極層 928 也可以形成在氧化物半導體膜 926 之下，即，可以設置於氧化物半導體膜 926 與絕緣膜 924 之間。

[0217] 另外，接觸於氧化物半導體膜 926 的絕緣膜

可以使用含有第 13 族元素及氧的絕緣材料而各自形成。在氧化物半導體材料中，包含第 13 族元素的材料較多，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，因此藉由將含有第 13 族元素的絕緣材料用於與氧化物半導體膜接觸的絕緣膜，可以與氧化物半導體膜保持良好的介面狀態。

[0218] 包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量 (at.%) 多於含鎵量 (at.%) 的物質，氧化鎵鋁是指含鎵量 (at.%) 大於或等於含鋁量 (at.%) 的物質。

[0219] 例如，在以接觸於包含鎵的氧化物半導體膜的方式形成絕緣膜的情況下，藉由將包含氧化鎵的材料用於絕緣膜，可以保持氧化物半導體膜與絕緣膜之間的良好介面特性。例如，藉由使氧化物半導體膜與包含氧化鎵的絕緣膜接觸地設置，可以降低氧化物半導體膜與絕緣膜之間的介面的氫堆積。另外，在作為絕緣膜使用與氧化物半導體的成分元素同一族的元素時，可以獲得同樣的效果。例如，使用包含氧化鋁的材料形成絕緣膜也是有效的。另外，因為氧化鋁具有不容易透過水的特性，所以從防止水侵入到氧化物半導體膜中的角度來看，使用該材料也較佳。

[0220] 另外，接觸於氧化物半導體膜 926 的絕緣膜

較佳為藉由在氧氛圍下進行熱處理、氧摻雜等而使絕緣材料處於包含多於化學計量組成的氧的狀態。氧摻雜是指對塊體 (bulk) 添加氧。另外，為了明確表示不僅對薄膜表面添加氧而且對薄膜內部添加氧，使用該術語“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以使用離子植入法或離子摻雜法進行氧摻雜。

[0221] 藉由進行氧摻雜處理，可以形成具有包含多於化學計量組成的氧的區域的絕緣膜。藉由使具備這種區域的絕緣膜與氧化物半導體膜接觸，絕緣膜中的過剩的氧被供應到氧化物半導體膜中，可以減少氧化物半導體膜中或氧化物半導體膜與絕緣膜之間的介面中的氧缺陷，而可以使氧化物半導體膜成為 i 型或趨近於 i 型。

[0222] 另外，也可以將具有包含多於化學計量組成的氧的區域的絕緣膜僅用於與氧化物半導體膜 926 接觸的絕緣膜中的位於上層的絕緣膜和位於下層的絕緣膜中的任一者，但是較佳為用於兩者的絕緣膜。藉由將具有包含多於化學計量組成的氧的區域的絕緣膜用於與氧化物半導體膜 926 接觸的絕緣膜中的位於上層及下層的絕緣膜，以形成夾著氧化物半導體膜 926 的結構，可以進一步加強上述效果。

[0223] 此外，用於氧化物半導體膜 926 的上層或下層的絕緣膜既可以包含相同的構成元素，又可以包含不同的構成元素。另外，與氧化物半導體膜 926 接觸的絕緣膜

也可以是具有包含多於化學計量組成的氧的區域的絕緣膜的疊層。

[0224] 另外，在本實施方式中，電晶體 902 為頂閘極結構。另外，電晶體 902 設置有背閘極電極層 923。當設置有背閘極電極層 923 時，可進而實現電晶體 902 的正常關閉特性。例如，藉由將背閘極電極層 923 的電位設定為 GND 或固定電位，可以使電晶體 902 的臨界電壓進一步向正方向漂移，由此可以形成進一步實現正常關閉化的電晶體。

[0225] 爲了使上述電晶體 901 以及電晶體 902 電連接以形成電路，在各層間以及上層中層疊用於連接的一或多個佈線層。

[0226] 在圖 10 中，電晶體 901 的源極和汲極中的一者藉由接觸窗插塞 913 與佈線層 914 電連接。另一方面，電晶體 901 的源極和汲極中的另一方藉由接觸窗插塞 915 與佈線層 916 電連接。另外，電晶體 901 的閘極藉由接觸窗插塞 917、佈線層 918、接觸窗插塞 921、佈線層 922 以及接觸窗插塞 925 與電晶體 902 的汲極電極層 928 電連接。

[0227] 佈線層 914、918、916、922 及背閘極電極層 923 被埋入絕緣膜中。這些佈線層等較佳爲使用例如銅、鋁等低電阻的導電性材料。另外，也可以將利用 CVD 法形成的石墨烯作爲導電性材料來形成這些佈線層。石墨烯是指具有 sp^2 鍵的 1 原子層的碳分子片或者 2 層至 100 層

的碳分子片的疊層。作為該石墨烯的製造方法，可以舉出：在金屬催化劑上形成石墨烯的熱 CVD 法；藉由照射紫外光在局部生成電漿，不使用催化劑而由甲烷形成石墨烯的電漿 CVD 法等等。

[0228] 藉由採用上述低電阻的導電性材料，可以降低藉由佈線層傳播的信號的 RC 延遲。當使用銅作為佈線層時，形成障壁膜以防止銅向通道形成區擴散。作為障壁膜，例如可以採用由氮化鋁、氮化鋁與鋁的疊層、氮化鈦、氮化鈦與鈦的疊層等形成的膜，但是只要確保佈線材料的擴散防止功能以及與佈線材料或基底膜等的密著性，就不侷限於由上述材料構成的膜。障壁膜可以與佈線層獨立地形成，也可以將形成障壁膜的材料包含於佈線材料中，藉由加熱處理使其析出於設置在絕緣膜中的開口的內壁來形成。

[0229] 作為絕緣膜 911、絕緣膜 912、絕緣膜 919、絕緣膜 920、及絕緣膜 933，可以使用氧化矽、氧氮化矽、氮氧化矽、硼磷矽玻璃（BPSG：Boron Phosphorus Silicate Glass）、磷矽玻璃（PSG：Phosphorus Silicate Glass）、添加有碳的氧化矽（SiOC）、添加有氟的氧化矽（SiOF）、作為以 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 為原料的氧化矽的四乙氧基矽烷（TEOS：Tetraethyl orthosilicate）、氫倍半矽氧烷（HSQ：Hydrogen Silsesquioxane）、甲基矽倍半矽氧烷（MSQ：Methyl Silsesquioxane）、有機矽酸鹽玻璃（OSG：Organo Silicate Glass）、有機聚合物類材料等的絕緣體。

尤其是當進行半導體裝置的微型化時，由於佈線層之間的寄生電容變為明顯而信號延遲增大，所以氧化矽的相對介電常數（ $k=4.0$ 至 4.5 ）高，因此較佳為使用 k 為小於或等於 3.0 的材料。另外，由於 CMP 處理是在將佈線層埋入該絕緣膜中之後進行，所以絕緣膜需要具有高機械強度。只要確保該機械強度，就可以使絕緣膜多孔（porous）化而實現低介電常數化。絕緣膜藉由濺射法、CVD 法、包括旋塗法（也稱為旋塗玻璃：Spin On Glass(SOG)）的塗佈法等形式。

[0230] 在絕緣膜 911、912、919、920、933 上，也可以另行設置絕緣膜，該絕緣膜在將佈線材料埋入上述絕緣膜中之後利用 CMP 等進行平坦化處理時的蝕刻停止膜。

[0231] 接觸窗插塞 913、915、917、921、925 是藉由在絕緣膜中形成高深寬比的開口（通孔）並將鎢等導電材料埋入而形成的。較佳為進行各向異性高的蝕刻來形成開口。尤其是，較佳為使用反應離子蝕刻法（RIE 法）。開口的內壁形成有由鈦膜、氮化鈦膜或上述膜的疊層膜等形成的障壁膜（擴散防止膜），障壁膜的內部被填充有摻雜了鎢或磷等的多晶矽等材料。例如，可以藉由圍包 CVD（blanket CVD）法將鎢埋入通孔內，並利用 CMP 使接觸窗插塞的上表面平坦化。

[0232]

〈 6.在本說明書中的半導體裝置的作用及效果〉

藉由使用在本說明書中公開的半導體裝置及其驅動方法，可以適當地停止供應電源電壓。

[0233] 因此，可以間歇供應電源電壓，從而可以降低功率消耗。

[0234] 此外，藉由使用在本說明書中揭露的半導體裝置及其驅動方法，可以在停止供應電源電壓之前保存資料，並且可以在再次開始供應電源電壓之後載入資料。

[0235] 因此，可以抑制持續供應電源電壓時的工作延遲。

[0236] 本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

[0237]

實施方式 2

根據本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦、具備儲存媒體的影像再現裝置（典型的是，能夠再現如數位視頻光碟（DVD：Digital Versatile Disc）等的儲存媒體並具有能夠顯示其影像的顯示器的裝置）等。此外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，還可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、例如攝影機和數位相機等影像拍攝裝置、護目鏡型顯示器（頭戴顯示裝置）、導航系統、音頻再現裝置（例如，汽車音頻系統和數位音頻播放器等）、影印機、傳真機、印表機、多功能印表機、自動提款機（ATM）、自動販賣機

等。圖 8A 至圖 8F 示出這些電子裝置的具體例子。

[0238] 圖 8A 是可攜式遊戲機，其包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007、觸控筆 5008 等。注意，雖然圖 8A 所示的可攜式遊戲機包括兩個顯示部 5003 和顯示部 5004，但可攜式遊戲機所具有的顯示部的數目不限於此。

[0239] 圖 8B 是可攜式資訊終端，其包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605、操作鍵 5606 等。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。並且，第一外殼 5601 與第二外殼 5602 藉由連接部 5605 連接，第一外殼 5601 與第二外殼 5602 所形成的角度可以藉由連接部 5605 改變。第一顯示部 5603 中的影像的切換可以根據在連接部 5605 中第一外殼 5601 與第二外殼 5602 所形成的角度進行。另外，也可以將附加有位置輸入裝置的功能的顯示裝置用於第一顯示部 5603 和第二顯示部 5604 中的至少一個。另外，可以藉由在顯示裝置設置觸控面板來附加位置輸入裝置的功能。或者，也可以藉由在顯示裝置的像素部設置也稱為光電感測器的光電轉換元件來增加位置輸入裝置的功能。

[0240] 圖 8C 是筆記型個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403 及指向裝置 5404 等。

[0241] 圖 8D 是電冷藏冷凍箱，其包括外殼 5301、冷藏室門 5302、冷凍室門 5303 等。

[0242] 圖 8E 是攝影機，其包括第一外殼 5801、第二外殼 5802、顯示部 5803、操作鍵 5804、透鏡 5805、連接部 5806 等。操作鍵 5804 及透鏡 5805 設置在第一外殼 5801 中，顯示部 5803 設置在第二外殼 5802 中。並且，第一外殼 5801 與第二外殼 5802 藉由連接部 5806 連接，第一外殼 5801 與第二外殼 5802 所形成的角度可以藉由連接部 5806 改變。顯示部 5803 中的影像的切換也可以根據在連接部 5806 中第一外殼 5801 與第二外殼 5802 所形成的角度進行。

[0243] 圖 8F 是一般的汽車，其包括車體 5101、車輪 5102、儀表板 5103 及燈 5104 等。

[0244] 本實施方式可以與其他實施方式適當地組合而實施。

本案係基於 2012 年 11 月 6 日向日本專利局申請之日本專利申請案第 2012-244560 號，該案之全文以引用之方式併入本文中。

【符號說明】

[0245]

Node_1：節點

Node_2：節點

Node_3：節點

Node_4：節點

P1：期間

- P2：期間
- P3：期間
- P4：期間
- 10：半導體裝置
- 20：半導體裝置
- 30：半導體裝置
- 110：記憶體電路部分
- 120：記憶體電路部分
- 121：電晶體
- 122：電容器
- 123：電晶體
- 124：電晶體
- 125：電晶體
- 126：電容器
- 127：電晶體
- 128：電晶體
- 200：記憶體電路部分
- 201：反相器電路
- 202：反相器電路
- 203：開關
- 204：反相器電路
- 205：開關
- 220：記憶體電路部分
- 221：電晶體

- 222 : 電容器
- 223 : 電晶體
- 224 : 電晶體
- 225 : 電晶體
- 226 : 電容器
- 227 : 電晶體
- 228 : 電晶體
- 229 : 反相器電路
- 230 : 反相器電路
- 300 : 邏輯陣列
- 301 : LE
- 302 : 開關部分
- 303 : 佈線群
- 304 : 佈線群
- 305 : 輸入/輸出端子
- 311 : LUT
- 312 : 正反器
- 313 : 多工器
- 314 : 組態記憶體
- 315 : 組態記憶體
- 316 : 輸入端子
- 317 : 輸出端子
- 400 : CPU
- 401 : 主記憶體裝置

- 411 : 程式計數器
- 412 : 指令暫存器
- 413 : 指令解碼器
- 414 : 通用暫存器
- 415 : ALU
- 421 : 電源開關
- 422 : 電源控制電路
- 500 : 組態記憶體
- 501 : 資料線
- 502 : 字線
- 503 : 字線
- 511 : 電晶體
- 512 : 電晶體
- 513 : 電晶體
- 514 : 電容器
- 520 : 組態記憶體
- 531 : 電晶體
- 532 : 電晶體
- 533 : 電晶體
- 534 : 電容器
- 535 : 電晶體
- 536 : 電晶體
- 537 : 電晶體
- 538 : 電容器

- 540 : 反相器電路
- 541 : 資料線
- 542 : 字線
- 543 : 字線
- 900 : 基板
- 901 : 電晶體
- 902 : 電晶體
- 904 : 井
- 906 : 雜質區
- 907 : 閘極絕緣膜
- 908 : 閘極電極層
- 909 : 側壁絕緣膜
- 910 : 絕緣膜
- 911 : 絕緣膜
- 912 : 絕緣膜
- 913 : 接觸窗插塞
- 914 : 佈線層
- 915 : 接觸窗插塞
- 916 : 佈線層
- 917 : 接觸窗插塞
- 918 : 佈線層
- 919 : 絕緣膜
- 920 : 絕緣膜
- 921 : 接觸窗插塞

- 922 : 佈線層
- 923 : 背閘極電極層
- 924 : 絕緣膜
- 925 : 接觸窗插塞
- 926 : 氧化物半導體膜
- 927 : 源極電極層
- 928 : 汲極電極層
- 929 : 閘極絕緣膜
- 930 : 閘極電極層
- 932 : 絕緣膜
- 933 : 絕緣膜
- 5001 : 外殼
- 5002 : 外殼
- 5003 : 顯示部
- 5004 : 顯示部
- 5005 : 麥克風
- 5006 : 揚聲器
- 5007 : 操作鍵
- 5008 : 觸控筆
- 5101 : 車體
- 5102 : 車輪
- 5103 : 儀表板
- 5104 : 燈
- 5301 : 外殼

5302 : 冷藏室門

5303 : 冷凍室門

5401 : 外殼

5402 : 顯示部

5403 : 鍵盤

5404 : 指向裝置

5601 : 外殼

5602 : 外殼

5603 : 顯示部

5604 : 顯示部

5605 : 連接部

5606 : 操作鍵

5801 : 外殼

5802 : 外殼

5803 : 顯示部

5804 : 操作鍵

5805 : 透鏡

5806 : 連接部

發明摘要

※申請案號：102137104

※申請日：102年10月15日

※IPC分類：G11C 16/30 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其驅動方法

Semiconductor device and driving method thereof

【中文】

提供一種半導體裝置及其驅動方法，其中該半導體裝置可以降低耗電量，還可以抑制由於停止或再次開始供應電源電壓而導致的工作延遲。對應於在持續供應電源電壓的期間中保持的資料的電位在停止供應電源電壓之前保存於連接有電容器的節點中。並且，由於將該節點用作閘極的電晶體的通道電阻變化，因此藉由再次開始供應電源電壓載入資料。

【英文】

To provide a semiconductor device in which power consumption can be reduced and operation delay due to a stop and a restart of supply of power supply voltage can be suppressed and a driving method thereof. A potential corresponding to data held in a period during which power supply voltage is continuously supplied is saved to a node connected to a capacitor before the supply of power supply voltage is stopped. By utilizing change of channel resistance of a transistor whose gate is the node, data is loaded when the supply of power supply voltage is restarted.

圖式

圖 1

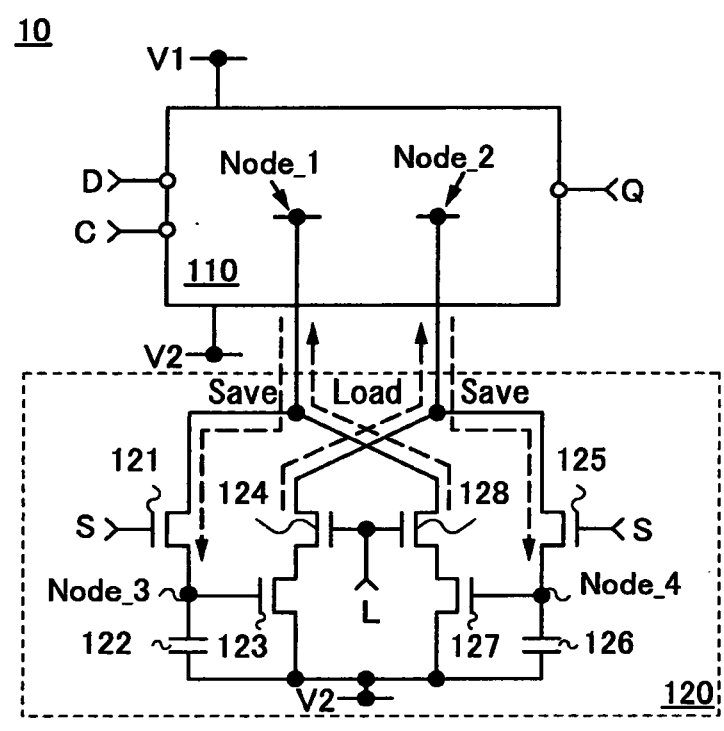


圖 2A

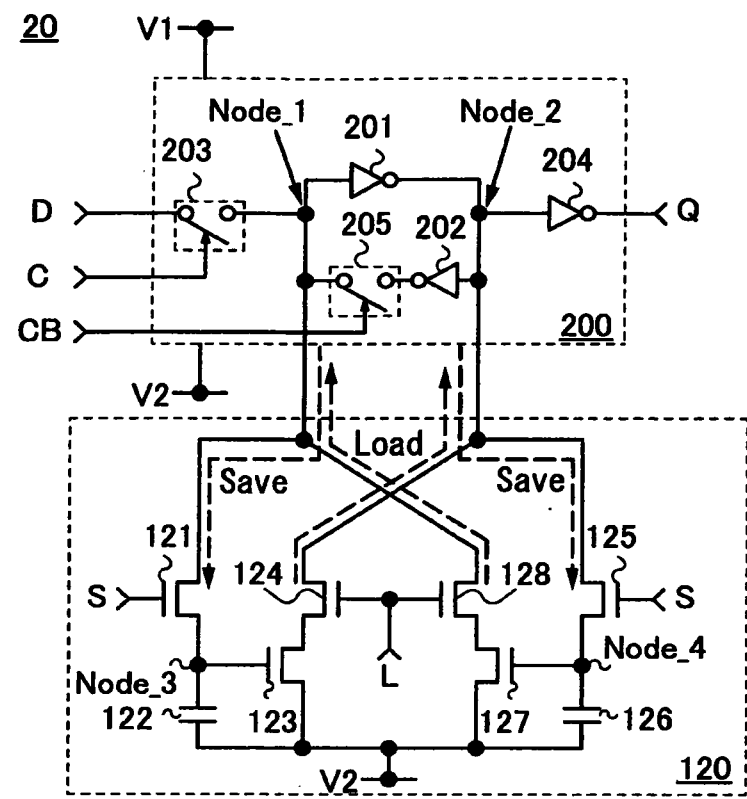


圖 2B

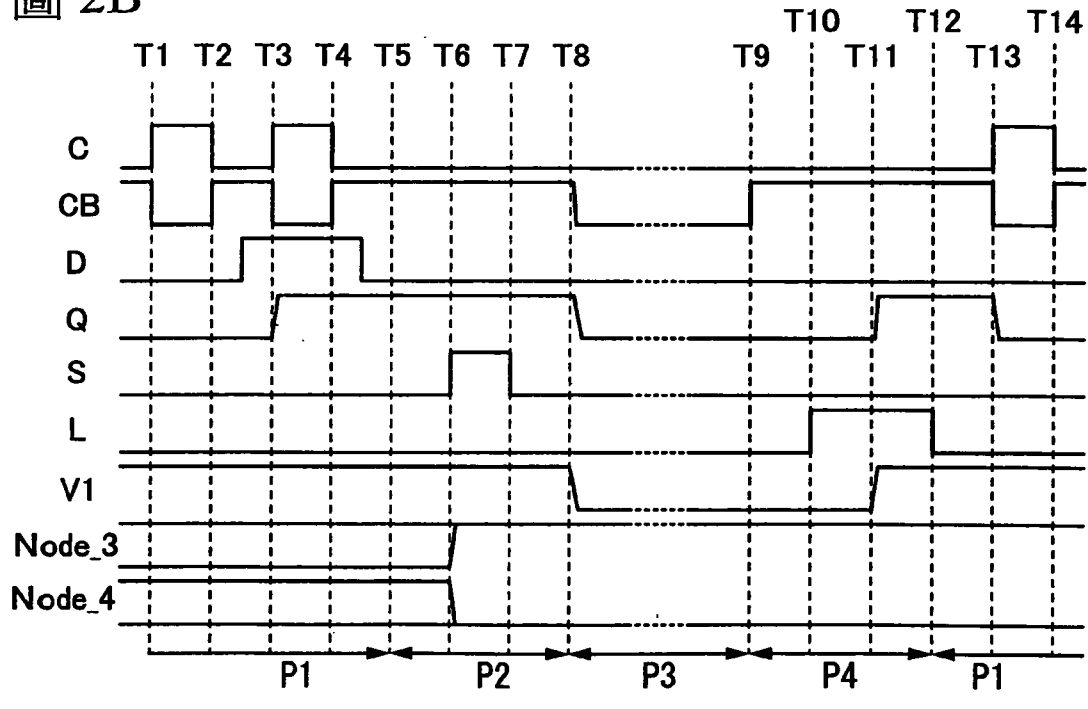


圖 3

30

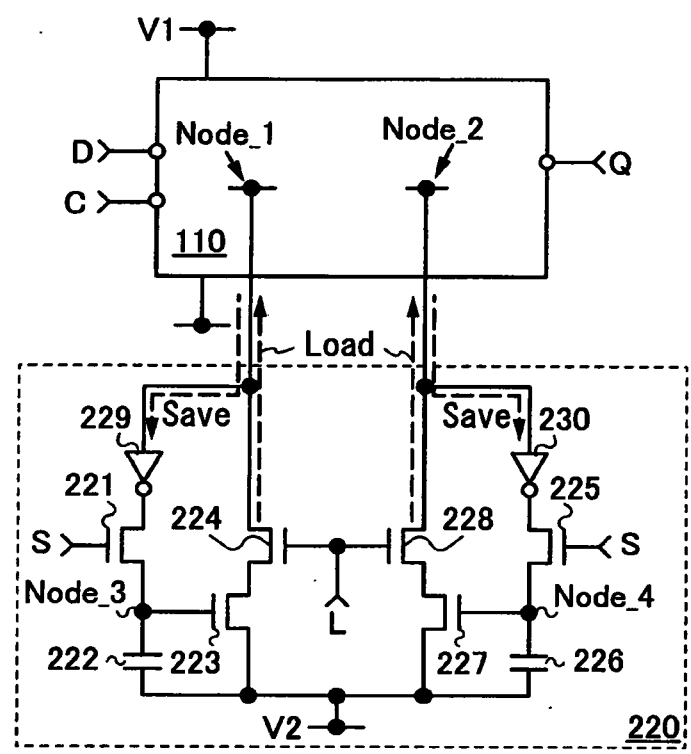


圖 4

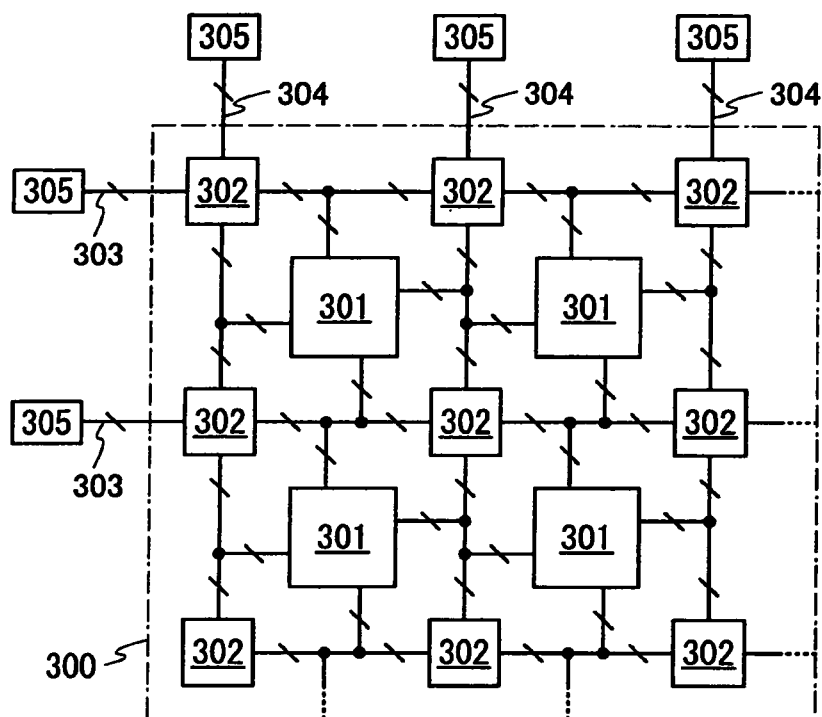


圖 5

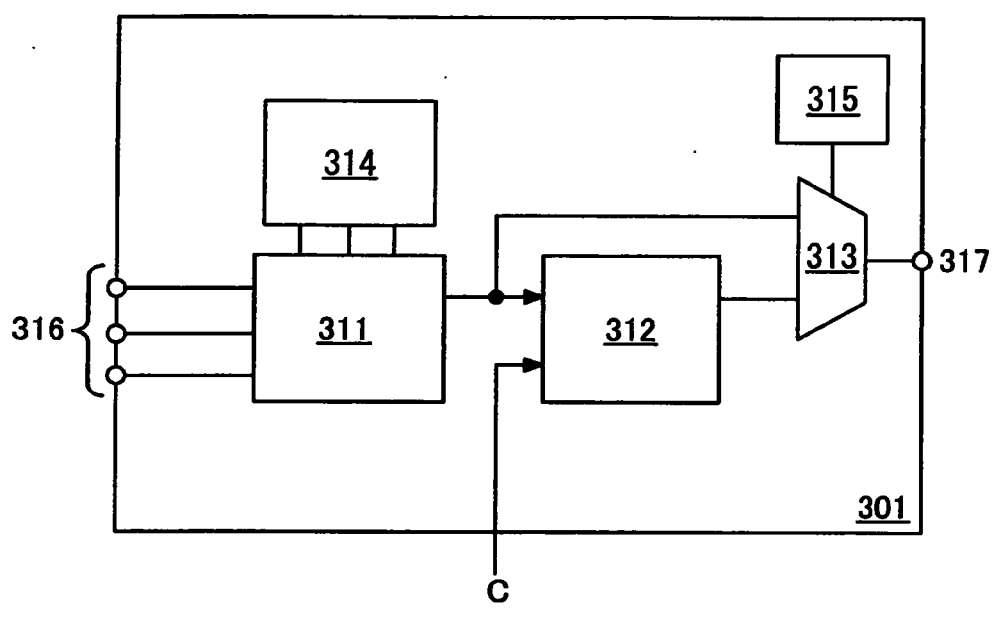


圖 6

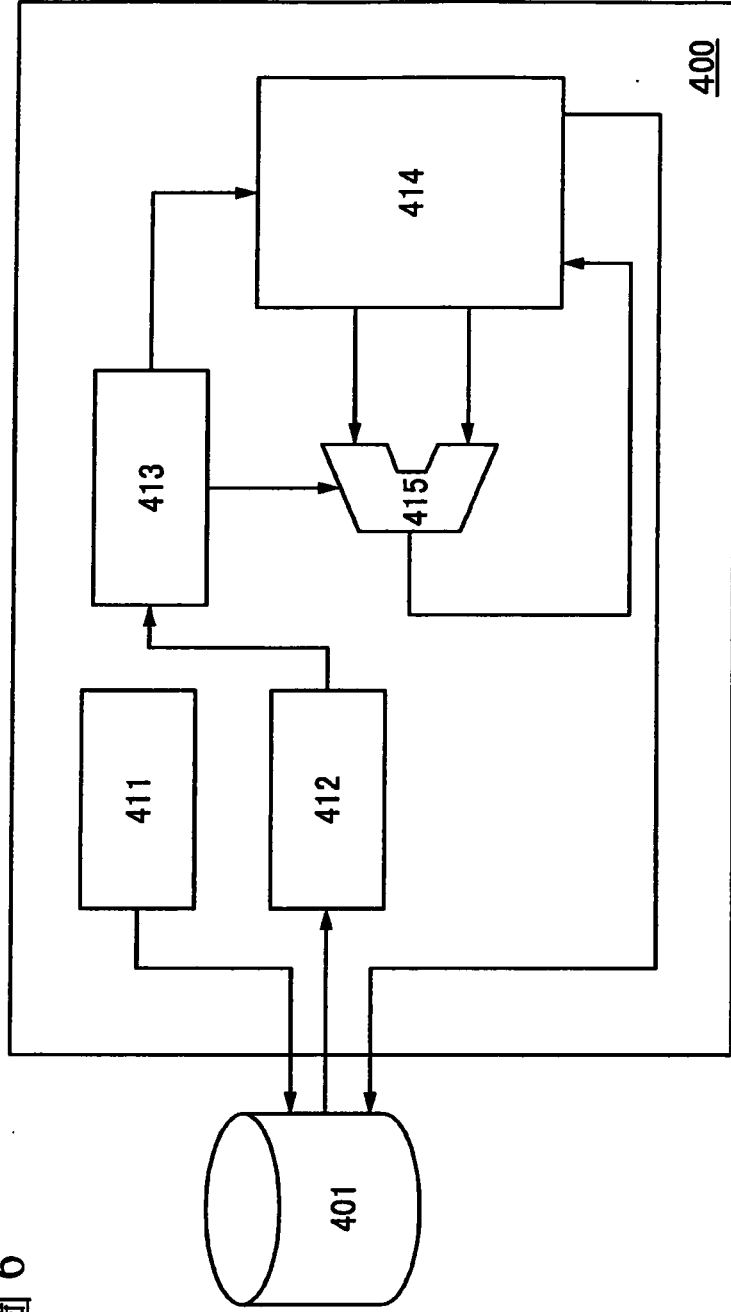


圖 7

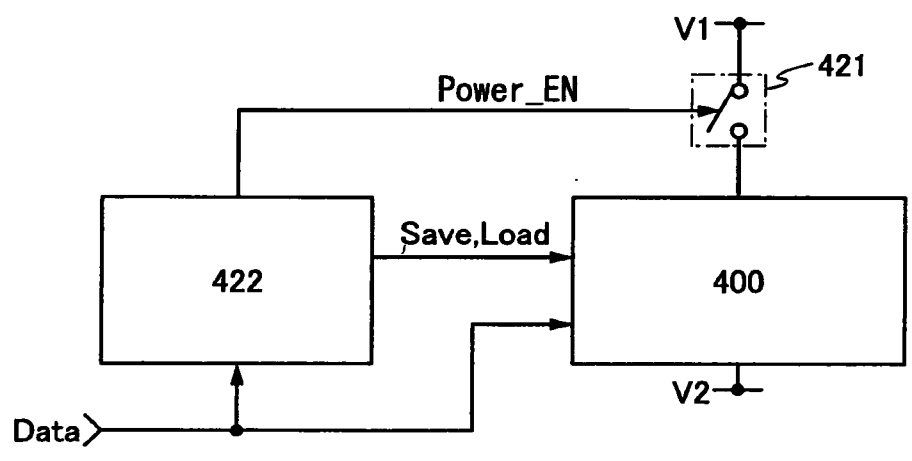


圖 8A

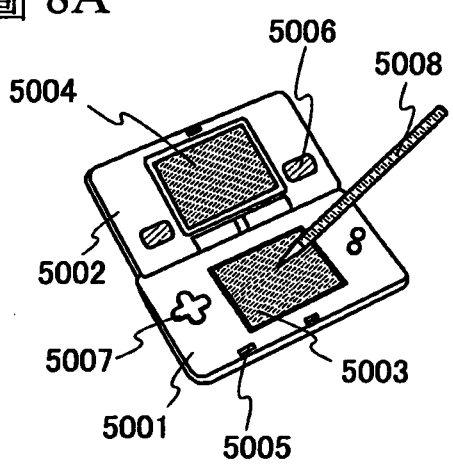


圖 8B

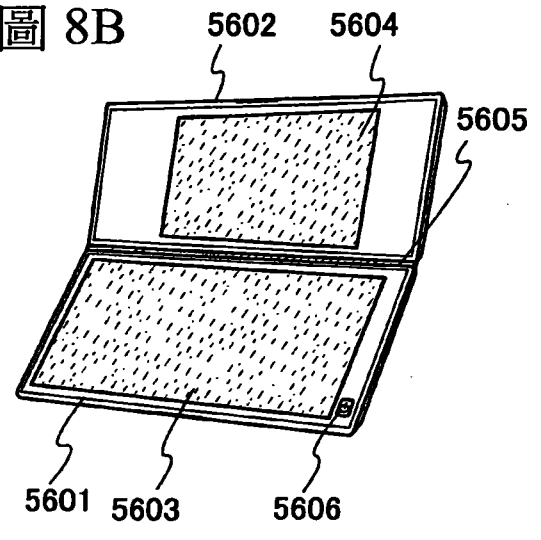


圖 8C

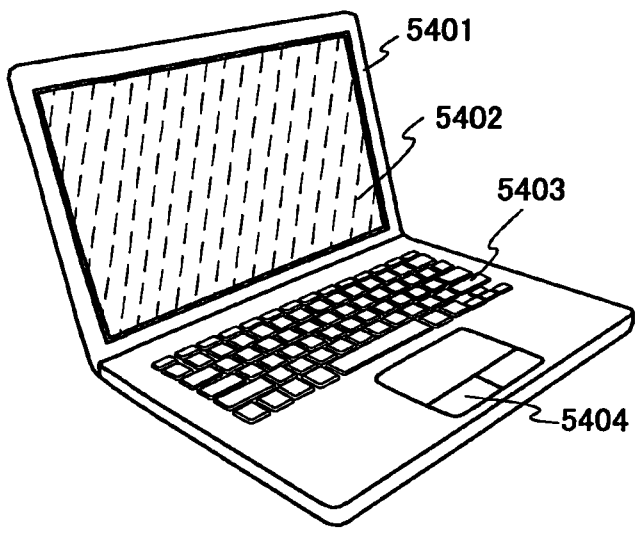


圖 8D

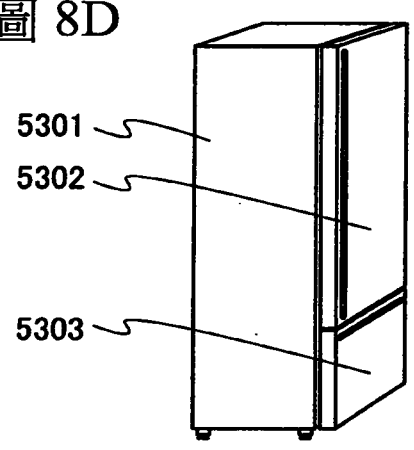


圖 8E

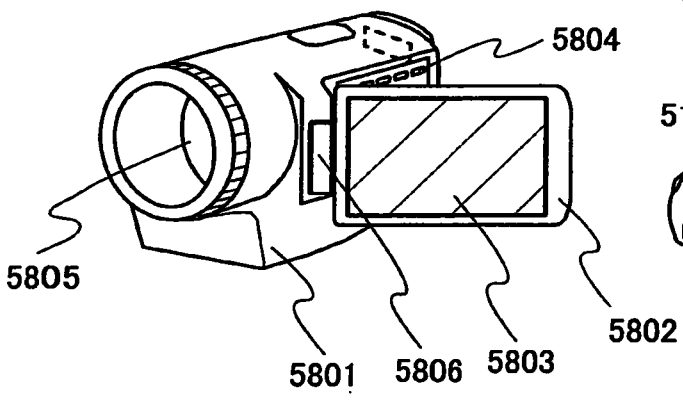


圖 8F

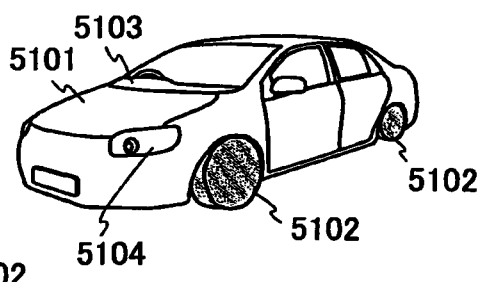


圖 9A

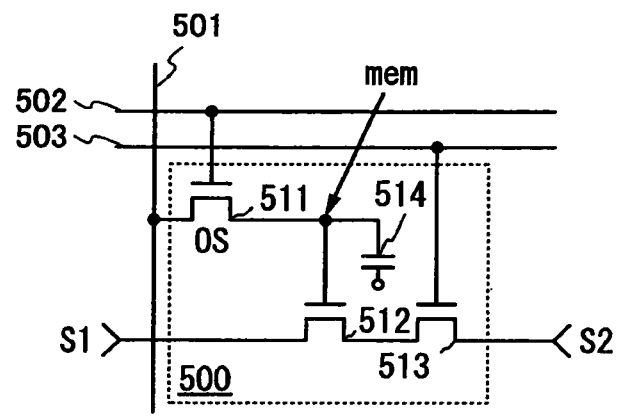


圖 9B

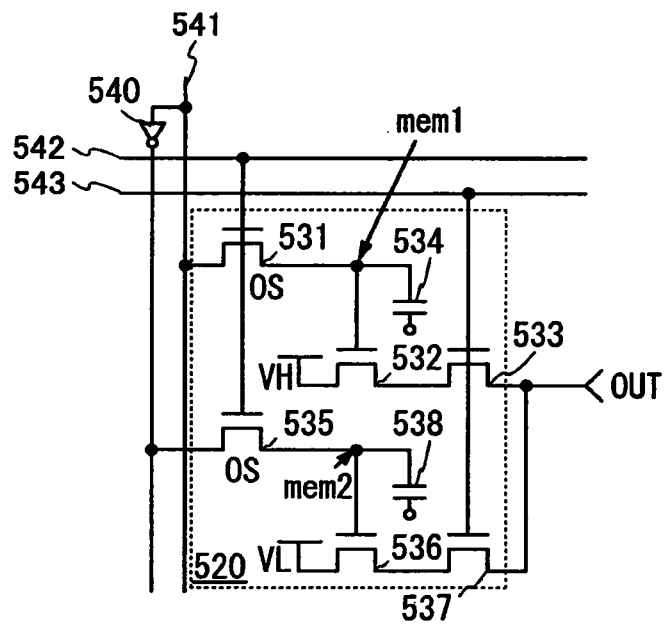
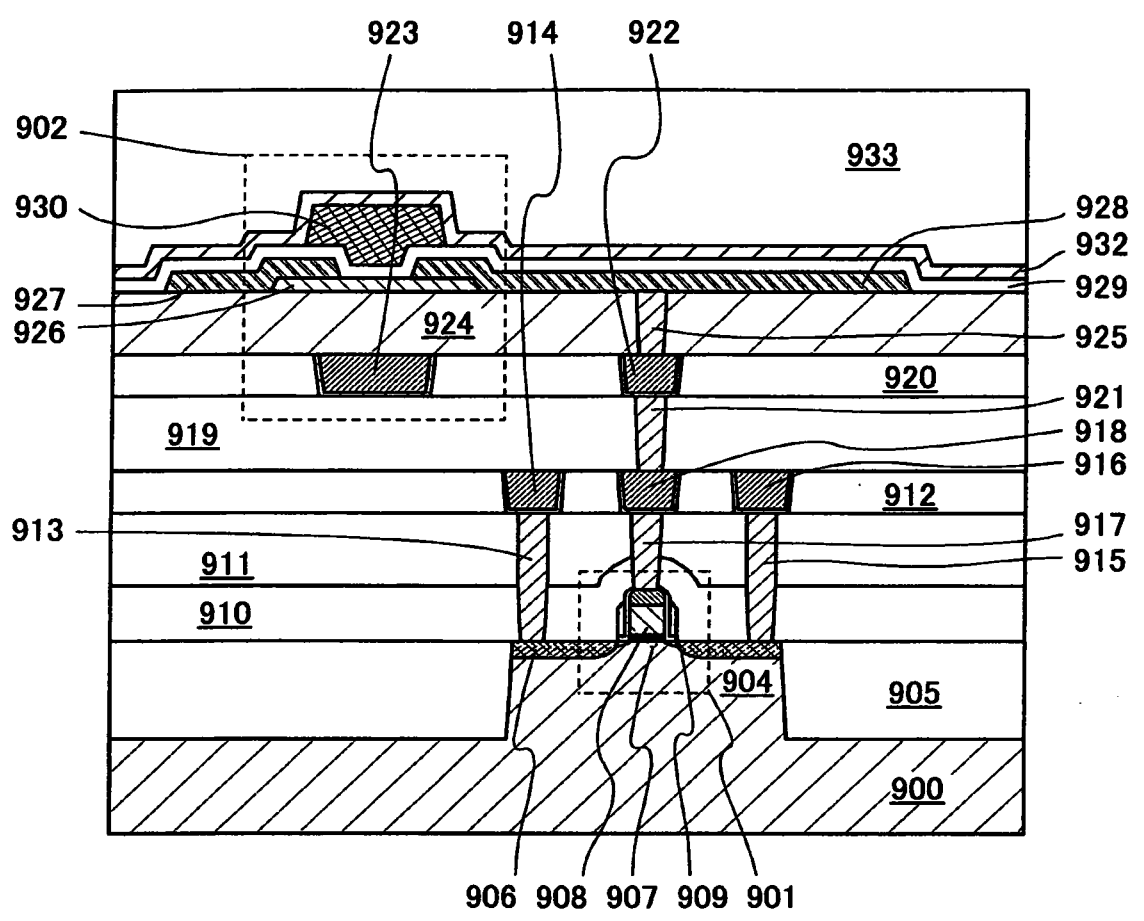


圖 10



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

Node_1：節點	Node_2：節點
Node_3：節點	Node_4：節點
10：半導體裝置	110：記憶體電路部分
120：記憶體電路部分	121：電晶體
122：電容器	123：電晶體
124：電晶體	125：電晶體
126：電容器	127：電晶體
128：電晶體	V1、V2：電位
D：資料信號	C：時脈信號
Q：輸出信號	L：位準
Save：控制信號	Load：控制信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

揮發性記憶體；

第一電晶體；

第二電晶體；

第三電晶體；以及

第一電容器，

其中，該第一電晶體的第一端子電連接於該揮發性記憶體，

其中，該第一電晶體的第二端子電連接於該第二電晶體的閘極，

其中，該第二電晶體的第一端子電連接於該第三電晶體的第一端子，

其中，該第三電晶體的第二端子電連接於該揮發性記憶體，以及

其中，該第一電晶體的第一端子電連接於該第二電晶體的該閘極。

2. 根據申請專利範圍第 1 項之半導體裝置，

其中，該第一電晶體包括包含氧化物半導體的通道形成區。

3. 根據申請專利範圍第 1 項之半導體裝置，

其中，該揮發性記憶體包括第一反相器及第二反相器，

其中，該第一反相器的輸入端子及該第二反相器的輸

出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子電連接於該第一節點，以及

其中，該第三電晶體的該第二端子電連接於該第二節點。

4.根據申請專利範圍第 1 項之半導體裝置，

其中該揮發性記憶體包括第一反相器及第二反相器，

其中該半導體裝置包括第三反相器，

其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子藉由該第三反相器電連接於該第一節點，以及

其中，該第三電晶體的該第二端子電連接於該第一節點。

5.一種半導體裝置，包括：

揮發性記憶體；

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第一電容器；以及

第二電容器，

其中，該第一電晶體的第一端子電連接於該揮發性記憶體，

其中，該第一電晶體的第二端子電連接於該第二電晶體的閘極，

其中，該第二電晶體的第一端子電連接於該第三電晶體的第一端子，

其中，該第三電晶體的第二端子電連接於該揮發性記憶體，

其中，該第四電晶體的第一端子電連接於該揮發性記憶體，

其中，該第四電晶體的第二端子電連接於該第五電晶體的閘極，

其中，該第五電晶體的第一端子電連接於該第六電晶體的第一端子，

其中，該第六電晶體的第二端子電連接於該揮發性記憶體，

其中，該第一電晶體的第一端子電連接於該第二電晶體的該閘極，以及

其中，該第二電容器的第一端子電連接於該第五電晶體的該閘極。

6.根據申請專利範圍第 5 項之半導體裝置，
其中該第一電晶體包括包含氧化物半導體的通道形成區，以及
其中該第四電晶體包括包含氧化物半導體的通道形成區。

7.根據申請專利範圍第 5 項之半導體裝置，
其中該揮發性記憶體包括第一反相器及第二反相器，
其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子電連接於該第一節點，

其中，該第三電晶體的該第二端子電連接於該第二節點，

其中，該第四電晶體的該第一端子電連接於該第二節點，以及

其中，該第六電晶體的該第二端子電連接於該第一節點。

8.根據申請專利範圍第 5 項之半導體裝置，
其中該揮發性記憶體包括第一反相器及第二反相器，
其中該半導體裝置包括第三反相器及第四反相器，
其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子藉由該第三反相器電連接於該第一節點，

其中，該第三電晶體的該第二端子電連接於該第一節點，

其中，該第四電晶體的該第一端子藉由該第四反相器電連接於該第二節點，以及

其中，該第六電晶體的該第二端子電連接於該第二節點。

9. 一種半導體裝置的驅動方法，該半導體裝置包括：

揮發性記憶體；

第一電晶體；

第二電晶體；以及

第三電晶體，

其中，該第一電晶體的第一端子電連接於該揮發性記憶體，

其中，該第一電晶體的第二端子電連接於該第二電晶體的閘極，

其中，該第二電晶體的第一端子電連接於該第三電晶體的第一端子，

其中，該第三電晶體的第二端子電連接於該揮發性記憶體，以及

其中，該半導體裝置的該驅動方法包括如下步驟：

供應第一控制信號至該第一電晶體的閘極以供應對應於該揮發性記憶體資料的電荷至該第二電晶體的該閘極；

供應無電源電壓（no power supply voltage）至該揮發性記憶體；

在供應無電源電壓至該揮發性記憶體的期間中保持對應於該資料的該電荷；

供應電源電壓至該揮發性記憶體；以及

供應第二控制信號至該第三電晶體的閘極以將該資料載入到該揮發性記憶體。

10. 根據申請專利範圍第 9 項之半導體裝置的驅動方法，

其中該第一電晶體包括包含氧化物半導體的通道形成區。

11. 根據申請專利範圍第 9 項之半導體裝置的驅動方法，

其中該揮發性記憶體包括第一反相器及第二反相器，其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子電連接於該第一節點，以及

其中，該第三電晶體的該第二端子電連接於該第二節點

點。

12.根據申請專利範圍第 9 項之半導體裝置的驅動方法，

其中該揮發性記憶體包括第一反相器及第二反相器，
其中該半導體裝置包括第三反相器，

其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子藉由該第三反相器電連接於該第一節點，以及

其中，該第三電晶體的該第二端子電連接於該第一節點。

13.根據申請專利範圍第 9 項之半導體裝置的驅動方法，

其中該半導體裝置包括第一電容器，以及

其中，該第一電容器的第一端子電連接於該第二電晶體的該閘極。

14.根據申請專利範圍第 9 項之半導體裝置的驅動方法，

其中該半導體裝置包括：

第四電晶體；

第五電晶體；以及

第六電晶體，

其中該第四電晶體的第一端子電連接於該揮發性記憶體，

其中，該第四電晶體的第二端子電連接於該第五電晶體的閘極，

其中，該第五電晶體的第一端子電連接於該第六電晶體的第一端子，

其中，該第六電晶體的第二端子電連接於該揮發性記憶體，以及

其中，該半導體裝置的該驅動方法包括如下步驟：

供應該第一控制信號至該第一電晶體的該閘極及該第四電晶體的閘極以供應對應於該資料的該電荷至該第二電晶體的該閘極及該第五電晶體的該閘極；

供應無電源電壓至該揮發性記憶體；

在供應無電源電壓至該揮發性記憶體的期間中保持對應於該資料的該電荷；

供應電源電壓至該揮發性記憶體；以及

供應該第二控制信號至該第三電晶體的該閘極及該第六電晶體的閘極以將該資料載入到該揮發性記憶體。

15.根據申請專利範圍第 14 項之半導體裝置的驅動方法，

其中該第一電晶體包括包含氧化物半導體的通道形成區，以及

其中，該第四電晶體包括包含氧化物半導體的通道形成區。

16. 根據申請專利範圍第 14 項之半導體裝置的驅動方法，

其中該揮發性記憶體包括第一反相器及第二反相器，

其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子電連接於該第一節點，

其中，該第三電晶體的該第二端子電連接於該第二節點，

其中，該第四電晶體的該第一端子電連接於該第二節點，以及

其中，該第六電晶體的該第二端子電連接於該第一節點。

17. 根據申請專利範圍第 14 項之半導體裝置的驅動方法，

其中該揮發性記憶體包括第一反相器及第二反相器，

其中，該半導體裝置包括第三反相器及第四反相器，

其中，該第一反相器的輸入端子及該第二反相器的輸出端子電連接於第一節點，

其中，該第一反相器的輸出端子及該第二反相器的輸入端子電連接於第二節點，

其中，該第一電晶體的該第一端子藉由該第三反相器電連接於該第一節點，

其中，該第三電晶體的該第二端子電連接於該第一節點，

其中，該第四電晶體的該第一端子藉由該第四反相器電連接於該第二節點，以及

其中，該第六電晶體的該第二端子電連接於該第二節點。

18. 根據申請專利範圍第 14 項之半導體裝置的驅動方法，

其中該半導體裝置包括第一電容器及第二電容器，

其中，該第一電容器的第一端子電連接於該第二電晶體的該閘極，以及

其中，該第二電容器的第一端子電連接於該第五電晶體的該閘極。