

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-171082

(P2004-171082A)

(43) 公開日 平成16年6月17日(2004.6.17)

(51) Int. Cl.⁷

G06F 1/10
H03H 7/30
H03K 5/13

F I

G06F 1/04 330A
H03H 7/30 B
H03K 5/13

テーマコード(参考)

5B079
5J001

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2002-333161(P2002-333161)
(22) 出願日 平成14年11月18日(2002.11.18)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100071272
弁理士 後藤 洋介
(74) 代理人 100077838
弁理士 池田 憲保
(72) 発明者 石川 透
東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内
Fターム(参考) 5B079 CC02 CC16
5J001 BB00 DD01 DD04

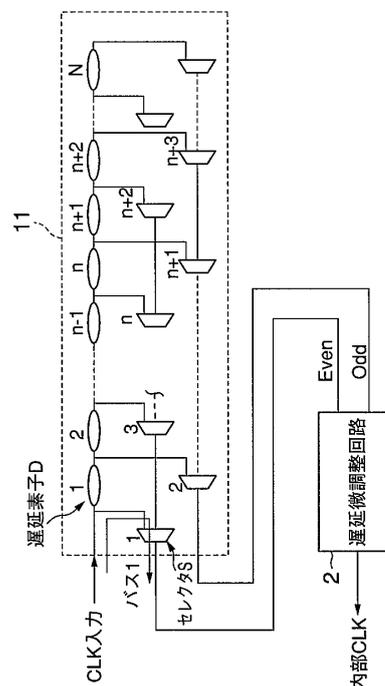
(54) 【発明の名称】 遅延生成方法及びそれに基づく遅延調整方法、並びにそれらを適用した遅延生成回路、遅延調整回路

(57) 【要約】

【課題】遅延の段数及びセレクタの段数を増加させてもセレクタ部分での遅延を最小限にできる安定した迅速動作が可能な遅延調整回路を提供すること。

【解決手段】この遅延調整回路では、遅延生成回路11内のセレクタSの構成を改良し、セレクタSの構成としてN段の遅延素子D1~DNの入出力箇所と接続されて偶数段遅延クロック信号(Even)、奇数段遅延クロック信号(Odd)を遅延出力可能とするために2系統の入力から1系統を選択出力するタイプの2:1セレクタを用いて各偶数段用セレクタ(S1, S3, ..., Sn, Sn+2)及び各奇数段用セレクタ(S2, ..., Sn+1, Sn+3)による2段構成とし、第1の出力の偶数段遅延クロック信号(Even)を1段目のセレクタS1を通し、且つ第2の出力の奇数段遅延クロック信号(Odd)を2段目のセレクタS2を通して得られるようにしている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

継続して直列接続された複数の N 段の遅延素子における入出力箇所から 1 段目の遅延素子の入力側にクロック信号が入力された状態にあって外部の制御回路からの切り替え制御信号に応じてセクタにより所定の遅延素子の遅延を切り替え選択して得られる偶数段遅延クロック信号と奇数段遅延クロック信号とを出力して遅延生成する際、該セクタとして 2 系統の入力から 1 系統を選択出力するタイプの 2 : 1 セクタを用いた上、該 N 段の遅延素子における該入出力箇所の 1 つおきのものからの出力である該 1 段目の遅延素子の入力側からの出力、2 段目の遅延素子の出力側からの出力、乃至 N - 1 段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として 2 段目以降のセクタ出力をそれぞれ前段セクタに入力して 1 段目セクタを通して前記切り替え制御信号により切り替え選択された段目のセクタによる該偶数段遅延クロック信号を出力可能とするように互いに継続して直列接続された複数の偶数段用セクタによって該偶数段遅延クロック信号を遅延出力可能とすると共に、該 N 段の遅延素子における該入出力箇所の 1 つおきのものからの出力である該 1 段目の遅延素子の出力側からの出力、3 段目の遅延素子の出力側からの出力、乃至 N 段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として 2 段目以降のセクタ出力をそれぞれ前段セクタに入力して 1 段目セクタを通して該切り替え制御信号により切り替え選択された段目のセクタによる該奇数段遅延クロック信号を出力可能とするように互いに継続して直列接続された複数の奇数段用セクタによって該奇数段遅延クロック信号を遅延出力可能としたことを特徴とする遅延生成方法。

10

20

【請求項 2】

請求項 1 記載の遅延生成方法において、前記 N 段の遅延素子の遅延量をそれぞれ一定としたことを特徴とする遅延生成方法。

【請求項 3】

請求項 1 記載の遅延生成方法において、前記 N 段の遅延素子の遅延量を異なる部分を持たせるようにしたことを特徴とする遅延生成方法。

【請求項 4】

請求項 1 ~ 3 の何れか一つに記載の遅延生成方法に基づく遅延調整方法であって、前記偶数段遅延クロック信号及び前記奇数段遅延クロック信号を合成して微調整することで内部クロック信号を生成出力することを特徴とする遅延調整方法。

30

【請求項 5】

継続して直列接続された複数の N 段の遅延素子と、前記 N 段の遅延素子における入出力箇所から 1 段目の遅延素子の入力側にクロック信号が入力された状態にあって外部の制御回路からの切り替え制御信号に応じて所定の遅延素子の遅延を切り替え選択して偶数段遅延クロック信号と奇数段遅延クロック信号とを出力するセクタとを備えた遅延生成回路において、前記セクタは、2 系統の入力から 1 系統を選択出力するタイプの 2 : 1 セクタであって、前記偶数段遅延クロック信号を遅延出力可能であるように、前記 N 段の遅延素子における前記入出力箇所の 1 つおきのものからの出力である前記 1 段目の遅延素子の入力側からの出力、2 段目の遅延素子の出力側からの出力、乃至 N - 1 段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として 2 段目以降のセクタ出力がそれぞれ前段セクタに入力されて 1 段目セクタを通して前記切り替え制御信号により切り替え選択された段目のセクタによる該偶数段遅延クロック信号を出力可能であるように互いに継続して直列接続された複数の偶数段用セクタと、前記奇数段遅延クロック信号を遅延出力可能であるように、前記 N 段の遅延素子における前記入出力箇所の 1 つおきのものからの出力である前記 1 段目の遅延素子の出力側からの出力、3 段目の遅延素子の出力側からの出力、乃至 N 段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として 2 段目以降のセクタ出力がそれぞれ前段セクタに入力されて 1 段目セクタを通して該切り替え制御信号により切り替え選択された段目のセクタによる該奇数段遅延クロック信号を出力可能であるように互い

40

50

に継続して直列接続された複数の奇数段用セクタとを備えたことを特徴とする遅延生成回路。

【請求項 6】

請求項 5 記載の遅延生成回路において、前記 N 段の遅延素子の遅延量は、それぞれ一定であることを特徴とする遅延生成回路。

【請求項 7】

請求項 5 記載の遅延生成回路において、前記 N 段の遅延素子の遅延量は、異なる部分を持つことを特徴とする遅延生成回路。

【請求項 8】

請求項 5 ~ 7 の何れか一つに記載の遅延生成回路を用いた遅延調整回路であって、前記偶数段遅延クロック信号及び前記奇数段遅延クロック信号を合成して微調整することで内部クロック信号を生成出力する遅延微調整回路を備えたことを特徴とする遅延調整回路。 10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主として半導体集積回路等に搭載される D L L (デジタルロックアップ) 回路に適用されると共に、クロック信号が入力された状態で継続して直列接続された複数の遅延段の入出力箇所からセクタにより所定のものの遅延を選択して得られる偶数段遅延クロック信号と奇数段遅延クロック信号とを生成する遅延生成方法及びそれに基づく遅延調整方法、並びにそれらを適用した遅延生成回路、遅延調整回路に関する。 20

【0002】

【従来の技術】

従来、デジタル信号を対象とした遅延生成に関連する周知技術としては、幾つかのものが挙げられる。一例に係る半導体集積回路では、内部回路で使用する内部クロック信号を外部クロック信号に同期させる D L L 回路を搭載することを基本とした上、クロック信号の周波数に依存せず位相比較を正しく行うように構成 (特許文献 1) されており、他例に係る半導体集積回路では、同様な D L L 回路を搭載することを基本とした上、クロック信号の遅延時間を精度良く調整し、位相比較を正しく行うように構成 (特許文献 2) されている。

【0003】

図 4 は、特許文献 1 の遅延回路を応用して構成される従来の遅延調整回路 (非特許文献) の基本機能を説明するために示したもので、同図 (a) は回路構成に関するもの、同図 (b) は同図 (a) の回路における各信号の波形を示したタイミングチャートに関するものである。因みに、この非特許文献は、「2002 年 V L S I シンポジウム 論文番号 9 - 1 A 1 - G b / s / p i n 5 1 2 - M b D D R I I S D R A M u s i n g a d i g i t a l D L L a n d a s l e w - r a t e - c o n t r o l l e d o u t p u t b u f f e r ; T a t s u y a M a t a n o 等」を示している。 30

【0004】

この遅延調整回路は、クロック信号を入力 (C L K 入力) して継続して直列接続された複数の N 段の遅延素子 D (図 4 中で D 1 , D 2 , ... , D n , D n + 1 , ... , D N として示されるものを示す; 但し、ここでは N > n であり、n は少なくとも 4 以上の自然数、N は少なくとも 7 以上の自然数である多段構成を示している) における入出力箇所から 1 段目の遅延素子 D 1 の入力側にクロック信号が入力 (C L K 入力) された状態にあって図示されない外部の制御回路からの切り替え制御信号に応じてセクタ S により所定のものの遅延を切り替え選択して得られる偶数段遅延クロック信号 (E v e n) と奇数段遅延クロック信号 (O d d) とを出力する遅延生成回路 1 0 と、この遅延生成回路 1 0 からの偶数段遅延クロック信号 (E v e n) 及び奇数段遅延クロック信号 (O d d) を合成して微調整することで内部クロック信号を生成出力する遅延微調整回路 2 とを備えて構成されている。 40

【0005】

具体的に言えば、この遅延調整回路の場合、図 4 (b) に示されるようなクロック信号の 50

入力（CLK入力）に応じて遅延生成回路10では各遅延素子Dの中から遅延素子 D_n 、 D_{n+1} の遅延を外部の制御信号により切り替え選択可能なセクタSにより選択することで偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）が生成出力され、遅延微調整回路2ではそれらの2つの偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）の遅延を合成して遅延微調整した結果、内部クロック信号（内部CLK）が得られるようになっている。

【0006】

ここで、遅延生成回路10から偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）として出力される遅延は、外部からの切り替え制御信号によりセクタSで遅延素子 D_n 、 D_{n+1} の遅延が選択されている場合、DLL回路に適用されたときにDLLのロックする位置が遅れると、同様に外部からの切り替え制御信号によりセクタSで次には遅延素子 D_{n+2} 、 D_{n+1} 、その次には遅延素子 D_{n+2} 、 D_{n+3} を切り替え選択するという具合に偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）が交互に切り替わるように動作制御される。

10

【0007】

近年、DLL回路に要求される動作周波数は高速化されているため、例えば図5に示されるように、上述した図4に示した遅延調整回路1の入力側に初段回路3を直列接続し、初段回路3の入力側及び遅延調整回路1の出力側に位相比較回路4を並列に接続して構成したDLL回路において、1周期でDLLのロックを行う場合を想定すると、初段回路3の遅延量と遅延調整回路1の遅延生成回路10の遅延量との総和である総遅延量の最小（Min）値が1周期以下である必要がある。上記の非特許文献（論文）では、高速化対応のためにDLL回路の遅延自体は2周期となっているが、遅延が長い場合、遅延素子も増えると共に、電源ノイズによる遅延の変化も大きくなってジッタ量が増大するため、DLL回路としては1周期の遅延でロックすることが望ましい。又、2周期の遅延でロックする構成としても、更に高速化した場合には、DLL回路自体の遅延を小さくする必要がある。

20

【0008】

こうした場合に遅延調整回路1における遅延生成回路10の好ましい例として、上述した論文では256段の遅延から偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）の遅延を選択する構成のものが取り上げられており、256段の遅延から2つの遅延を選び得るように4系統の入力から1系統を選択出力するタイプの4：1セクタを用いて構成した場合、概略的には図6に示されるように、各遅延が4段構成された上で4：1セクタが4段の遅延をそれぞれ選択する階層状の構成となる。

30

【0009】

【特許文献1】

特開2001-56723号公報（要約の課題並びに発明の詳細な説明における技術分野）

【0010】

【特許文献2】

特開2001-111394号公報（要約の課題並びに発明の詳細な説明における技術分野）

40

【0011】

【発明が解決しようとする課題】

上述した遅延調整回路の場合、近年のDLL回路に要求される動作周波数の高速化に十分対応できるようにするためには遅延生成回路において遅延の段数を増加させた構成とする必要があるが、遅延の段数が増加するとセクタの段数（総数）も増えることになり、このセクタの総数が結果として遅延調整の基本動作を遅くする要因となっている（例えば図6で説明したような256段の遅延を4段構成として4：1セクタを用いる場合、段数的には最終段の出力が1段となるものの、回路設計を担う技術者には周知であるように遅延出力に256個のトランジスタTrを用いると階層状の総数が多いセクタの構成部

50

分で電氣的な負荷が付加されることで結果的に基本動作が遅くなる)という問題がある。

【0012】

本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、遅延の段数及びセレクタの段数を増加させてもセレクタでの遅延を最小限にできる安定した迅速動作が可能な遅延生成方法及びそれに基づく遅延調整方法、並びにそれらを適用した遅延生成回路、遅延調整回路を提供することにある。

【0013】

【課題を解決するための手段】

本発明によれば、継続して直列接続された複数のN段の遅延素子における入出力箇所から1段目の遅延素子の入力側にクロック信号が入力された状態にあって外部の制御回路からの切り替え制御信号に応じてセレクタにより所定の遅延素子の遅延を切り替え選択して得られる偶数段遅延クロック信号と奇数段遅延クロック信号とを出力して遅延生成する際、該セレクタとして2系統の入力から1系統を選択出力するタイプの2:1セレクタを用いた上、該N段の遅延素子における該入出力箇所の1つおきのものからの出力である該1段目の遅延素子の入力側からの出力、2段目の遅延素子の出力側からの出力、乃至N-1段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力をそれぞれ前段セレクタに入力して1段目セレクタを通して切り替え制御信号により切り替え選択された段目のセレクタによる該偶数段遅延クロック信号を遅延出力可能とするように互いに継続して直列接続された複数の偶数段用セレクタによって該偶数段遅延クロック信号を出力可能とすると共に、該N段の遅延素子における該入出力箇所の1つおきのものからの出力である該1段目の遅延素子の出力側からの出力、3段目の遅延素子の出力側からの出力、乃至N段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力をそれぞれ前段セレクタに入力して1段目セレクタを通して該切り替え制御信号により切り替え選択された段目のセレクタによる該奇数段遅延クロック信号を出力可能とするように互いに継続して直列接続された複数の奇数段用セレクタによって該奇数段遅延クロック信号を遅延出力可能とした遅延生成方法が得られる。

10

20

【0014】

この遅延生成方法において、N段の遅延素子の遅延量をそれぞれ一定としたこと、或いはN段の遅延素子の遅延量を異なる部分を持たせるようにしたことは好ましい。

30

【0015】

又、本発明によれば、上記何れか一つの遅延生成方法に基づく遅延調整方法であって、偶数段遅延クロック信号及び奇数段遅延クロック信号を合成して微調整することで内部クロック信号を生成出力する遅延調整方法が得られる。

【0016】

一方、本発明によれば、継続して直列接続された複数のN段の遅延素子と、N段の遅延素子における入出力箇所から1段目の遅延素子の入力側にクロック信号が入力された状態にあって外部の制御回路からの切り替え制御信号に応じて所定の遅延素子の遅延を切り替え選択して偶数段遅延クロック信号と奇数段遅延クロック信号とを出力するセレクタとを備えた遅延生成回路において、セレクタは、2系統の入力から1系統を選択出力するタイプの2:1セレクタであって、偶数段遅延クロック信号を遅延出力可能であるように、N段の遅延素子における入出力箇所の1つおきのものからの出力として1段目の遅延素子の入力側からの出力、2段目の遅延素子の出力側からの出力、乃至N-1段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力がそれぞれ前段セレクタに入力されて1段目セレクタを通して切り替え制御信号により切り替え選択された段目のセレクタによる該偶数段遅延クロック信号を出力可能とするように互いに継続して直列接続された複数の偶数段用セレクタと、奇数段遅延クロック信号を遅延出力可能であるように、N段の遅延素子における入出力箇所の1つおきのものからの出力として1段目の遅延素子の出力側からの出力、3段目の遅延素子の出力側からの出力、乃至N段目の遅延素子の出力側からの出力を順次一方の入力系として入力

40

50

し、且つ他方の入力系として2段目以降のセレクタ出力がそれぞれ前段セレクタに入力されて1段目セレクタを通して該切り替え制御信号により切り替え選択された段目のセレクタによる該奇数段遅延クロック信号を出力可能とするように互いに継続して直列接続された複数の奇数段用セレクタとを備えた遅延生成回路が得られる。

【0017】

更に、本発明によれば、上記遅延生成回路において、N段の遅延素子の遅延量はそれぞれ一定である遅延生成回路、或いはN段の遅延素子にあっての遅延量は異なる部分を持つ遅延生成回路が得られる。

【0018】

他方、本発明によれば、上記何れか一つの遅延生成回路を用いた遅延調整回路であって、偶数段遅延クロック信号及び奇数段遅延クロック信号を合成して微調整することで内部クロック信号を生成出力する遅延微調整回路を備えた遅延調整回路が得られる。

10

【0019】

【発明の実施の形態】

以下に本発明の実施の形態について、図面を参照して詳細に説明する。最初に、本発明の遅延生成方法の技術的概要について説明する。本発明の遅延生成方法は、継続して直列接続された複数のN段の遅延素子における入出力箇所から1段目の遅延素子の入力側にクロック信号が入力された状態にあって外部の制御回路からの切り替え制御信号に応じてセレクタにより所定の遅延素子の遅延を切り替え選択して得られる偶数段遅延クロック信号(Even)と奇数段遅延クロック信号(Odd)とを出力して遅延生成する際、セレクタとして2系統の入力から1系統を選択出力するタイプの2:1セレクタを用いた上、N段の遅延素子における入出力箇所の1つおきのものからの出力である1段目の遅延素子の入力側からの出力、2段目の遅延素子の出力側からの出力、乃至N-1段目の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力をそれぞれ前段セレクタに入力して1段目セレクタを通して切り替え制御信号により切り替え選択された段目のセレクタによる偶数段遅延クロック信号(Even)を出力可能とするように互いに継続して直列接続された複数の偶数段用セレクタによって偶数段遅延クロック信号(Even)を遅延出力可能とすると共に、N段の遅延素子における入出力箇所の1つおきのものからの出力である1段目の遅延素子の出力側からの出力、3段目の遅延素子の出力側からの出力、乃至N段目(即ち、ここでのNは4以上の自然数を示している)の遅延素子の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力をそれぞれ前段セレクタに入力して1段目セレクタを通して切り替え制御信号により切り替え選択された段目のセレクタによる奇数段遅延クロック信号(Odd)を出力可能とするように互いに継続して直列接続された複数の奇数段用セレクタによって奇数段遅延クロック信号(Odd)を遅延出力可能とするものである。

20

30

【0020】

但し、この遅延生成方法において、N段の遅延素子の遅延量をそれぞれ一定であるようにしたり、或いはN段の遅延素子の遅延量を異なる部分を持たせる(例えば所定の段数目以降の遅延量を所定の段数目前のものより大きくする)ようにしても良い。何れにしても、このような遅延生成方法に基づく遅延調整方法では、偶数段遅延クロック信号(Even)及び奇数段遅延クロック信号(Odd)を合成して微調整することで内部クロック信号を生成出力する。

40

【0021】

図1は、上述した本発明の遅延生成方法及びそれに基づく遅延調整方法を適用した一つの実施の形態に係る遅延生成回路11を含む遅延調整回路の基本構成を示したブロック図である。

【0022】

この遅延調整回路の場合も、図4に示したものと比べて機能上は継続して直列接続された複数のN段の遅延素子D(図1中でD1, D2, ..., Dn, Dn+1, ..., DNとして示

50

されるものを示す；但し、ここでは $N > n$ であり、 n は少なくとも4以上の自然数、 N は少なくとも7以上の自然数である多段構成を示している)と、 N 段の遅延素子 D における入出力箇所から1段目の遅延素子 D_1 の入力側にクロック信号が入力(CLK入力)された状態にあって図示されない外部の制御回路からの切り替え制御信号に応じて所定の遅延素子の遅延を切り替え選択して偶数段遅延クロック信号(Even)と奇数段遅延クロック信号(Odd)とを出力するセレクタ S とを備えて成る遅延生成回路11を含み、この遅延生成回路11からの偶数段遅延クロック信号(Even)及び奇数段遅延クロック信号(Odd)を遅延微調整回路2により合成して微調整することで内部クロック信号を生成出力する点が共通している。

【0023】

但し、この遅延調整回路の場合、遅延生成回路11におけるセレクタ S の構成が図4の場合の遅延生成回路10と異なり、セレクタ S は、2系統の入力から1系統を選択出力するタイプの2:1セレクタであって、偶数段遅延クロック信号(Even)を遅延出力可能であるように、 N 段の遅延素子 D における入出力箇所の1つおきのものからの出力である1段目の遅延素子 D_1 の入力側からの出力、2段目の遅延素子 D_2 の出力側からの出力、 \dots 、 $n-1$ 段目の遅延素子 D_{n-1} の出力側からの出力、 $n+1$ 段目の遅延素子 D_{n+1} の出力側からの出力、 \dots 、及び $N-1$ 段目の遅延素子 D_{N-1} の出力側からの出力(図1中では略図されている)を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力がそれぞれ前段セレクタに入力されて1段目セレクタ(セレクタ S_1 を示す)を通して切り替え制御信号により切り替え選択された段目のセレクタによる偶数段遅延クロック信号(Even)を出力可能とするように互いに継続して直列接続された複数の偶数段用セレクタ(図1中で $S_1, S_3, \dots, S_n, S_{n+2}$ として示されるもの)と、奇数段遅延クロック信号(Odd)を遅延出力可能であるように、 N 段の遅延素子 D における入出力箇所の1つおきのものからの出力である1段目の遅延素子 D_1 の出力側からの出力、3段目の遅延素子 D_3 の出力側からの出力(図1中では略図されている)、 \dots 、 n 段目の遅延素子 D_n の出力側からの出力、 $n+2$ 段目の遅延素子 D_{n+2} の出力側からの出力、 \dots 、及び N 段目の遅延素子 D_N の出力側からの出力を順次一方の入力系として入力し、且つ他方の入力系として2段目以降のセレクタ出力がそれぞれ前段セレクタに入力されて1段目セレクタ(セレクタ S_2 を示す)を通して切り替え制御信号により切り替え選択された段目のセレクタによる奇数段遅延クロック信号(Odd)を出力可能とするように互いに継続して直列接続された複数の奇数段用セレクタ(図1中で $S_2, \dots, S_{n+1}, S_{n+3}$ として示されるもの)とを備えて構成された上、 N 段の遅延素子 D の遅延量をそれぞれ一定として各偶数段用セレクタ及び各奇数段用セレクタによるセレクタ S の総数が $N+1$ 個(或いはそれ以下でも良い)となるように構成されている。

【0024】

即ち、この遅延調整回路における遅延生成回路11では、セレクタ S の構成として N 段の遅延素子 D の入出力箇所と接続されて偶数段遅延クロック信号(Even)、奇数段遅延クロック信号(Odd)を遅延出力可能とするために2:1セレクタを用いて各偶数段用セレクタ及び各奇数段用セレクタによる2段構成とし、例えば偶数段用セレクタである n 段目のセレクタ S_n には $n-1$ 段目の遅延素子 D_{n-1} の出力と $n+2$ 段目のセレクタ S_{n+2} の出力とが入力され、奇数段用セレクタである $n+1$ 段目のセレクタ S_{n+1} には n 段目の遅延素子 D_n の出力と $n+3$ 段目のセレクタ S_{n+3} の出力とが入力される構成とすることにより、第1の出力となる偶数段遅延クロック信号(Even)を1段目のセレクタ S_1 を通して得られるようにし、且つ第2の出力となる奇数段遅延クロック信号(Odd)を2段目のセレクタ S_2 を通して得られるようにしている。

【0025】

このようにセレクタ S を各偶数段用セレクタ、各奇数段用セレクタとして2段で構成した場合、この遅延調整回路(遅延生成回路11)の最短の遅延パスは、図1中での偶数段用セレクタであるセレクタ S_1 に入力される遅延素子 D_1 の入力側から出力されるクロック信号の入力(CLK入力)に係るパス1であり、1段のセレクタ S_1 の遅延のみで最小

10

20

30

40

50

の遅延が可能となり、他の遅延素子 $D_2 \sim D_N$ 分を増加しても、これらは後続追加されるだけの形態であり、最短の遅延パスによる最小遅延には影響しない。

【0026】

図2は、この遅延調整回路に備えられる遅延生成回路11における遅延動作を説明するために示したブロック図である。ここでは、各遅延素子 $D_1 \sim D_N$ の遅延量（遅延値）を t_d 、各スイッチ $S_1 \sim S_6$ （説明の簡略化のために図示したものの場合）の遅延量（遅延値）を t_s とし、入力されるクロック信号（CLK入力）の切り替わり時間を $0ns$ とした場合に出力される偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）における遅延動作の様子を示している。

【0027】

但し、ここでも、基本動作上において遅延生成回路11から偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）として出力される遅延は、外部からの切り替え制御信号によりセクタ S_{n+1} 、セクタ S_{n+2} で遅延素子 D_n 、 D_{n+1} の遅延が選択されている場合、DLL回路に適用されたときにDLLのロックする位置が遅れると、同様に外部からの切り替え制御信号により次にはセクタ S_{n+3} 、 S_{n+2} で遅延素子 D_{n+2} 、 D_{n+1} 、その次にはセクタ S_{n+3} 、 S_{n+4} で遅延素子 D_{n+2} 、 D_{n+3} という具合に偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）が交互に切り替わるように動作制御される。

【0028】

こうした場合、セクタ S の切り替わりとして、先ず偶数段用セクタの1段目のセクタ S_1 、奇数段用セクタの1段目のセクタ S_2 が遅延素子 D 側（A側とする）を選択し、それ以外のセクタ $S_3 \sim S_6$ がセクタ S 出力側（B側とする）を選択した結果、偶数段遅延クロック信号（Even）の遅延は t_s 、奇数段遅延クロック信号（Odd）の遅延は $t_s + t_d$ となる。

【0029】

次に、奇数段用セクタの1段目のセクタ S_2 、偶数段用セクタの2段目のセクタ S_3 が遅延素子側 D （A側）を選択し、それ以外のセクタ S_1 、 $S_4 \sim S_6$ がセクタ S 出力側（B側）を選択した結果、偶数段遅延クロック信号（Even）の遅延は $2t_s + 2t_d$ 、奇数段遅延クロック信号（Odd）の遅延は $t_s + t_d$ となる。

【0030】

更に、偶数段用セクタの2段目のセクタ S_3 、奇数段用セクタの2段目のセクタ S_4 が遅延素子 D 側（A側）を選択し、それ以外のセクタ S_1 、 S_2 、 S_5 、 S_6 がセクタ S 出力側（B側）を選択した結果、偶数段遅延クロック信号（Even）の遅延は $2t_s + 2t_d$ 、奇数段遅延クロック信号（Odd）の遅延は $2t_s + 3t_d$ となる。

【0031】

引き続き、奇数段用セクタの2段目のセクタ S_4 、偶数段用セクタの3段目の S_5 が遅延素子 D 側（A側）を選択し、それ以外のセクタ $S_1 \sim S_3$ 、 S_6 がセクタ S 出力側（B側）を選択した結果、偶数段遅延クロック信号（Even）の遅延は $3t_s + 4t_d$ 、奇数段遅延クロック信号（Odd）の遅延は $2t_s + 3t_d$ となる。

【0032】

以上のように、この遅延調整回路における遅延生成回路11では、偶数段遅延クロック信号（Even）、奇数段遅延クロック信号（Odd）の遅延が切り替わり、これらの遅延差が t_d 又は $t_d + t_s$ となるが、通常遅延量としては t_d が支配的（即ち、 $t_d > t_s$ ）であり、 t_d がほぼ一定となる。

【0033】

ところで、上述した遅延生成回路11（又はそれを含む遅延調整回路）の場合、図5に示したようなDLL回路等への適用を想定すれば、 $10ns$ 程度の低速までカバーしようとする遅延素子 D の段数が増え、 N 段としたときには初段回路3の遅延 $+ N \times t_d + N \times t_s$ がDLL回路がロックできる最大（Max）値であり、それ以上必要であれば遅延素子の段数（総数）を増加する必要がある。

10

20

30

40

50

【0034】

しかしながら、低周期においてはDLL回路で求められる分解能が粗くても良いため、上述した例では各遅延素子 $D_1 \sim D_N$ の遅延量を t_d の一定としたが、異なる遅延量を持つようにしても良い。

【0035】

図3は、上述した遅延調整回路に適用可能な他の遅延生成回路12を例示したブロック図である。この遅延生成回路12の場合も、上述した遅延微調整回路2と組み合わせることで遅延調整回路として構成されるものであるが、ここではN段の遅延素子として、遅延素子 $D_1 \sim D_{m-1}$ 段目までを所定の遅延量を持つものとし、遅延素子 $D_m \sim D_N$ 段目までを遅延素子 $D_1 \sim D_{m-1}$ 段目までとは異なるそれらよりも長い遅延量を持つものとして構成した場合を示している。このように各遅延素子 D_i の遅延量を異なるものとして遅延生成回路12を構成した場合、遅延素子 D_i の段数(総数)を増加させずに低周期まで対応させることができる。尚、ここでは各遅延素子 D_i の遅延量が2種の形態で異なる場合を説明したが、3種以上で異なるように構成することも可能である。

10

【0036】

【発明の効果】

以上に説明したように、本発明によれば、非特許文献で知られる遅延生成回路内のセレクタの構成を改良し、セレクタの構成としてN段の遅延素子の入出力箇所と接続されて偶数段遅延クロック信号(Even)、奇数段遅延クロック信号(Odd)を遅延出力可能とするために2:1セレクタを用いて各偶数段用セレクタ及び各奇数段用セレクタによる2段構成としているので、遅延の最小(Min)値を各セレクタの遅延量の t_s のみと高速にでき、しかも遅延素子を増加させる場合にも遅延素子の1個に対してセレクタの1個の対で構成することができて遅延の最小(Min)値に影響がないため、遅延の段数及びセレクタの段数を増加させても従来に無くセレクタでの遅延を最小限にできる安定した迅速動作が可能な遅延生成回路、及びそれを遅延微調整回路と組み合わせた遅延調整回路が得られるようになる。又、遅延生成回路における各遅延素子の遅延量を異なる部分を持たせるようにして遅延素子の段数(総数)を増加させずに低周期まで対応させることも可能にしている。

20

【図面の簡単な説明】

【図1】本発明の遅延生成方法及びそれに基づく遅延調整方法を適用した一つの実施の形態に係る遅延生成回路を含む遅延調整回路の基本構成を示したブロック図である。

30

【図2】図1に示す遅延調整回路に備えられる遅延生成回路における遅延動作を説明するために示したブロック図である。

【図3】図1に示す遅延調整回路に適用可能な他の遅延生成回路を例示したブロック図である。

【図4】従来の遅延調整回路の基本機能を説明するために示したもので、(a)は回路構成に関するもの、(b)は(a)の回路における各信号の波形を示したタイミングチャートに関するものである。

【図5】図4に示した遅延調整回路を含んで構成したDLL回路を例示したブロック図である。

40

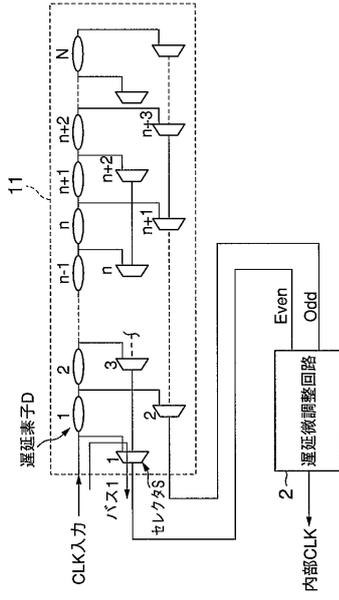
【図6】図5のDLL回路に適用される遅延調整回路における遅延生成回路の好ましい具体例を示した概略図である。

【符号の説明】

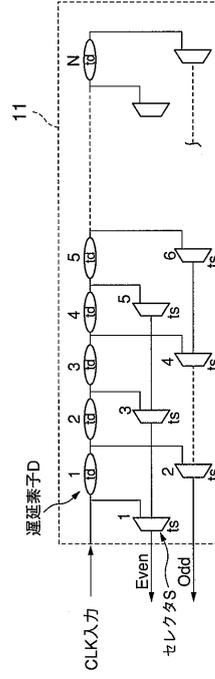
- 1 遅延調整回路
- 2 遅延微調整回路
- 3 初段回路
- 4 位相比較回路
- 10, 11, 12 遅延生成回路
- D 遅延素子
- S セレクタ

50

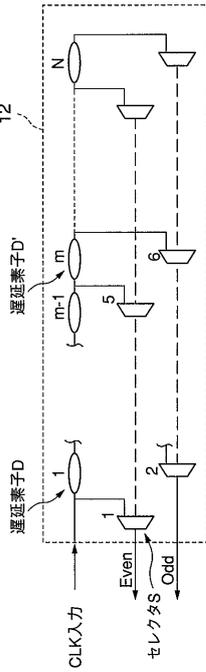
【 図 1 】



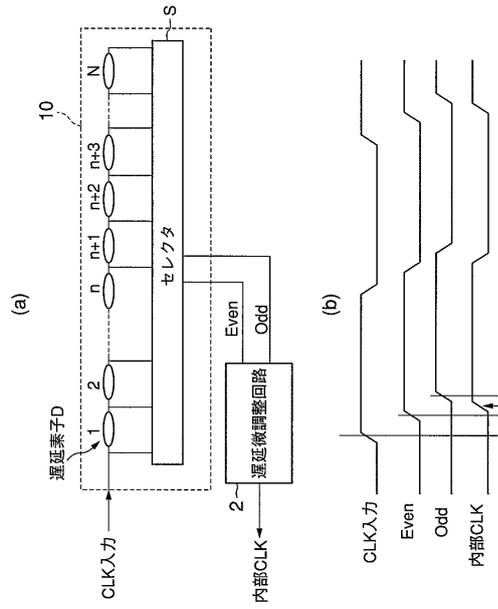
【 図 2 】



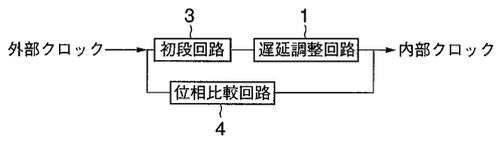
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

