



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 35 164 B4 2007.03.22**

(12)

Patentschrift

(21) Aktenzeichen: **103 35 164.7**
 (22) Anmeldetag: **30.07.2003**
 (43) Offenlegungstag: **10.03.2005**
 (45) Veröffentlichungstag
 der Patenterteilung: **22.03.2007**

(51) Int Cl.⁸: **G01R 31/316 (2006.01)**
G01R 35/00 (2006.01)
G01R 31/28 (2006.01)
H03M 1/10 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Schweiger, M., Dipl.-Ing. Univ., Pat.-Anw., 80333 München

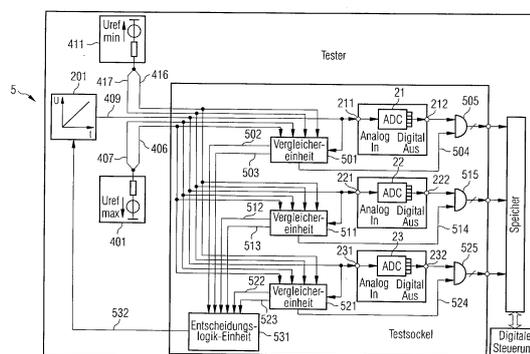
(72) Erfinder:
Mattes, Heinz, 81739 München, DE; Sattler, Sebastian, 81541 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 26 26 899 C3
US 62 29 465 B1

(54) Bezeichnung: **Vorrichtung und Verfahren zum parallelen Testen von mehreren integrierten Schaltkreisen**

(57) Hauptanspruch: Testvorrichtung zum parallelen Testen von mehreren integrierten Schaltkreisen, insbesondere von dynamischen AD-Wandlern, wobei die Testvorrichtung (3; 4) die folgenden Merkmale aufweist:

- einen Präzisionssignalgenerator (201), der zum Generieren eines Testsignals bestimmt ist und der über eine Anschlussleitung (306; 409) mit mindestens zwei Eingangskontakten (211; 221; 231) verbunden ist, die zum Anschluss an je einen Eingang eines integrierten Schaltkreises bestimmt sind, wobei an verschiedene Eingangskontakte (211; 221; 231) verschiedene integrierte Schaltkreise anschließbar sind,
- wenigstens einen Referenzsignalgenerator (301; 401, 411), der zum Erzeugen eines Referenzsignals bestimmt ist,
- für je einen Eingangskontakt (211, 221, 231) ist wenigstens eine Vergleichereinheit zum Vergleichen des Testsignals mit dem Referenzsignal in einem Testmode und zum Abschalten des Präzisionsgenerators in dem Testmode vorgesehen, wobei die Abschaltung erfolgt, wenn das Testsignal das Referenzsignal übersteigt oder unterschreitet.



Beschreibung

[0001] Die Erfindung betrifft eine Vorrichtung sowie ein Verfahren zum parallelen Testen von mehreren integrierten Schaltkreisen.

[0002] Zum Überprüfen von integrierten Schaltkreisen werden erwartete Werte mit tatsächlich gemessenen Werten verglichen.

Stand der Technik

[0003] Die DE 2626899 C3 zeigt eine Vorrichtung und ein Verfahren zum wiederholten Nacheichen und Genauigkeitsüberprüfen eines Analog-Digitalwandlers. Bei diesem wird während der Messphase einer Eingangsspannung eine Sägezahnspannung generiert, die der Eingangsspannung entgegengeschaltet und anschließend gemessen wird. Nach der Messphase schließt sich eine Eichphase an, bei der der Sägezahnspannung eine Referenzspannung entgegengeschaltet und gezählt wird, wie lange es dauert, bis die Summe aus Sägezahn- und Referenzspannung Null wird. Falls diese Zählung nicht einen erwarteten Wert ergibt, werden die Spannungspegel für die Sägezahnspannung für kommende Messungen verändert.

[0004] Die US 6,229,465 B1 zeigt einen Analog-Digital-Wandler, der zusammen mit einer Testvorrichtung, die diesen Analog-Digital-Wandler überprüft, auf einem Bauteil integriert ist.

[0005] Der Produktionstest von integrierten Schaltkreisen stellt einen wesentlichen Kostenfaktor bei der Herstellung solcher integrierter Schaltkreise dar. Um die bei dem Produktionstest von integrierten Schaltkreisen entstehenden Kosten zu optimieren, wird häufig versucht, die zur Verfügung stehenden Testanlagen bestmöglich auszulasten. Wenn der Testalgorithmus, mit dem die integrierten Schaltkreise getestet werden, auf eine minimale Testzeit optimiert ist, sind bei diesem Ansatz bereits alle Möglichkeiten zur Kostenreduktion ausgeschöpft.

[0006] Ein weiterer Ansatz zum Testen von integrierten Schaltkreisen besteht darin, mehrere integrierte Schaltkreise auf einem Tester zeitgleich zu überprüfen. Dafür ist es notwendig, die zum Einsatz kommenden Tester entsprechend umzurüsten, insbesondere das loadboard zur Aufnahme mehrerer integrierter Schaltkreise anzupassen. Unter einem loadboard wird dabei ein bei einem solchen Test verwendeter Sockel verstanden, der in der Lage ist ein oder mehrere zu testende integrierte Schaltkreise aufzunehmen. Bei derart durchgeführten Paralleltests von integrierten Schaltkreisen ist es bisher nicht möglich, die zu testenden integrierten Schaltkreise mit den gleichen Signalpegeln zu versorgen. Daher haben die Ergebnisse von derartigen Paralleltests

von integrierten Schaltkreisen oft nur eine geringe Aussagekraft. Dies führt dazu, dass bei solchen Paralleltests an sich fehlerfreie integrierte Schaltkreise aussortiert und fehlerhafte integrierte Schaltkreise für gut befunden werden.

Aufgabenstellung

[0007] Es ist Aufgabe der vorliegenden Erfindung, eine Vorrichtung sowie ein Verfahren bereitzustellen, mit der/mit dem auf einfache Weise ein Paralleltest von integrierten Schaltkreises durchgeführt werden kann, der zuverlässige und aussagekräftige Testergebnisse liefert.

[0008] Diese Aufgabe wird mit dem Gegenstand der unabhängigen Patentansprüche gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den jeweiligen Unteransprüchen.

[0009] Die Erfindung betrifft eine Testvorrichtung zum Testen von integrierten Schaltkreisen, insbesondere von dynamischen Analog-Digital-Wandlern/AD-Wandlern, sowie Sigma-Delta-Wandlern. Die vorliegende Erfindung ist dabei nicht auf den Test von solchen Wandlern limitiert, sondern kann überall dort eingesetzt werden, wo analoge Spannungen mit großer Genauigkeit benötigt werden.

[0010] Die erfindungsgemäße Testvorrichtung verfügt über einen gemeinsamen Präzisionssignalgenerator, der ein Testsignal, insbesondere eine analoge Rampenspannung oder einen sinusförmigen Spannungs- oder Stromverlauf generiert, und der über Anschlussleitungen mit insbesondere auf dem loadboard angeordneten Eingangskontakten für die zu testenden integrierten Schaltkreise verbunden ist. Des weiteren umfasst die Testvorrichtung wenigstens einen Referenzsignalgenerator, insbesondere eine Referenzspannungsquelle, der/die ein konstantes Referenzsignal, insbesondere einen Grenzspannungswert erzeugen kann. Das Referenzsignal stellt dabei einen Maximalwert oder einen Minimalwert dar, den das Testsignal über- oder unterschreiten soll. Der Referenzsignalgenerator ist dabei so ausgebildet, dass er eine sehr genaue Testsignalreferenz, insbesondere eine sehr genaue Spannungsreferenz zur Verfügung stellen kann. Abgesehen von der Anforderung der Amplitudengenauigkeit, sind die Anforderungen an den Referenzsignalgenerator nicht besonders groß, denn das Referenzsignal wird nur nahezu unbelastet betrieben und muss nur während eines üblicherweise einige hundert Millisekunden andauernden Messzyklus stabil sein.

[0011] Jeder Eingangskontakt verfügt über wenigstens eine nahe bei dem Eingangskontakt angeordnete Vergleichereinheit, die in einem Testmodus betrieben werden kann. In diesem Testmodus kann individuell für jeden zu testenden integrierten Schaltkreis

festgestellt werden, ob der Wert des Testsignals zu groß oder zu klein wird bzw. ob das Testsignal das Referenzsignal übersteigt oder unterschreitet. In diesem Fall kann der Präzisionssignalgenerator direkt von der betreffenden Vergleichereinheit ausgeschaltet werden.

[0012] Gemäß einem Grundgedanken der Erfindung wird durch die Parallelisierung des Tests gewährleistet, dass n integrierte Schaltkreise zeitgleich getestet werden können. Dadurch reduziert sich die Gesamttestzeit um den Faktor n . Die Geräteausstattung des zum Einsatz kommenden Testers bleibt gleich. Lediglich das Loadboard muss zur Aufnahme mehrerer integrierter Schaltkreise angepasst werden.

[0013] Die integrierten Schaltkreise werden von einem gemeinsamen Präzisionssignalgenerator mit dem gleichen Eingangssignal versorgt. Die digitalen Ausgänge der integrierten Schaltkreise werden hingegen separat ausgewertet.

[0014] Dadurch, dass die Vergleichereinheit jeweils direkt bei dem ihr zugeordneten Eingangskontakt angeordnet ist, ist sichergestellt, dass jeweils die direkt am integrierten Schaltkreis anliegenden Testsignale erfasst und betrachtet werden. Zwischen dem Präzisionssignalgenerator und den Eingangskontakten werden die Testsignale nämlich über mehrere Boardebenen zu dem zu testenden integrierten Schaltkreis geführt. Jeder der Übergänge zwischen den Boardebenen weist einen Ohmschen Kontaktwiderstand auf. Durch mögliche Verschmutzung, Oxidation oder Abnutzung ist die exakte Kontrolle dieser Widerstände während des Produktionseinsatzes kaum zu gewährleisten. Schon bei kleinsten Strömen kann dies zu erheblichen Spannungsabfällen auf der Strecke von dem Präzisionssignalgenerator bis zu dem jeweiligen integrierten Schaltkreis führen.

[0015] Gemäß einer ersten Ausführungsform der Erfindung umfasst die Testvorrichtung zwei Referenzsignalgeneratoren. Der erste Referenzsignalgenerator erzeugt dabei ein unteres Referenzsignal und der zweite Referenzsignalgenerator erzeugt ein oberes Referenzsignal. Bei dieser Ausführungsform verfügt jeder Eingangskontakt über zwei Vergleichereinheiten, und zwar über eine erste Vergleichereinheit, die mit dem ersten Referenzsignalgenerator verbunden ist, und über eine zweite Vergleichereinheit, die mit dem zweiten Referenzsignalgenerator verbunden ist.

[0016] Dadurch wird gewährleistet, dass die integrierten Schaltkreise nur mit Testsignalen getestet werden, die innerhalb des durch das untere und das obere Referenzsignal aufgespannten Testintervalls angeordnet sind. Dadurch können die tatsächlich an den Eingangskontakten der integrierten Schaltkreise

anliegenden Testsignalwerte zuverlässig kontrolliert werden.

[0017] Gemäß einer weiteren Ausführungsform der Erfindung werden vom Referenzsignalgenerator oder von den Referenzsignalgeneratoren jeweils zwei Leitungen, nämlich eine Kalibrierleitung und eine Referenzleitung an die Vergleichereinheit(en) herangeführt. Des Weiteren umfasst jede Vergleichereinheit auch eine Kalibriereinheit, auf deren Steuereingang der Ausgang der Vergleichereinheit jeweils geführt ist. Die Kalibrierleitung und die Referenzleitung werden so eng wie möglich gemeinsam mit der Signalleitung geführt, so dass alle diese Leitungen die gleichen externen Störungen erfahren. Die Vergleichereinheit kann auch in einem Kalibriermodus betrieben werden, bei dem die Schalteigenschaften der Vergleichereinheit, insbesondere der Offset/die Abweichung zum Nullwert und die Hysterese/das Nachwirken des Testsignals nach dem Abschalten eingestellt werden, indem die an der Kalibrier- und an der Referenzleitung der Kalibriereinheit anliegenden Signalwerte miteinander verglichen werden.

[0018] Die parallel zu testenden integrierten Schaltkreise können über verschiedene fertigungsbedingte interne Offsets verfügen. Dadurch, dass alle integrierten Schaltkreise an einen gemeinsamen Signalgenerator angeschlossen sind, können Offsetfehler auftreten, die einen guten integrierten Schaltkreis als fehlerhaft ausweisen und so zu einer Verringerung der Ausbeute führen. Durch das Justieren der Offsets im Kalibriermodus werden solche Offsetfehler sicher vermieden.

[0019] Durch den, insbesondere zu Testbeginn auszuführenden Kalibriermodus wird sichergestellt, dass die Vergleichereinheit exakt bei den gleichen Spannungen schaltet und dass der Präzisionssignalgenerator im Testmodus exakt beim Erreichen des Werts des Referenzsignals abgeschaltet wird.

[0020] Dafür ist zu gewährleisten, dass die Vergleichereinheit(en) über einen sehr hochohmigen Eingang verfügt/verfügen, so dass sichergestellt ist, dass über die Kalibrier- und über die Referenzleitung keine Ströme fließen und es somit auch bei größeren Kontaktwiderständen zu keinem Spannungsabfall auf diesen beiden Leitungen kommt. Dadurch wird sichergestellt, dass die Referenzspannung unabhängig von der Qualität der Zuleitungsführung exakt am Eingang der Vergleichereinheit(en) anliegt.

[0021] Gemäß einem weiteren Grundgedanken der Erfindung wird durch das Vorsehen dieses Kalibriermodus sichergestellt, dass alle parallel zu testenden integrierten Schaltkreise mit exakt den gleichen Spannungspegeln versorgt werden. Die tatsächlich an den Eingangskontakten des integrierten Schaltkreise anliegenden Testwerte sind bekannt und

über-/unterschreiten die durch die Referenzsignalgeneratoren erzeugten Referenzsignalwerte nicht. Dadurch kann die Genauigkeit und die Verlässlichkeit der Eingangssignale und damit der Testergebnisse deutlich erhöht werden.

[0022] Die Eingangspins der verschiedenen integrierten Schaltkreise liegen nämlich auf dem loadboard räumlich getrennt voneinander. Ohne einen solchen Kalibriermodus sind die tatsächlich an den Eingangskontakten anliegenden Eingangssignale, selbst wenn ein gemeinsamer Präzisionssignalgenerator vorhanden ist, bedingt durch die Leitungsführung, durch die Übergangswiderstände und durch die externen Störeinflüsse unterschiedlich und nicht mit dem erwarteten Testsignal identisch.

[0023] In einer vorteilhaften Weiterbildung der Erfindung ist/sind die Vergleichereinheit(en) zwischen dem Test- und dem Kalibriermodus hin- und herschaltbar, so dass der Kalibrier- und der Testmodus hintereinander oder abwechselnd ausgeführt werden können.

[0024] Bei einer einfach herstellbaren Realisierungsform der erfindungsgemäßen Testvorrichtung umfasst jede Vergleichereinheit jeweils einen Komparator. Besonders einfach und kostengünstig ist es, wenn die Testvorrichtung je einen Komparator mit zwei Eingängen und mit einem Ausgang umfasst. Der erste Eingang jedes Komparators ist mit der Referenzleitung des betreffenden Referenzsignalgenerators verbunden, der zweite Eingang jedes Komparators ist auf die Kalibrierleitung des betreffenden Referenzsignalgenerators und auf die Anschlussleitung seines Eingangskontakts schaltbar. Der Ausgang jedes Komparators ist auf seine Kalibriereinheit und auf den Präzisionssignalgenerator schaltbar. Die Schalteigenschaften, insbesondere der Offset und die Hysterese des Komparators sind dabei durch die Kalibriereinheit einstellbar.

[0025] Wenn des weiteren eine Entscheidungslogikereinheit vorgesehen ist, die mit den Vergleichereinheiten verbunden ist und die aus den Ausgangssignalen der Vergleichereinheiten Steuersignale für den Präzisionssignalgenerator erzeugen kann, können die Vergleichereinheiten oder die Komparatoren vor Beginn eines Testzyklus parallel kalibriert werden. Dadurch lässt sich eine weitere Beschleunigung des Tests erreichen.

[0026] Aufgrund externer Störungen oder durch den Einfluss der unterschiedlichen Signalwege ist es möglich, dass der Testmodus bei den unterschiedlichen integrierten Schaltkreisen zu leicht versetzten Zeitpunkten startet und endet. Um dies zu verhindern, wird der Auswertelogik des Testers das jeweils gültige Zeitfenster mitgeteilt. Dafür ist erfindungsgemäß je eine Validierungssignalleitung vorgesehen,

die von jeder Vergleichereinheit zu der betreffenden Ausgangsleitung führt, die an dem Ausgangskontakt des zu testenden integrierten Schaltkreises ansetzt. Über diese Validierungssignalleitung wird ein Validierungssignal zu der jeweiligen Ausgangsleitung, insbesondere zu einem hinter dem Ausgangskontakt angeordneten UND-Gatter geführt und dort mit dem digitalen Ausgang jedes integrierten Schaltkreises verknüpft.

[0027] Die vorstehend beschriebene erfindungsgemäße Testvorrichtung kann auf verschiedene Art und Weise realisiert werden. Die unterschiedlichen Ausprägungen der erfindungsgemäßen Testvorrichtung unterscheiden sich dabei lediglich in der Partionierung bzw. in der Anordnung der einzelnen Elemente der erfindungsgemäßen Testvorrichtung. Je nach Verfügbarkeit von Schaltungsfläche auf den integrierten Schaltkreisen können einzelne oder sogar alle Elemente der beschriebenen Testvorrichtung als BIST-/Built-In-Self-Test-Schaltung in die integrierten Schaltkreise aufgenommen werden. Abhängig davon, wie viele Elemente der erfindungsgemäßen Testvorrichtung auf dem integrierten Schaltkreis aufgenommen werden können, lassen sich unterschiedliche Kosteneinsparungen erzielen.

[0028] Die Erfindung betrifft auch einen integrierten Schaltkreis mit einer vorstehend beschriebenen Testvorrichtung. Dabei ist die Testvorrichtung auf diesem integrierten Schaltkreis monolithisch integriert und zusätzlich zu der eigentlichen Schaltung des integrierten Schaltkreises ausgebildet. Dabei ist es möglich, den gemeinsamen Präzisionssignalgenerator durch lokale, in den integrierten Schaltkreisen ausgebildete digitale Signalquellen zu ersetzen. Diese On-Chip-Lösung ist besonders kostengünstig.

[0029] Bei dieser Realisierungsform der Testvorrichtung kann die gesamte Anordnung der beschriebenen Testvorrichtung mit dem Präzisionssignalgenerator, mit der Vergleichereinheit bzw. mit dem Komparator und mit der Kalibriereinheit sowie mit den Referenzsignalgeneratoren auf dem integrierten Schaltkreis platziert werden. Hierfür ist jedoch Voraussetzung, dass die dafür benötigte zusätzliche Chipfläche zur Verfügung steht. Insbesondere bei integrierten Schaltkreisen, bei denen die Schaltfläche lediglich durch die Anzahl der aufzubringenden Anschlusskontakte begrenzt ist, steht i.d.R. genügend Chipfläche zur Verfügung. Bei dieser Realisierungsform der Erfindung wird auf dem loadboard für jeden integrierten Schaltkreis zusätzlich ein Filter, insbesondere ein Tiefpassfilter, benötigt, der in der Lage ist, ein erzeugtes Testsignal in ein gewünschtes Analogsignal zu wandeln. Die Referenzspannungsquellen können bspw. durch hochstabile und temperaturkompensierte Band-Gaps realisiert werden. Diese Ausprägung der erfindungsgemäßen Testvorrichtung ist besonders kostenoptimal, zumal sie keinerlei spezielle Tes-

tereigenschaften mehr voraussetzt und besonders vielseitig anwendbar ist.

[0030] Die vorstehend beschriebene erfindungsgemäße Testvorrichtung kann weiterhin auf einem loadboard zur Aufnahme wenigstens einer Nadelkarte zum Testen von integrierten Schaltkreisen und/oder mit wenigstens einem Testsockel zum Testen von integrierten Schaltkreisen und/oder zum Anschluss eines handlers an einen Tester von integrierten Schaltkreisen ausgebildet sein. Dabei können sämtliche Elemente der vorstehend beschriebenen Testvorrichtung auf dem loadboard platziert werden.

[0031] Alternativ dazu ist es auch bei der Ausbildung der Testvorrichtung auf dem loadboard möglich, den zentralen Präzisionssignalgenerator des Testers durch lokal in die integrierten Schaltkreise aufgenommene digitale Signalquellen zu ersetzen. Die Vergleichereinheiten bzw. die Komparatoren sind bei dieser Anordnung auf dem loadboard platziert und können die internen Präzisionssignalgeneratoren steuern. Dies setzt voraus, dass der integrierte Schaltkreis über ein externes Control Interface/über eine externe Kontrollschnittstelle verfügt, wie bpsw. über einen I²C-Bus. Bei vielen Mixed-Signal-Bausteinen ist dies der Fall. Diese eignen sich daher besonders für diese Lösung.

[0032] Die Erfindung betrifft ferner einen Tester zum Testen von integrierten Schaltkreisen, der über mehrere Instrumente zum Erzeugen von Signalen oder Datenströmen und über mehrere Mess-Sensoren, insbesondere für Ströme und Spannungen verfügt. Der Tester umfasst weiterhin ein oben beschriebenes loadboard und eine ebenfalls oben beschriebene Testvorrichtung. Dabei sind der Präzisionssignalgenerator und der/die Referenzsignalgenerator(en) auf dem Tester und die Vergleichereinheiten bzw. die Komparatoren mit den Kalibriereinheiten auf dem loadboard, jeweils benachbart zu den Eingangskontakten für die integrierten Schaltkreise angeordnet. Ein Tester mit einer derartig angeordneten Testvorrichtung kann eine beinahe beliebige Anzahl von integrierten Schaltkreisen parallel testen, wobei durch die erfindungsgemäße Testvorrichtung sichergestellt wird, dass die dabei erhaltenen Testergebnisse zuverlässig sind.

[0033] Die Erfindung betrifft auch ein Verfahren zum parallelen Testen von mehreren integrierten Schaltkreisen. Dabei wird zunächst ein Tester mit einem bereits beschriebenen loadboard bereitgestellt. Dieses loadboard wird mit mehreren integrierten Schaltkreisen bestückt. Dabei liegen der Tester, das loadboard oder die integrierten Schaltkreise in einer der vorstehend beschriebenen Realisierungsformen vor und verfügen über einen Präzisionssignalgenerator, wenigstens einen Referenzsignalgenerator und über je eine Vergleichereinheit bzw. über einen Komparator

mit einer Kalibriereinheit für jeden integrierten Schaltkreis.

[0034] Der dann durchzuführende Testmodus wird wie folgt durchgeführt. Zunächst wird durch einen Präzisionssignalgenerator ein Testsignal erzeugt, das an die integrierten Schaltkreise angelegt wird. Dann wird wenigstens ein Referenzsignal durch den/die Referenzsignalgenerator(en) erzeugt und an die Vergleichereinheiten angelegt. Die Testsignale und die Referenzsignale liegen insbesondere als Spannungen vor.

[0035] An den Eingängen der Vergleichereinheit liegen insbesondere die Referenzleitung des Referenzsignalgenerators und die Signalleitung des Präzisionssignalgenerators an. Der Ausgang der Vergleichereinheiten ist insbesondere auf einen Steuereingang des Präzisionssignalgenerators geführt.

[0036] Nun werden das Testsignal und die jeweiligen Referenzsignale durch die Vergleichereinheiten miteinander verglichen. Mit Beginn der Messung startet der Präzisionssignalgenerator mit einem Testsignalwert Null und steigt linear mit der Zeit an. Wenn das Testsignal den Referenzwert erreicht, schaltet die betreffende Vergleichereinheit und schaltet den Präzisionssignalgenerator ab. Nun ist der Messvorgang abgeschlossen. Der Präzisionssignalgenerator kann für den nächsten Messzyklus zurückgesetzt werden.

[0037] Durch dieses Verfahren ist gewährleistet, dass die integrierten Schaltkreise mit Testsignalen beaufschlagt werden, die innerhalb eines gewünschten Intervalls liegen. Dadurch ergeben sich zuverlässige und verlässliche Testergebnisse.

[0038] In einer vorteilhaften Weiterbildung des beschriebenen Verfahrens wird vor oder nach dem Durchführen des Testmodul ein Kalibriermodus durchgeführt. Bei diesem Kalibriermodus werden die Eingänge der Vergleichereinheiten jeweils mit der Kalibrierleitung und mit der Referenzleitung des betreffenden Referenzsignalgenerators verbunden. Dann werden die Schalteigenschaften der Vergleichereinheiten mittels der an den betreffenden Vergleichereinheiten anliegenden Signalwerte der Kalibrierleitung und der Referenzleitung eingestellt. Dabei werden insbesondere der Offset und die Hysterese der Vergleichereinheit durch die Kalibrierungseinheit justiert, bis diese Vergleichereinheit exakt bei Spannungsgleichheit schaltet. Dadurch ist sichergestellt, dass das Referenzsignal unabhängig von der Qualität der Zuleitungsführung exakt am Eingang der Vergleichereinheit anliegt. Durch Anwenden des Kalibriermodus können besonders genaue und zuverlässige Testergebnisse erzielt werden.

[0039] Das erfindungsgemäße Verfahren kann mit

einer vorstehend beschriebenen Testvorrichtung sowie mit einem vorstehend beschriebenen integrierten Schaltkreis mit einer solchen Testvorrichtung, mit einem vorstehend beschriebenen loadboard mit einer solchen Testvorrichtung und mit einem vorstehend beschriebenen Tester mit einer solchen Vorrichtung durchgeführt werden. Die Einsatzmöglichkeiten des erfindungsgemäßen Verfahrens sind dementsprechend äußerst vielfältig.

[0040] Die Erfindung wird auch in einem Computerprogramm zum Ausführen des Verfahrens zum parallelen Testen von integrierten Schaltkreisen verwirklicht. Das Computerprogramm enthält dabei Programmweisungen, die ein Computersystem veranlassen, solche Testverfahren in einer vorstehend beschriebenen Ausführungsform auszuführen. Dabei werden insbesondere die Verfahrensschritte des Testmodus und des Kalibriermodus mit einem Computersystem gesteuert oder auf einem Computersystem selbst durchgeführt. Das Computerprogramm gibt die Ergebnisse der getesteten integrierten Schaltkreise als digitale Datenfolgen oder in einer daraus generierten Darstellungsform auf einer Ausgabeinheit aus, insbesondere auf einem Bildschirm oder auf einem Drucker, oder speichert diese Ergebnisdaten in einem Speicherbereich. Durch das erfindungsgemäße Computerprogramm können integrierte Schaltkreise schnell, effektiv und zuverlässig getestet werden, wobei sich durch die parallele Behandlung von mehreren Schaltkreisen eine deutliche Beschleunigung der Testlaufzeit ergibt.

[0041] Die Erfindung betrifft außerdem ein Computerprogramm, das auf einem Speichermedium, insbesondere in einem Computerspeicher oder in einem Direktzugriffsspeicher enthalten ist oder das auf einem elektrischen Trägersignal übertragen wird. Die Erfindung betrifft auch ein Trägermedium, insbesondere einen Datenträger, wie bspw. eine Diskette, ein Zip-Laufwerk, einen Streamer, eine CD oder eine DVD, auf denen ein vorstehend beschriebenes Computerprogramm abgelegt ist. Ferner betrifft die Erfindung ein Computersystem, auf dem ein solches Computerprogramm gespeichert ist. Schließlich betrifft die Erfindung auch ein Download-Verfahren, bei dem ein solches Computerprogramm aus einem elektronischen Datennetz, wie bspw. aus dem Internet, auf einen an das Datennetz angeschlossenen Computer heruntergeladen wird.

Ausführungsbeispiel

[0042] Die Erfindung ist in den Zeichnungen anhand eines Ausführungsbeispiels näher veranschaulicht.

[0043] [Fig. 1](#) zeigt eine schematische Darstellung eines Testeraufbaus,

[0044] [Fig. 2](#) zeigt eine erste Paralleltestdarstellung

mit drei AD-Wandlern,

[0045] [Fig. 3](#) zeigt einen ersten Testschaltplan für einen ersten AD-Wandler,

[0046] [Fig. 4](#) zeigt einen zweiten Testschaltplan für den ersten AD-Wandler,

[0047] [Fig. 5](#) zeigt einen Paralleltestschaltplan mit drei AD-Wandlern.

[0048] [Fig. 1](#) zeigt eine schematische Darstellung eines Testeraufbaus **1**.

[0049] Der Testeraufbau **1** umfasst ein Steuercomputersystem **101**, das über eine Netzwerkleitung **103** mit den in [Fig. 1](#) als "Rack Instruments" bezeichneten Signalgeneratoren und Messinstrumenten **102** und mit einem Messtisch **106** sowie über eine Steuerleitung **104** mit einem Tester **105** in Verbindung steht. Auf dem Messtisch **106** befindet sich eine Auflagefläche **107**, die oft auch als Chuck bezeichnet wird. Auf dieser Auflagefläche **107** liegen in [Fig. 1](#) nicht gezeigte Halbleiterwafer mit zu testenden integrierten Schaltkreisen oder bereits separierte integrierte Schaltkreise auf. Diese werden von einem Sockel für gehäuste Bausteine bzw. von einer Nadelkarte **108** kontaktiert und über eine erste Zwischenebene **109**, über eine zweite Zwischenebene **110**, über eine dritte Zwischenebene **111** und über eine vierte Zwischenebene **112** und über Messdatenleitungen **114** mit einer Schaltmatrix **113** verbunden. Nicht dargestellt in [Fig. 1](#) ist ebenfalls ein loadboard, das für die Aufnahme eines oder mehrerer integrierter Schaltkreise vorgesehen ist.

[0050] Die Schaltmatrix **113** ist mittels Messdatenleitungen **114** mit dem Tester **105** und mit den Messinstrumenten **102** verbunden. Die Schaltmatrix **113** ist dabei so ausgebildet, dass sie die Signale der Messinstrumente **102** und die Eingangsdaten des Testers **105** über die Zwischenebenen **109-112** an bestimmte Anschlusskontakte der Nadelkarte **108** oder an bestimmte Anschlusskontakte des in [Fig. 1](#) nicht gezeigten loadboards leiten kann. Die Verbindungsleitungen des loadboards mit dem Tester **105** werden auch als "Testerkanäle" bezeichnet.

[0051] Bei dem Tester **105** handelt es sich um einen kostengünstigen, digital arbeitenden Tester, der mit optionalen Analogmessgeräten und Analoggeneratoren ausgestattet sein kann. Die hoch empfindlichen und hoch genau arbeitenden Messinstrumente **102** sind dabei in einem bestimmten Abstand zu dem Messtisch **106** und zu dem Tester **105** in einem separaten Messinstrumenteschrank angeordnet.

[0052] Die Datenleitungen zwischen den Messinstrumenten **102** und den Anschlusskontakten der Nadelkarte **108** sowie des loadboards weisen eine Län-

ge von bis zu 2 m auf. Durch diese lange Leitungsführung und durch die ohmschen Kontaktwiderstände der Übergänge zwischen den Zwischenebenen **109-112** ergeben sich Spannungsabfälle der durch die Messinstrumente **102** erzeugten Mess-Signale an den Testkontakten der Nadelkarte **108** und des loadboards.

[0053] [Fig. 2](#) zeigt eine erste Paralleltestdarstellung **2** mit drei AD-Wandlern.

[0054] Bei der ersten Paralleltestdarstellung **2** ist ein bei den Messinstrumenten **102** angeordneter Präzisionssignalgenerator **201** vorgesehen, der in der Lage ist, eine analoge Rampenspannung zu generieren. Diese Rampenspannung wird über eine erste Testsignalleitung **202** an einen ersten Eingangskontakt **211**, an einen zweiten Eingangskontakt **221** und an einen dritten Eingangskontakt **231** angelegt. Diese an den Eingangskontakten **211**, **221** und **231** anliegende Rampenspannung wird von einem ersten AD-Wandler **21**, von einem zweiten AD-Wandler **22** und von einem dritten AD-Wandler **23** verarbeitet. Die in Abhängigkeit der analogen Rampenspannung von den AD-Wandlern **21-23** jeweils erzeugten digitalen Ausgabewerte werden von Ausgangskontakte **212**, **222** und **232** an einen in [Fig. 2](#) nicht näher bezeichneten Speicherbereich des Testers **105** weitergeleitet. Die Eingangskontakte **211**, **221** und **231** sowie die Ausgangskontakte **212**, **222** und **232** sind auf dem loadboard angeordnet.

[0055] Anschließend werden die gemessenen Ausgangswerte mit den zu erwartenden Sollwerten vom Tester **105** verglichen, der daraufhin ein Fail- oder ein Pass-Signal ausgibt, das besagt, ob der betreffende AD-Wandler den Test bestanden hat oder nicht.

[0056] Um zu überprüfen, dass die von dem Präzisionssignalgenerator **201** abgegebene Spannung die AD-Wandler **21-23** erreicht, wird parallel mit der ersten Testsignalleitung **202** eine erste Referenzleitung **203** geführt, die den eingespeisten Spannungswert wieder zu dem Tester **105** zurückführt. Aus der Darstellung in [Fig. 2](#) wird deutlich, dass diese erste Referenzleitung **203** nur bis zu dem Verzweigungspunkt der ersten Testsignalleitung **202** führt und demnach nur die an diesem Verzweigungspunkt anliegende Testspannung, nicht aber die an den Eingangskontakten **211**, **221** und **231** anliegende, tatsächliche Eingangsspannung an den Tester **105** zurückführen kann. Eine Verzweigung der ersten Referenzleitung **203** zu den Eingangskontakten **211**, **221** und **231** ist auf herkömmlichen Testern noch nicht möglich.

[0057] Eine Überprüfung der Kontaktwiderstände zwischen den in [Fig. 1](#) gezeigten Zwischenebenen **109-112** wird bei der Einrichtung des loadboards mit Hilfe einer TDR-Messung/Time-Domain-Reflectometer-Messung einmalig durchgeführt.

[0058] Eine Voraussetzung, dass der gemäß der ersten Paralleltestdarstellung **2** durchgeführte Test verlässliche Testergebnisse liefert, liegt darin, dass die von dem Präzisionssignalgenerator **201** abgegebene Spannung unverändert an den Eingangskontakten **211**, **221** und **231** anliegt. Dies ist jedoch in der Praxis nicht der Fall, zumal die Signalleitungen, insbesondere die erste Testsignalleitung **202**, sehr lang sind und durch Kontaktwiderstände in der Leitungsführung i.d.R. ein beachtlicher Spannungsabfall gegeben ist. Die erste Testsignalleitung **202** führt nämlich, wie in [Fig. 1](#) zu sehen ist, von dem Tester **105** über die Messdatenleitungen **114**, über die Schaltmatrix **113** und über die Zwischenebenen **109-112** bis zu den Eingangskontakten **211**, **221** und **231** auf dem loadboard. Die erste Paralleltestdarstellung **2** ist daher stark vereinfacht und nur bedingt funktionsfähig.

[0059] Für die erste Paralleltestdarstellung **2** können gängige Tester verwendet werden. Lediglich das loadboard muss zur Aufnahme mehrerer AD-Wandler **21-23** angepasst werden.

[0060] [Fig. 3](#) zeigt einen ersten Testschaltplan **3** für den ersten AD-Wandler **21**.

[0061] Der erste Testschaltplan **3** umfasst einen ersten Referenzsignalgenerator **301**, der über eine lange zweite Testsignalleitung **306** und über mehrere Zwischenebenen **109-112** an den Eingangskontakt **211** des zu testenden ersten AD-Wandlers **21** auf dem loadboard geführt ist. Sehr nahe am ersten Eingangskontakt **211** liegt ein erster Komparator **302** mit einer ersten Kalibriereinheit **303**. Die erste Kalibriereinheit **303** ist mit dem ersten Komparator **302** verbunden und steuert diesen. Die Messinstrumente **102** umfassen einen ersten Referenzsignalgenerator **301**, an dem eine zweite Referenzleitung **307** sowie eine erste Kalibrierleitung **308** ansetzen. Die zweite Referenzleitung **307** führt auf den ersten Eingang des ersten Komparators **302**. Die erste Kalibrierleitung **308** führt auf den zweiten Eingang des Komparators **302**. Direkt vor dem zweiten Eingang des ersten Komparators **302** ist ein erster Schalter **304** vorgesehen, der so ausgebildet ist, dass er den zweiten Eingang des ersten Komparators **302** entweder auf die erste Kalibrierleitung **308** oder auf die zweite Testsignalleitung **306** schalten kann. Am Ausgang des ersten Komparators **302** ist ein zweiter Schalter **305** angeordnet, der den Ausgang entweder auf die Kalibriereinheit **303** oder auf eine mit dem Präzisionssignalgenerator **201** verbundene erste Abschaltleitung **309** schalten kann.

[0062] Die zweite Testsignalleitung **306**, die zweite Referenzleitung **307** und die erste Kalibrierleitung **308** werden so eng wie möglich gemeinsam geführt, so dass alle drei Leitungen die gleichen externen Störungen erfahren. Die Schalterstellungen der Schalter **304** und **305** sind in [Fig. 3](#) mit den Buchstaben "T" für

Testmodus und "K" für Kalibriermodus bezeichnet.

[0063] Der erste Referenzsignalgenerator **301** ist im vorliegenden Ausführungsbeispiel auf den Maximalwert des Spannungsverlaufs des Präzisionssignalgenerators **201** eingestellt.

[0064] Im Testmodus nehmen die Schalter **304** und **305** jeweils die Schalterstellung "T" ein. Dabei liegen an den Eingängen des ersten Komparators **302** die Spannung des Präzisionssignalgenerators **201** und die Spannung des ersten Referenzsignalgenerators **301**. Der Ausgang des ersten Komparators **302** ist auf den Präzisionssignalgenerator **201** geführt. Mit Beginn des Testmodus generiert der Präzisionssignalgenerator **201** zunächst den Testspannungswert Null. Die generierten Testspannungswerte steigen danach linear mit der Zeit an. Wenn die Testspannung des Präzisionssignalgenerators **201** den Wert der Referenzspannung erreicht, schaltet der erste Komparator **302** und schaltet somit den Präzisionssignalgenerator **201** ab. Der Messvorgang ist abgeschlossen und der Präzisionssignalgenerator **201** kann für den nächsten Messzyklus zurückgesetzt werden.

[0065] Diese Verfahren funktioniert allerdings nur dann korrekt, wenn der erste Komparator **302** exakt bei gleichen Spannungen schaltet. Um dies sicherzustellen, muss der erste Komparator **302** vor dem beschriebenen Messvorgang zunächst kalibriert werden. Für diesen Kalibriermodus werden die Schalter **304** und **305** in die Schalterstellung „K“ gebracht. An den Eingängen des ersten Komparators **302** sind jetzt die erste Kalibrierleitung **308** und die zweite Referenzleitung **307** angeschlossen. Der Ausgang des ersten Komparators **302** führt auf den Steuereingang der ersten Kalibriereinheit **303**.

[0066] Im Kalibriermodus justiert die erste Kalibriereinheit **303** automatisch den Offset und die Hysterese des ersten Komparators **302**, bis dieser exakt bei Spannungsgleichheit schaltet. Damit ist gewährleistet, dass im Testmodus der Präzisionssignalgenerator **201** exakt beim Erreichen der Referenzspannung des ersten Referenzsignalgenerators **301** abgeschaltet wird.

[0067] [Fig. 4](#) zeigt einen zweiten Testschaltplan **4** für den ersten AD-Wandler **21**.

[0068] Bei dem zweiten Testschaltplan **4** ist das in [Fig. 3](#) beschriebene Kalibrierverfahren auf eine zweistufige Min-Max-Kalibrierung erweitert. Der zweite Testschaltplan **4** verfügt über einen zweiten Referenzsignalgenerator **401** zum Erzeugen einer maximalen Referenzspannung und über einen dritten Referenzsignalgenerator **411** zum Erzeugen einer minimalen Referenzspannung.

[0069] Dem zweiten Referenzsignalgenerator **401** sind ein zweiter Komparator **402** und eine zweite Kalibriereinheit **403** sowie ein dritter Schalter **404** und ein vierter Schalter **405** zugeordnet. Der Aufbau und der Anschluss dieser Elemente entspricht dem in [Fig. 3](#) beschriebenen Aufbau. Dem dritten Referenzsignalgenerator **411** ist ein dritter Komparator **412** und eine dritte Kalibriereinheit **413** sowie ein fünfter Schalter **414** und ein sechster Schalter **415** zugeordnet. Der Aufbau und die Verschaltung dieser Elemente entspricht ebenfalls dem in [Fig. 3](#) beschriebenen Aufbau.

[0070] Bei der Min-Max-Kalibrierung gemäß dem zweiten Testschaltplan **4** wird auch der Minimalwert der durch den Präzisionssignalgenerator **201** zu erzeugenden Spannung definiert, und zwar durch den dritten Referenzsignalgenerator **411**. Bei dem zweiten Testschaltplan **4** sind fünf Leitungen direkt nebeneinander geführt, und zwar die dritte Testsignalleitung **409** mit der dritten Referenzleitung **406**, mit der zweiten Kalibrierleitung **407**, mit der vierten Referenzleitung **416** und mit der dritten Kalibrierleitung **417**.

[0071] Im Testmodus mit der Schalterstellung "T" der Schalter **404**, **405**, **414** und **415** erfolgt durch den dritten Komparator **412** ständig eine Überprüfung, ob die an dem ersten Eingang des dritten Komparators **412** anliegende Spannung den an dem zweiten Eingang des dritten Komparators **412** anliegenden minimalen Referenzspannungswert unterschreitet. Ist dies der Fall, so schaltet der dritte Komparator **412** und schaltet gleichzeitig den Präzisionssignalgenerator **201** ab. Analog dazu schaltet der zweite Komparator **402**, falls der an seinem zweiten Eingang anliegende Spannungswert den maximalen Referenzspannungswert überschreitet.

[0072] Im Kalibriermodus mit der Schalterstellung "K" der Schalter **404**, **405**, **414** und **415** werden die Komparatoren **402** und **412** von ihren Kalibriereinheiten **403** und **413** jeweils so eingestellt, dass sie exakt bei Spannungsgleichheit schalten. Der Kalibriermodus wird üblicherweise vor dem Testmodus durchgeführt.

[0073] [Fig. 5](#) zeigt einen Paralleltestschaltplan **5** mit dem ersten AD-Wandler **21**, mit dem zweiten AD-Wandler **22** und mit dem dritten AD-Wandler **23**.

[0074] Der Paralleltestschaltplan **5** beinhaltet, ebenso wie der zweite Testschaltplan **4**, den Präzisionssignalgenerator **201**, den zweiten Referenzsignalgenerator **401** und den dritten Referenzsignalgenerator **411**. Der Übersichtlichkeit halber sind die in [Fig. 4](#) gezeigten Komparatoren **402** und **412** sowie die jeweils zugeordneten Kalibriereinheiten **403** und **413** und Schalter **404**, **405**, **414** und **415** in [Fig. 5](#) jeweils zu einer ersten Vergleichereinheit **501**, zu einer zweiten

Vergleichereinheit **511** und zu einer dritten Vergleichereinheit **521** zusammengefasst.

[0075] Wie in [Fig. 5](#) ersichtlich, werden die dritte Referenzleitung **406** und die zweite Kalibrierleitung **407** des zweiten Referenzsignalgenerators **401**, sowie die vierte Referenzleitung **416** und die dritte Kalibrierleitung **417** des dritten Referenzsignalgenerators **411** jeweils verzweigt und auf die Vergleichereinheiten **501**, **511** und **521** geführt.

[0076] Die vom Präzisionssignalgenerator **201** ausgehende dritte Testsignalleitung **409** ist ebenfalls verzweigt und sowohl auf die Eingangskontakte **211**, **221** und **231** als auch auf die Vergleichereinheiten **501**, **511** und **521** geführt.

[0077] Nach den Ausgangskontakten **212**, **222** und **232** ist jeweils ein erstes UND-Gatter **505**, ein zweites UND-Gatter **515** und ein drittes UND-Gatter **525** vorgesehen, mit deren ersten Eingang die Ausgangskontakte **212**, **222** und **232** jeweils verbunden sind.

[0078] Von der ersten Vergleichereinheit **501** erstreckt sich eine erste Validierungssignalleitung **504** auf das erste UND-Gatter **505**. Ebenso gehen von den Vergleichereinheiten **511** und **521** jeweils eine zweite und eine dritte Validierungssignalleitung **514** und **524** auf die UND-Gatter **515** und **525**.

[0079] Ferner ist von dem Paralleltestschaltplan **5** eine Entscheidungslogikeinheit **531** umfasst, die ebenfalls auf dem loadboard angeordnet ist. Mittels Ausgangssignalleitungen **502**, **503**, **512**, **513**, **522** und **523** stehen die Vergleichereinheiten **501**, **511** und **521** mit der Entscheidungslogikeinheit **531** in Verbindung. Die Entscheidungslogikeinheit **531** ist mittels einer Steuersignalleitung **532** mit dem Präzisionssignalgenerator **201** verbunden.

[0080] Jeder der AD-Wandler **21-23** verfügt an seinem Eingangskontakt **211**, **221** und **231** über eine eigene Kalibriereinheit **501**, **511** und **521**, die mit fünf Leitungen versorgt wird, und zwar mit je einer Kalibrierleitung **406** und mit je einer Referenzleitung **407** für den Maximumspannungspegel, mit je einer Kalibrierleitung **417** und mit je einer Referenzleitung **416** für den Minimumspannungspegel sowie mit einer Testsignalleitung **409** für das analoge Rampensignal.

[0081] Vor Beginn jedes Testzyklus werden die Vergleichereinheiten **501**, **511** und **521** parallel kalibriert. In diesem Kalibriermodus werden die Ausgangssignale der in den Vergleichereinheiten **501**, **511** und **521** enthaltenen, in [Fig. 5](#) nicht extra gezeigten Kalibriereinheiten gemeinsam auf die Entscheidungslogikeinheit **531** geführt, die aus diesen Signalen die Steuersignale für den Präzisionssignalgenerator **201** ableitet. Das Ableiten dieser Steuersignale ist dem Fachmann aus dem in dieser Patentschrift enthalte-

nen Informationen klar und braucht hier nicht näher erläutert werden.

[0082] Anschließend werden die AD-Wandler **21-23** im Testmodus getestet. Falls von einem der Vergleichereinheiten **501**, **511** und **521** außerhalb des zulässigen Intervalls liegende Testwerte festgestellt werden, so wird der Präzisionssignalgenerator **201** von der Entscheidungslogikeinheit **531** abgeschaltet.

[0083] Aufgrund externer Störungen oder durch den Einfluss der unterschiedlichen Signalwege ist es möglich, dass der Messvorgang bei den AD-Wandlern **21-23** zu leicht versetzten Zeiten startet und endet. Daher muss dem Tester **105** bzw. der auf dem Tester **105** vorhandenen Auswertelogik das gültige Zeitfenster mitgeteilt werden. Dies geschieht durch ein Validierungssignal, das von den Vergleichereinheiten **501**, **511** und **521** erzeugt und über die Validierungssignalleitungen **504**, **514**, **524** den UND-Gattern **505**, **515** und **525** mitgeteilt wird.

Bezugszeichenliste

| | |
|------------|--------------------------------|
| 1 | Testeraufbau |
| 101 | Steuercomputersystem |
| 102 | Messinstrumente |
| 103 | Netzwerk-Leitung |
| 104 | Steuerleitung |
| 105 | Tester |
| 106 | Messtisch |
| 107 | Auflagefläche |
| 108 | Nadelkarte |
| 109 | erste Zwischenebene |
| 110 | zweite Zwischenebene |
| 111 | dritte Zwischenebene |
| 112 | vierte Zwischenebene |
| 113 | Schaltmatrix |
| 114 | Messdatenleitungen |
| 2 | erste Paralleltestdarstellung |
| 21 | erster AD-Wandler |
| 22 | zweiter AD-Wandler |
| 23 | dritter AD-Wandler |
| 201 | Präzisionssignalgenerator |
| 202 | erste Testsignalleitung |
| 203 | erste Referenzleitung |
| 211 | erster Eingangskontakt |
| 212 | erster Ausgangskontakt |
| 221 | zweiter Eingangskontakt |
| 222 | zweiter Ausgangskontakt |
| 231 | dritter Eingangskontakt |
| 232 | dritter Ausgangskontakt |
| 3 | erster Testschaltplan |
| 301 | erster Referenzsignalgenerator |
| 302 | erster Komparator |
| 303 | erste Kalibriereinheit |
| 304 | erster Schalter |
| 305 | zweiter Schalter |
| 306 | zweite Testsignalleitung |
| 307 | zweite Referenzleitung |

| | |
|-----|----------------------------------|
| 308 | erste Kalibrierleitung |
| 309 | erste Abschaltleitung |
| 4 | zweiter Testschaltplan |
| 401 | zweiter Referenzsignalgenerator |
| 402 | zweiter Komparator |
| 403 | zweite Kalibriereinheit |
| 404 | dritter Schalter |
| 405 | vierter Schalter |
| 406 | dritte Referenzleitung |
| 407 | zweite Kalibrierleitung |
| 408 | zweite Abschaltleitung |
| 409 | dritte Testsignalleitung |
| 411 | dritter Referenzsignalgenerator |
| 412 | dritter Komparator |
| 413 | dritte Kalibriereinheit |
| 414 | fünfter Schalter |
| 415 | sechster Schalter |
| 416 | vierte Referenzleitung |
| 417 | dritte Kalibrierleitung |
| 418 | dritte Abschaltleitung |
| 5 | Paralleltestschaltplan |
| 501 | erste Vergleichereinheit |
| 502 | erste Ausgangssignalleitung |
| 503 | zweite Ausgangssignalleitung |
| 504 | erste Validierungssignalleitung |
| 505 | erstes Und-Gatter |
| 511 | zweite Vergleichereinheit |
| 512 | dritte Ausgangssignalleitung |
| 513 | vierte Ausgangssignalleitung |
| 514 | zweite Validierungssignalleitung |
| 515 | zweites Und-Gatter |
| 521 | dritte Vergleichereinheit |
| 522 | fünfte Ausgangssignalleitung |
| 523 | sechste Ausgangssignalleitung |
| 524 | dritte Validierungssignalleitung |
| 525 | drittes Und-Gatter |
| 531 | Entscheidungslogik-Einheit |
| 532 | Steuersignalleitung |

Patentansprüche

1. Testvorrichtung zum parallelen Testen von mehreren integrierten Schaltkreisen, insbesondere von dynamischen AD-Wandlern, wobei die Testvorrichtung (3; 4) die folgenden Merkmale aufweist:

- einen Präzisionssignalgenerator (201), der zum Generieren eines Testsignals bestimmt ist und der über eine Anschlussleitung (306; 409) mit mindestens zwei Eingangskontakten (211; 221; 231) verbunden ist, die zum Anschluss an je einen Eingang eines integrierten Schaltkreises bestimmt sind, wobei an verschiedene Eingangskontakte (211; 221; 231) verschiedene integrierte Schaltkreise anschließbar sind,
- wenigstens einen Referenzsignalgenerator (301; 401, 411), der zum Erzeugen eines Referenzsignals bestimmt ist,
- für je einen Eingangskontakt (211, 221, 231) ist wenigstens eine Vergleichereinheit zum Vergleichen des Testsignals mit dem Referenzsignal in einem Testmode und zum Abschalten des Präzisionsgene-

rators in dem Testmode vorgesehen, wobei die Abschaltung erfolgt, wenn das Testsignal das Referenzsignal übersteigt oder unterschreitet.

2. Testvorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass zwei Referenzsignalgeneratoren (401, 411) vorgesehen sind, wobei der erste Referenzsignalgenerator (401) zum Erzeugen eines unteren Referenzsignals und der zweite Referenzsignalgenerator (411) zum Erzeugen eines oberen Referenzsignals bestimmt sind, wobei für jeden Eingangskontakt (211, 221, 231) eine mit dem ersten Referenzsignalgenerator (401) verbindbare erste Vergleichereinheit und eine mit dem zweiten Referenzsignalgenerator (411) verbindbare zweite Vergleichereinheit vorgesehen ist.

3. Testvorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass der Referenzsignalgenerator (301) oder der erste und der zweite Referenzsignalgenerator (401, 411) jeweils über eine Kalibrierleitung (307; 406, 416) und über eine Referenzleitung (308; 407, 417) verfügt/verfügen, wobei die/jede Vergleichereinheit mit der Kalibrierleitung (307; 406, 416) und mit der Referenzleitung (308; 407, 417) des betreffenden Referenzsignalgenerators (301; 401, 411) verbunden ist, wobei jede Vergleichereinheit über eine Kalibriereinheit (303; 403, 413) verfügt, und wobei die Vergleichereinheit auch in einem Kalibriermodus betreibbar ist, der so ausgebildet ist, dass die Schalteigenschaften der Vergleichereinheit mittels der an der Vergleichereinheit anliegenden Signalwerte der Kalibrierleitung (307; 406, 416) und der Referenzleitung (308; 407, 417) durch die Kalibriereinheit (303; 403, 413) einstellbar sind.

4. Testvorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Vergleichereinheit/die Vergleichereinheiten jeweils mindestens einen Komparator mit einem Eingang und einem Ausgang aufweist /aufweisen, wobei der Eingang und Ausgang des Komparators oder die Eingänge und Ausgänge der Komparatoren zwischen dem Test- und dem Kalibriermodus hin- und herschaltbar sind.

5. Testvorrichtung nach einem der Ansprüche 1-4, dadurch gekennzeichnet, dass die Vergleichereinheit/die Vergleichereinheiten jeweils einen Komparator pro Referenzspannung (302; 402, 412) aufweist/aufweisen.

6. Testvorrichtung nach Anspruch 5, dadurch gekennzeichnet, dass je ein Komparator (302; 402, 412) über zwei Eingänge und über einen Ausgang verfügt, wobei der erste Eingang jedes Komparators (302; 402, 412) mit der Referenzleitung (308; 407, 417) des betreffenden Referenzsignalgenerators (301; 401, 411) verbunden ist, wobei der zweite Eingang jedes Komparators (302; 402, 412) auf die Kalibrierleitung (307; 406, 416) des betreffenden Referenz-

renzsignalgenerators (**301; 401, 411**) und auf die Anschlussleitung seines Eingangskontakts (**211, 221, 231**) schaltbar ist, wobei der Ausgang jedes Komparators auf seine Kalibriereinheit (**303; 403, 413**) und auf den Präzisionssignalgenerator (**201**) schaltbar ist, und wobei die Schalteigenschaften der Kalibriereinheit (**303; 403, 413**) durch den Komparator (**302; 402, 412**) einstellbar sind.

7. Testvorrichtung nach einem der Ansprüche 1-6, dadurch gekennzeichnet, dass eine Entscheidungslogik-Einheit (**531**) vorgesehen ist, die mit den Vergleichereinheiten verbunden ist und die so ausgebildet ist, dass aus den Ausgangssignalen der Vergleichereinheiten ein Steuersignal (**532**) für den Präzisionssignalgenerator (**201**) erzeugbar ist.

8. Testvorrichtung nach einem der Ansprüche 1-7, dadurch gekennzeichnet, dass für jeden Eingangskontakt (**211, 221, 231**) je ein zum Anschluss an einen Ausgang eines integrierten Schaltkreises bestimmter Ausgangskontakt (**212, 222, 232**) vorgesehen ist, der mit einer Ausgangsleitung verbunden ist.

9. Testvorrichtung nach Anspruch 8, dadurch gekennzeichnet, dass von jeder Vergleichereinheit je eine Validierungssignalleitung (**504, 514, 524**) zu der betreffenden Ausgangsleitung führt.

10. Testvorrichtung nach einem der Ansprüche 1-9, dadurch gekennzeichnet, dass die Testvorrichtung (**3; 4**) auf einem integrierten Schaltkreis monolithisch integriert ist.

11. Testvorrichtung nach einem der Ansprüche 1-9, dadurch gekennzeichnet, dass sie auf einem Loadboard, das zur Aufnahme wenigstens einer Nadelkarte (**108**) zum Testen von integrierten Schaltkreisen vorgesehen ist, und/oder das wenigstens mit einem Testsockel zum Testen von integrierten Schaltkreisen ausgestattet ist, und/oder das zum Anschluss eines Handlers an einen Tester (**1**) von integrierten Schaltkreisen vorgesehen ist, aufgebracht ist.

12. Testvorrichtung nach einem der Ansprüche 1-9, dadurch gekennzeichnet, dass sie auf einem Tester zum Testen von integrierten Schaltkreisen aufgebracht ist, wobei

- der Tester (**105**) über mehrere Instrumente zum Erzeugen von Signalen oder Datenströmen und über mehrere Mess-Sensoren, insbesondere für Ströme und Spannungen, verfügt,
- der Tester (**105**) ein Loadboard aufweist, das zur Aufnahme wenigstens einer Nadelkarte (**108**) zum Testen von integrierten Schaltkreisen vorgesehen ist, und/oder das zum Anschluss eines Handlers an einen Tester von integrierten Schaltkreisen vorgesehen ist, und/oder das mit wenigstens einem Testsockel zum Testen von integrierten Schaltkreisen aus-

gestattet ist,

- der Präzisionssignalgenerator (**201**) und der Referenzsignalgenerator (**301**) oder die Referenzsignalgeneratoren (**401, 411**) auf dem Tester (**105**) ausgebildet sind, und wobei die Vergleichereinheit/die Vergleichereinheiten mit der Kalibriereinheit (**303**)/mit den Kalibriereinheiten (**403, 413**) auf dem Loadboard, benachbart zu den Eingangskontakten (**211, 221, 231**) für die integrierten Schaltkreise angeordnet ist/sind.

13. Verfahren zum parallelen Testen von mehreren integrierten Schaltkreisen mit den folgenden Schritten:

- a) Bereitstellen eines Testers (**105**) mit einem Loadboard, das zur Aufnahme mehrerer Nadelkarten (**108**) zum Testen von integrierten Schaltkreisen vorgesehen ist, und/oder das mit mehreren Testsockeln zum Testen von integrierten Schaltkreisen ausgestattet ist; Bereitstellen eines Präzisionssignalgenerators (**201**), mehrerer Referenzsignalgeneratoren (**301, 401, 411**) und mehrerer Vergleichereinheiten;
- b) Bestücken des Loadboards mit mehreren integrierten Schaltkreisen,
- c) Durchführen eines Testmodus mit den folgenden Schritten:
 - c1) Erzeugen eines Testsignals durch einen Präzisionssignalgenerator (**201**) und Anlegen des Testsignals an die integrierten Schaltkreise,
 - c2) Erzeugen wenigstens eines Referenzsignals durch den Referenzsignalgenerator (**301**)/durch die Referenzsignalgeneratoren (**301; 401, 411**) und Anlegen des Referenzsignals/der Referenzsignale an die Vergleichereinheiten
 - c3) Vergleichen des Testsignals mit dem jeweiligen Referenzsignal durch die Vergleichereinheiten
 - c4) Abschalten des Präzisionssignalgenerators (**201**) durch eine der Vergleichereinheiten, wenn das Testsignal das Referenzsignal übersteigt oder unterschreitet.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass in Schritt a) ein erster Referenzsignalgenerator (**401**) und ein zweiter Referenzsignalgenerator (**411**) bereitgestellt werden.

15. Verfahren nach Anspruch 13 oder 14, dadurch gekennzeichnet, dass vor oder nach dem Durchführen des Testmodus ein Kalibriermodus mit den folgenden Schritten durchgeführt wird:

- d) Verbinden jeder Vergleichereinheit über eine Kalibrierleitung (**307; 406, 416**) und über eine Referenzleitung (**308; 407, 417**) mit dem Referenzsignalgenerator (**301; 401; 411**) oder mit einem der Referenzsignalgeneratoren (**301; 401, 411**),
- e) Einstellen der Schalteigenschaften der Vergleichereinheiten mittels der an den betreffenden Vergleichereinheiten anliegenden Signalwerte der Kalibrierleitung (**307; 406, 416**) und der Referenzleitung (**308; 407, 417**).

16. Verfahren nach einem der Ansprüche 13-15, dadurch gekennzeichnet, dass die Verfahrensschritte mit einer Testvorrichtung nach einem der Ansprüche 1-12 durchgeführt werden.

17. Verfahren nach einem der Ansprüche 13-16, dadurch gekennzeichnet, dass die Verfahrensschritte c)-e) gemäß einem der Ansprüche 13-15 als Computerprogramm ausführbar sind.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

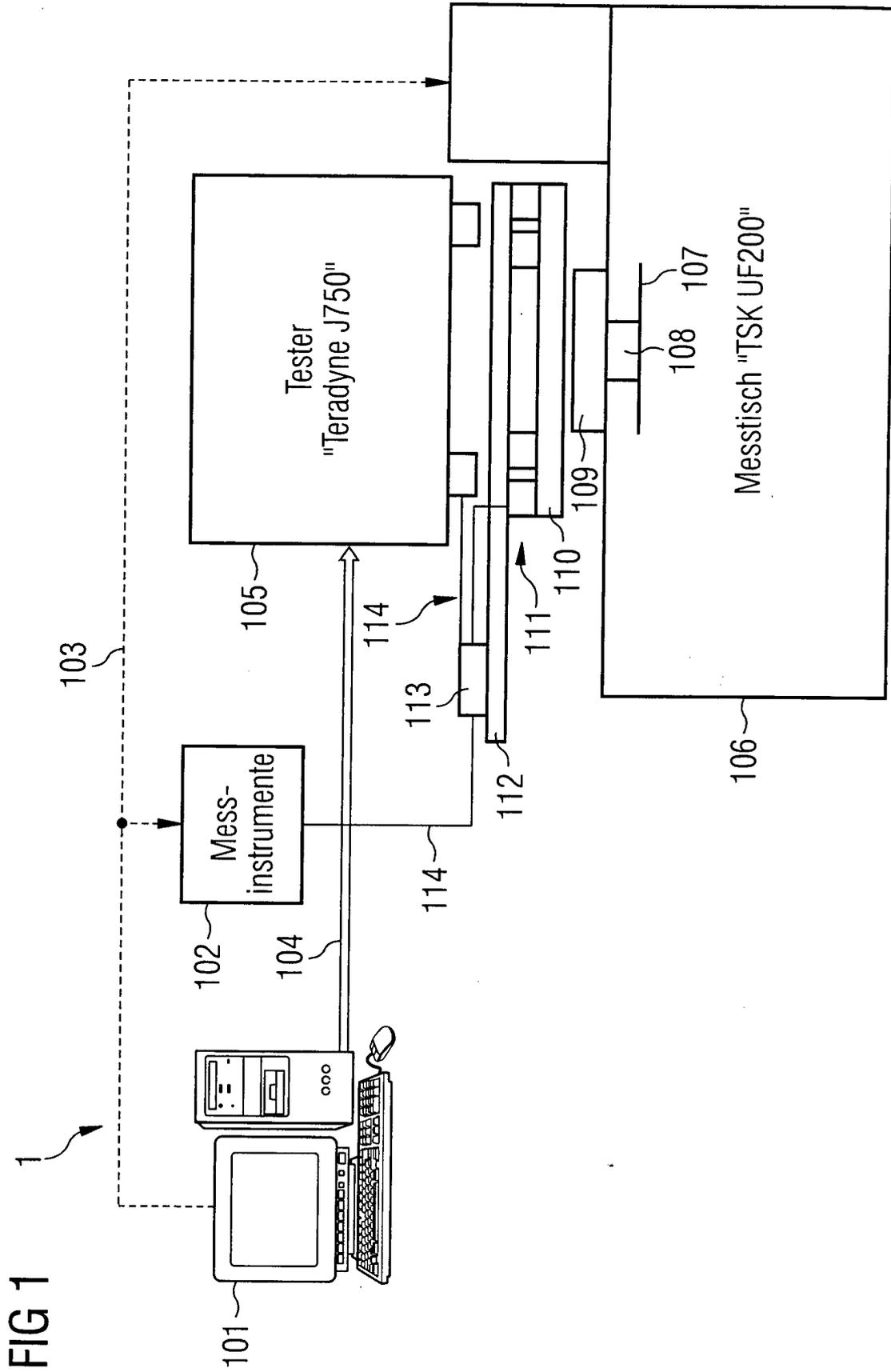
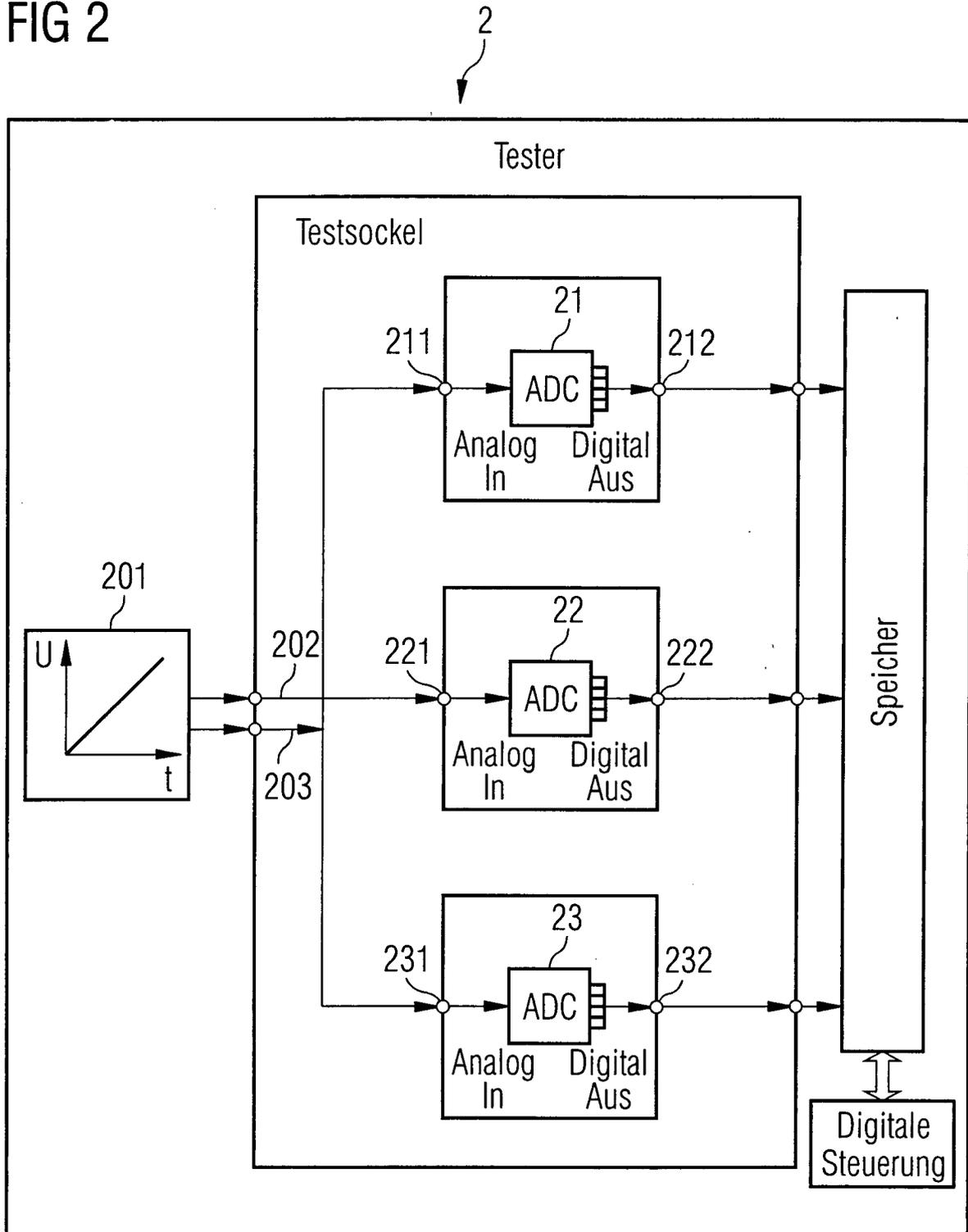


FIG 2



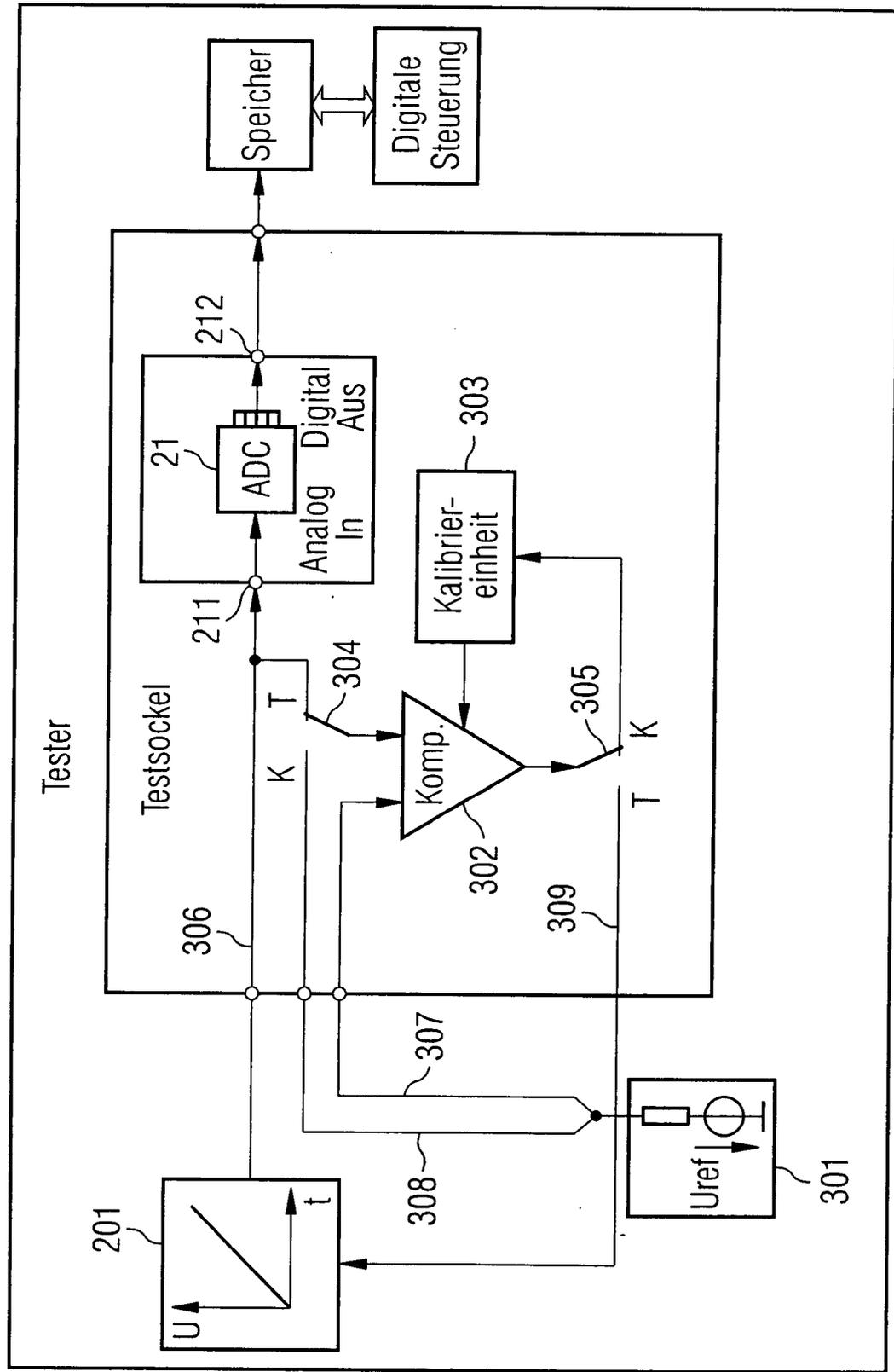


FIG 3

3

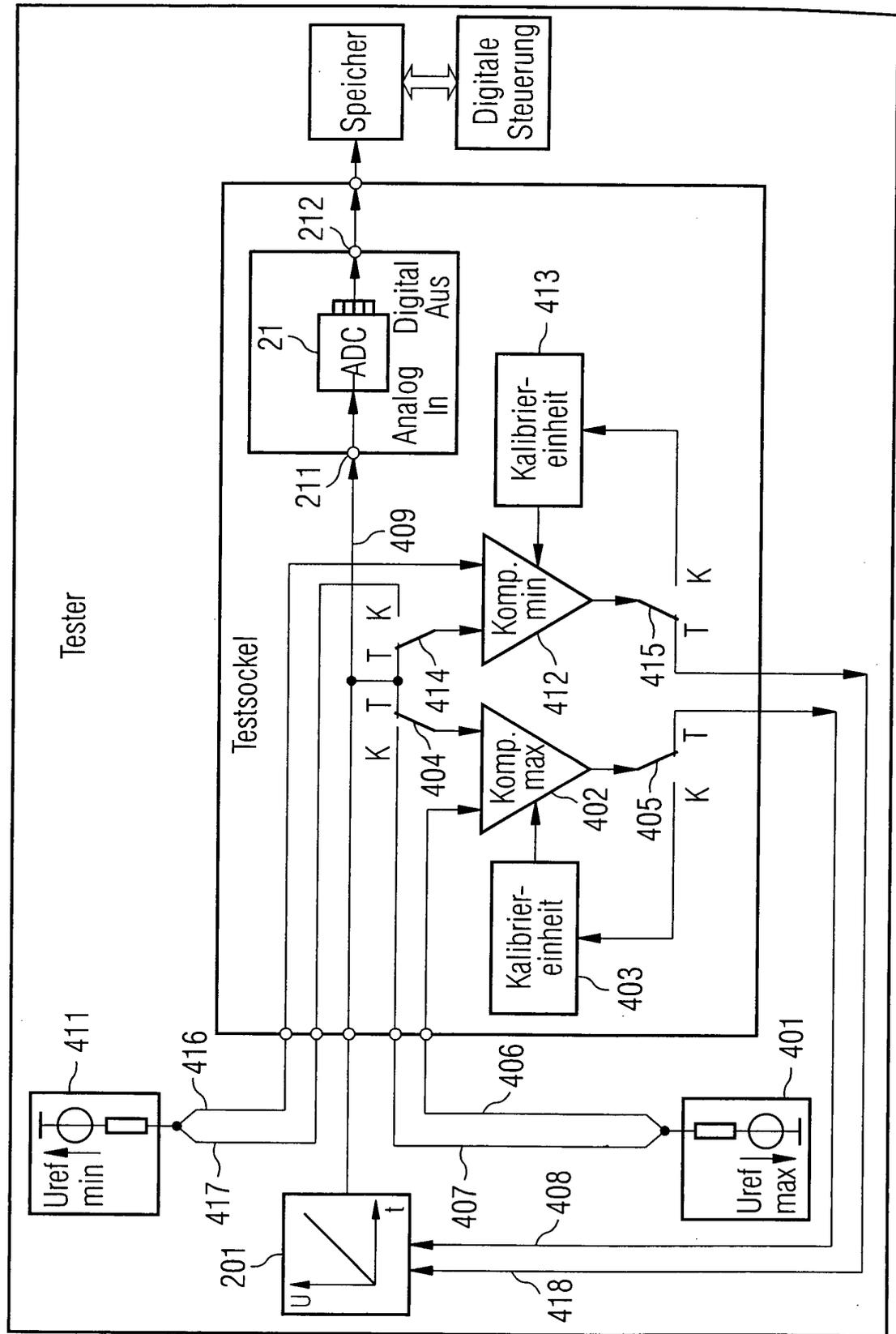
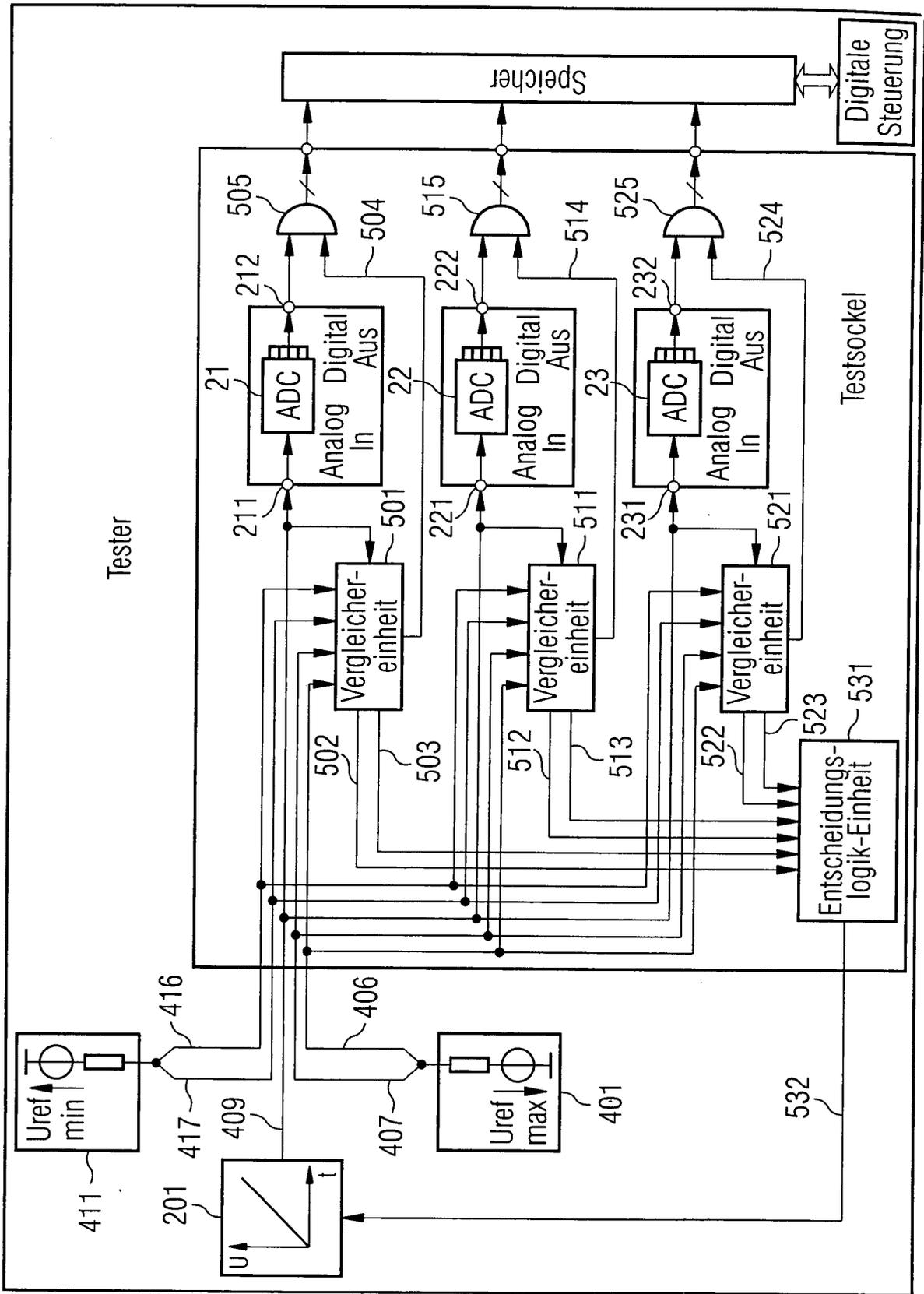


FIG 4



FIG 5



5