

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-147141

(P2022-147141A)

(43)公開日 令和4年10月6日(2022.10.6)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 27/11582(2017.01)	H 0 1 L 27/11582	5 F 0 3 3
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78 3 7 1	5 F 0 8 3
H 0 1 L 21/768(2006.01)	H 0 1 L 21/90 B	5 F 1 0 1
	H 0 1 L 21/90 M	

審査請求 未請求 請求項の数 5 O L (全23頁)

(21)出願番号	特願2021-48271(P2021-48271)	(71)出願人	318010018 キオクシア株式会社 東京都港区芝浦三丁目1番21号
(22)出願日	令和3年3月23日(2021.3.23)	(74)代理人	110002147弁理士法人酒井国際特許事務所
		(72)発明者	濱 裕之 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
		F ターム(参考)	5F033 HH04 HH18 HH19 HH20 HH21 HH32 HH33 JJ04 JJ08 JJ18 JJ19 JJ20 JJ21 JJ32 JJ33 MM11 MM12 MM13 MM15 N N33 QQ09 QQ10 QQ37 RR03 最終頁に続く

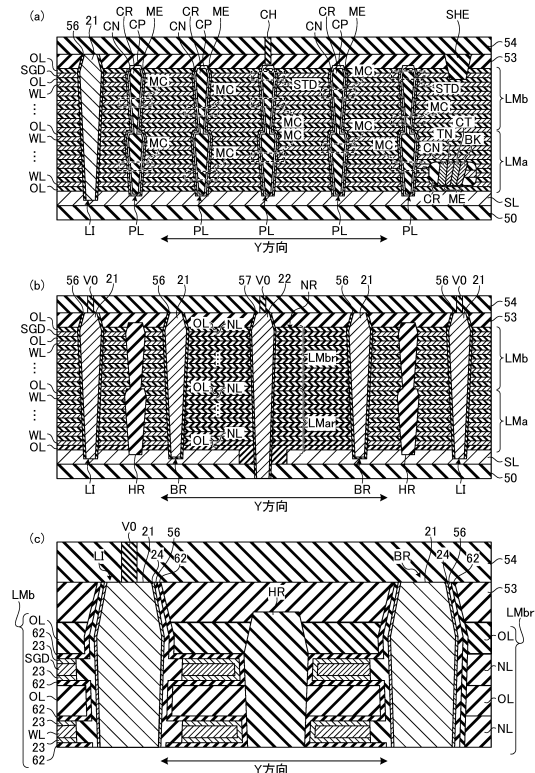
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】積層体の一部の領域に絶縁層を残しつつ、他の領域の絶縁層をより確実に導電層に置き換えること。

【解決手段】実施形態の半導体記憶装置1は、複数の第1の導電層WLが第1の絶縁層OLを介して積層される第1の積層体LMa、LMbと、複数の第2の絶縁層NLが第1の絶縁層OLを介して積層され、第1の積層体LMa、LMbに周囲を囲まれた第2の積層体LMar、LMbrと、積層方向および積層方向と交差する第1の方向に伸び、積層方向および第1の方向と交差する第2の方向における第2の積層体LMar、LMbrの両側で、第1及び第2の積層体LMa、LMb、LMar、LMbrの間に配置される1対の第1の板状部BRと、を備え、1対の第1の板状部BRの第1の積層体LMa、LMbに対向する第1の側壁は、第1の積層体LMa、LMbの第1の絶縁層OLの端面と接する金属元素含有層62を有する。

【選択図】図2



【特許請求の範囲】

【請求項 1】

複数の第 1 の導電層が第 1 の絶縁層を介して積層される第 1 の積層体と、

複数の第 2 の絶縁層が前記第 1 の絶縁層を介して積層され、前記第 1 の積層体の各層の積層方向から見て、前記第 1 の積層体に周囲を囲まれた第 2 の積層体と、

前記積層方向および前記積層方向と交差する第 1 の方向に延び、前記積層方向および前記第 1 の方向と交差する第 2 の方向における前記第 2 の積層体の両側で、前記第 1 及び第 2 の積層体の間に配置される 1 対の第 1 の板状部と、

前記第 1 の方向に延び、前記 1 対の第 1 の板状部から離れた位置で、前記 1 対の第 1 の板状部を前記第 2 の方向の両側から挟み、前記第 1 の積層体内を前記積層方向に延びる 1 対の第 2 の板状部と、を備え、

前記 1 対の第 1 の板状部の前記第 1 の積層体に対向する第 1 の側壁は、前記第 1 の積層体の前記第 1 の絶縁層の端面と接する金属元素含有層を有する、
半導体記憶装置。

10

【請求項 2】

前記第 1 の側壁は、

前記第 1 の積層体の前記複数の第 1 の導電層および前記第 1 の絶縁層の高さ位置全体に亘って配置される第 3 の絶縁層を有し、

前記第 1 の絶縁層の高さ位置において、前記第 3 の絶縁層と前記第 1 の絶縁層の端面の間には前記金属元素含有層が介在する、

請求項 1 に記載の半導体記憶装置。

20

【請求項 3】

前記第 3 の絶縁層は、

前記複数の第 1 の導電層のそれぞれの高さ位置において、前記複数の第 1 の導電層の端面と接する、

請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記複数の第 1 の導電層の前記端面は、前記第 1 の絶縁層の前記端面よりも前記 1 対の板状部から後退した位置にあり、

前記第 3 の絶縁層は、

前記複数の第 1 の導電層のそれぞれの高さ位置において、前記複数の第 1 の導電層側へと突出する、

請求項 3 に記載の半導体記憶装置。

30

【請求項 5】

複数の第 1 の導電層が第 1 の絶縁層を介して積層される第 1 の積層体と、

複数の第 2 の絶縁層が前記第 1 の絶縁層を介して積層され、前記第 1 の積層体の各層の積層方向から見て、前記第 1 の積層体に周囲を囲まれた第 2 の積層体と、

前記積層方向および前記積層方向と交差する第 1 の方向に延び、前記積層方向および前記第 1 の方向と交差する第 2 の方向における前記第 2 の積層体の両側で、前記第 1 及び第 2 の積層体の間に配置される 1 対の第 1 の板状部と、

前記第 1 の方向に延び、前記 1 対の第 1 の板状部から離れた位置で、前記 1 対の第 1 の板状部を前記第 2 の方向の両側から挟み、前記第 1 の積層体内を前記積層方向に延びる 1 対の第 2 の板状部と、を備え、

前記 1 対の第 1 の板状部の前記第 2 の積層体に対向する第 2 の側壁は、前記第 2 の積層体の前記複数の第 2 の絶縁層および前記第 1 の絶縁層の高さ位置全体に亘って配置され、前記複数の第 2 の絶縁層および前記第 1 の絶縁層のそれぞれの端面と接する金属元素含有層を有する、
半導体記憶装置。

40

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明の実施形態は、半導体記憶装置に関する。

【 背景技術 】

【 0 0 0 2 】

3次元不揮発性メモリ等の半導体記憶装置の製造工程では、例えば複数の絶縁層を導電層に置き換えて、導電層の積層体を形成する。例えば積層体の上下構造を接続するコンタクトを通すため、積層体の一部が、導電層に置き換えられることなく絶縁層のまま維持されることがある。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 3 】

【 特許文献 1 】 米国特許出願公開第 2 0 1 9 / 0 0 6 7 3 1 4 号明細書

【 特許文献 2 】 米国特許出願公開第 2 0 1 7 / 0 1 7 9 1 5 4 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

1つの実施形態は、積層体の一部の領域に絶縁層を残しつつ、他の領域の絶縁層をより確実に導電層に置き換えることができる半導体記憶装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 5 】

20

実施形態の半導体記憶装置は、複数の第1の導電層が第1の絶縁層を介して積層される第1の積層体と、複数の第2の絶縁層が前記第1の絶縁層を介して積層され、前記第1の積層体の各層の積層方向から見て、前記第1の積層体に周囲を囲まれた第2の積層体と、前記積層方向および前記積層方向と交差する第1の方向に延び、前記積層方向および前記第1の方向と交差する第2の方向における前記第2の積層体の両側で、前記第1及び第2の積層体の間に配置される1対の第1の板状部と、前記第1の方向に延び、前記1対の第1の板状部から離れた位置で、前記1対の第1の板状部を前記第2の方向の両側から挟み、前記第1の積層体内を前記積層方向に延びる1対の第2の板状部と、を備え、前記1対の第1の板状部の前記第1の積層体に対向する第1の側壁は、前記第1の積層体の前記第1の絶縁層の端面と接する金属元素含有層を有する。

30

【 図面の簡単な説明 】

【 0 0 0 6 】

【 図 1 】 図 1 は、実施形態 1 にかかる半導体記憶装置の概略の構成例を示す図である。

【 図 2 】 図 2 は、実施形態 1 にかかる半導体記憶装置の詳細な構成例を示す Y 方向に沿う断面図である。

【 図 3 】 図 3 は、実施形態 1 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

【 図 4 】 図 4 は、実施形態 1 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

【 図 5 】 図 5 は、実施形態 1 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

40

【 図 6 】 図 6 は、実施形態 1 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

【 図 7 】 図 7 は、実施形態 1 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

【 図 8 】 図 8 は、実施形態 1 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

【 図 9 】 図 9 は、実施形態 2 にかかる半導体記憶装置の製造方法の手順の一例を示す Y 方向に沿う断面図である。

【 図 1 0 】 図 1 0 は、実施形態 2 にかかる半導体記憶装置の製造方法の手順の一例を示す

50

Y方向に沿う断面図である。

【発明を実施するための形態】

【0007】

以下に、本発明につき図面を参照しつつ詳細に説明する。なお、下記の実施形態により、本発明が限定されるものではない。また、下記実施形態における構成要素には、当業者が容易に想定できるものあるいは実質的に同一のものが含まれる。

【0008】

[実施形態1]

以下、図面を参照して実施形態1について詳細に説明する。

【0009】

10

(半導体記憶装置の構成例)

図1は、実施形態1にかかる半導体記憶装置1の概略の構成例を示す図である。図1(a)は、半導体記憶装置1の概略構成を示すX方向に沿う断面図であり、図1(b)は、半導体記憶装置1の貫通コンタクト領域TPを含む領域の横断面図である。ただし、図1(a)においては図面の見やすさを考慮してハッチングを省略する。また、図1(a)においては一部の上層配線が省略されている。

【0010】

なお、本明細書において、X方向およびY方向は共に、後述するワード線WLの面の向きに沿う方向であり、X方向とY方向とは互いに直交する。また、後述するワード線WLの電気的な引き出し方向を第1の方向と呼ぶことがあり、この第1の方向はX方向に沿う方向である。また、第1の方向と交差する方向を第2の方向と呼ぶことがあり、この第2の方向はY方向に沿う方向である。ただし、半導体記憶装置1は製造誤差を含みうるため、第1の方向と第2の方向とは必ずしも直交しない。

20

【0011】

図1に示すように、半導体記憶装置1は、基板SB上に、周辺回路CUA、メモリ領域MR、貫通コンタクト領域TP、及び階段領域SRを備える。

【0012】

基板SBは、例えばシリコン基板等の半導体基板である。基板SB上にはトランジスタTR及び配線等を含む周辺回路CUAが配置されている。周辺回路CUAは、後述するメモリセルの動作に寄与する。

30

【0013】

周辺回路CUAは絶縁層50で覆われている。絶縁層50上にはソース線SLが配置されている。ソース線SL上には複数の導電層が積層されており、その中の少なくとも一部はワード線WLとして機能する。

【0014】

複数の第1の導電層としてのワード線WLは、それぞれX方向に沿って延び、Y方向に並ぶ複数のコンタクトLIによってY方向に分割されている。すなわち、複数のコンタクトLIのそれぞれは、ワード線WLの面に沿うX方向に沿って延び、ワード線WLを積層方向に貫通する。

【0015】

40

1対の第2の板状部としての2つの隣接するコンタクトLIの間には、複数のメモリ領域MR、絶縁領域NRを含む貫通コンタクト領域TP、及びワード線WLの両端部に形成される階段領域SRが配置されている。

【0016】

また、2つのコンタクトLI間には、ソース線SL上に積層される上述の複数の導電層のうち、少なくとも最上層の導電層を含む1つまたは複数の導電層を分離する分離層SHEが配置されている。分離層SHEは、メモリ領域MR、及び貫通コンタクト領域TPの絶縁領域NRを除く領域をX方向に沿って延びる。分離層SHEが両端部の階段領域SRにまで延びていてもよい。

【0017】

50

第1の導電層としての選択ゲート線SGDは、最上層の導電層を含む1つまたは複数の導電層を分離層SHEが貫通することによって形成される。つまり、分離層SHEは、積層される1つまたは複数の導電層を、分離層SHEのY方向両側に配置される選択ゲート線SGDのパターンに区画する。なお、図1(b)は、半導体記憶装置1の選択ゲート線SGDの高さ位置における横断面を示している。

【0018】

メモリ領域MRには、ワード線WLを積層方向に貫通する複数のピラーPLが配置されている。ピラーPLとワード線WLとの交差部には複数のメモリセルが形成される。これにより、半導体記憶装置1は、例えばメモリ領域MRにメモリセルが3次元に配置された3次元不揮発性メモリとして構成される。ピラーPLの上端部には、ピラーPLとビット線等の上層配線とを接続するプラグが配置されている。

10

【0019】

階段領域SRは、複数のワード線WLが階段状に引き出された構成を有する。階段状に引き出された複数のワード線WLの個々のテラス部には、ワード線WLと上層配線等とを接続するコンタクトC4が配置されている。なお、本明細書においては、階段領域SRの各段のテラス面が向いた方向を上方向と規定する。

【0020】

貫通コンタクト領域TPは、例えば隣接する2つのコンタクトLI間で、メモリ領域MRによりX方向に挟まれた領域に配置される。貫通コンタクト領域TPには、絶縁領域NR、1対の第1の板状部としての板状部BR、複数のコンタクトC4、及び複数の柱状部HRが配置されている。

20

【0021】

絶縁領域NRは、ワード線WLの積層方向から見て、積層された複数のワード線WLに周囲を取り囲まれている。絶縁領域NR内には、ワード線WLは配置されず、複数種類の絶縁層が積層されている。

【0022】

板状部BRは、絶縁領域NRのY方向の両側に、X方向に沿って延びるように配置される。すなわち、板状部BRのそれぞれは、絶縁領域NR両側で、X方向に沿う方向およびワード線WLの積層方向に延びる。ただし、図1の例に依らず、絶縁領域NRを他の領域から充分に分離できるのであれば、板状部BRが他の形状および配置を有していてもよい。

30

【0023】

1対の第1の板状部としての2つの板状部BRの間には、下方の基板SB上に配置された周辺回路CUAと各種の上層配線等とを接続するコンタクトC4が配置されている。

【0024】

図1の例では、X方向に並ぶ複数のコンタクトC4が絶縁領域NR内に配置されている。ただし、コンタクトC4は、絶縁領域NR内に1つのみ配置されてもよい。またあるいは、コンタクトC4は、X方向に替えて、あるいは加えて、Y方向にも複数配置されてもよい。

【0025】

このようなコンタクトC4によって、ピラーPL及びワード線WL等の構成は、上層配線を介して周辺回路CUAに接続される。

40

【0026】

複数の柱状部HRは、コンタクトC4の周辺を除く貫通コンタクト領域TPに分散して配置される。個々の柱状部HRは、ワード線WLを積層方向に貫通しており、後述する半導体記憶装置1の製造工程において、半導体記憶装置1の積層構造を支える支柱として機能する。

【0027】

図2は、実施形態1にかかる半導体記憶装置1の詳細な構成例を示すY方向に沿う断面図である。図2(a)は、メモリ領域MRにおける1つのコンタクトLIを含む一部断面

50

図であり、図 2 (b) は貫通コンタクト領域 T P における 1 対のコンタクト L I 間を示す一部断面図である。図 2 (c) は、貫通コンタクト領域 T P における 1 つのコンタクト L I と 1 つの板状部 B R との間を示す拡大断面図である。なお、図 2 において、周辺回路 C U A 及び一部の上層配線は省略されている。

【 0 0 2 8 】

図 2 (a) (b) に示すように、ソース線 S L 上には積層体 L M a が配置され、積層体 L M a 上には積層体 L M b が配置されている。

【 0 0 2 9 】

第 1 の積層体としての積層体 L M a , L M b はともに、複数の第 1 の導電層としてのワード線 W L が第 1 の絶縁層としての絶縁層 O L を介して積層された構成を有する。積層体 L M a , L M b におけるワード線 W L の積層数は任意である。

10

【 0 0 3 0 】

また、積層体 L M b は、最上層のワード線 W L の上層に、第 1 の絶縁層としての絶縁層 O L を介して第 1 の導電層としての 1 つまたは複数の選択ゲート線 S G D を備える。換言すれば、上述のように、積層体 L M b の最上層の導電層を含む 1 つまたは複数の導電層を分離層 S H E が貫通することにより、選択ゲート線 S G D が構成される。分離層 S H E は、例えば S i O₂ 層等の絶縁層であり、これにより、選択ゲート線 S G D を Y 方向に分離する。

【 0 0 3 1 】

なお、積層体 L M a が、最下層のワード線 W L の下層に、第 1 の導電層としての 1 つまたは複数の選択ゲート線を備えていてもよい。

20

【 0 0 3 2 】

ワード線 W L 及び選択ゲート線 S G D は、例えばタングステン層またはモリブデン層等である。ワード線 W L と選択ゲート線 S G D とが異なる導電材で構成されていてもよい。この場合、選択ゲート線 S G D を例えばポリシリコン層等とすることも可能である。絶縁層 O L は例えば S i O₂ 層等である。

【 0 0 3 3 】

積層体 L M b 上には絶縁層 5 3 が配置され、絶縁層 5 3 上には絶縁層 5 4 が配置される。これらの絶縁層 5 3 , 5 4 は例えば S i O₂ 層等である。

【 0 0 3 4 】

図 2 (a) に示すように、メモリ領域 M R において、積層体 L M a , L M b には複数のピラー P L が配置されている。個々のピラー P L は、積層体 L M a , L M b を貫通し、ソース線 S L に到達している。これらのピラー P L の上端部は絶縁層 5 3 内に配置されている。また、個々のピラー P L は、積層体 L M a , L M b の各層に沿う方向の断面形状として、例えば円形、楕円形、または小判型 (オーバル型) 等の形状を有する。

30

【 0 0 3 5 】

このとき、個々のピラー P L は、積層体 L M a 内における上端部、つまり、積層体 L M a , L M b の界面の高さに位置する端部よりも、下端部、つまり、ソース線 S L と接する端部の径が小さく、これら上端部と下端部との間に最大径を有するボーイング形状となってもよい。また、個々のピラー P L は、上端部、つまり、絶縁層 5 3 内に位置する端部よりも、積層体 L M b 内における下端部、つまり、積層体 L M a , L M b の界面の高さに位置する端部の径が小さく、これら上端部と下端部との間に最大径を有するボーイング形状となってもよい。

40

【 0 0 3 6 】

個々のピラー P L は、ピラー P L の外周側にメモリ層 M E を有し、メモリ層 M E の内側にチャンネル層 C N を有し、チャンネル層 C N の内側にコア層 C R が充填されている。チャンネル層 C N は、ピラー P L 下端でソース線 S L と接している。メモリ層 M E は、ピラー P L の外周側から順に、ブロック絶縁層 B K 、電荷蓄積層 C T 、及びトンネル絶縁層 T N が積層された積層構造を有する。また、個々のピラー P L は、ピラー P L の上端部側に、例えばチャンネル層 C N の外形と略等しい径を有するキャップ層 C P を有する。

50

【 0 0 3 7 】

ブロック絶縁層BK、トンネル絶縁層TN、及びコア層CRは例えばSiO₂層等である。電荷蓄積層CTは例えばSiN層等である。チャンネル層CN及びキャップ層CPは例えばアモルファスシリコン層およびポリシリコン層の少なくともいずれかを含む。

【 0 0 3 8 】

キャップ層CPの上面には、絶縁層53, 54を貫通し、図示しないビット線等に接続されるプラグCHが配置されている。ここで、図2(a)は、メモリ領域MRの1つの断面を示しており、一部のピラーPL上にしかプラグCHが描かれていない。しかし、X方向に異なる断面では他のピラーPLにもプラグCHが接続されている。このように、実質的に半導体記憶装置1の動作に寄与する全てのピラーPLにはプラグCHが接続されている。

10

【 0 0 3 9 】

上記のような構成により、ピラーPLの複数のワード線WLとの交差部には、複数のメモリセルMCが高さ方向に並んで形成される。また、ピラーPLの選択ゲート線SGDとの交差部には選択ゲートSTDが形成される。最下層のワード線WLの下方に選択ゲート線が配置される場合には、この選択ゲート線とピラーPLとの交差部にも選択ゲートが形成される。

【 0 0 4 0 】

選択ゲート線SGDから選択ゲートSTDに所定電圧を印加することで、選択ゲートSTDをオンまたはオフして、その選択ゲートSTDが属するピラーPLに形成されるメモリセルMCを選択状態または非選択状態にすることができる。選択状態となったメモリセルMCに、ワード線WLから所定電圧を印加すること等により、メモリセルMCにデータを書き込み、また、メモリセルMCに書き込んだデータを読み出すことができる。

20

【 0 0 4 1 】

図2(a)(b)に示すように、コンタクトLIは、絶縁層53及び積層体LMa, LMbを貫通し、ソース線SLに到達する。このとき、コンタクトLIは、上面のY方向の幅より底面のY方向の幅が小さく、上面と底面との間に最大幅を有するボーイング形状となってもよい。また、コンタクトLIは、メモリ領域MR及び貫通コンタクト領域TPをX方向に沿って延び、積層体LMa, LMbのX方向両端部の階段領域SR(図1(a)参照)まで達している。これにより、コンタクトLIは、Y方向に積層体LMa, LMbを分割する。

30

【 0 0 4 2 】

コンタクトLIは、側壁に配置される絶縁層56と、絶縁層56の内側に充填される導電層21とを有する。コンタクトLIの導電層21上には、絶縁層53, 54を貫通し、図示しない上層配線等に接続されるプラグV0が配置されている。これにより、コンタクトLIは例えばソース線コンタクトとして機能する。

【 0 0 4 3 】

図2(b)に示すように、貫通コンタクト領域TPには、積層体LMa, LMbの各層の積層方向から見て、積層体LMa, LMbに囲まれた絶縁領域NRが配置されている。絶縁領域NRは、ソース線SL上に配置される積層体LMarと、積層体LMar上に配置される積層体LMbrとを備える。

40

【 0 0 4 4 】

第2の積層体としての積層体LMar, LMbrはともに、複数の第2の絶縁層としての絶縁層NLが第1の絶縁層としての絶縁層OLを介して積層された構成を有する。積層体LMar, LMbrにおける絶縁層NLは、例えば積層体LMa, LMbにおけるワード線WL及び選択ゲート線SGDの合計の積層数と等しい積層数を有し、また、ワード線WL及び選択ゲート線SGDと等しい高さ位置に配置される。

【 0 0 4 5 】

絶縁層NLは例えばSiN層等である。絶縁層OLは、積層体LMa, LMbの絶縁層OLと等しい材料から構成されており、例えばSiO₂層等である。

50

【 0 0 4 6 】

絶縁領域 N R 内には、例えば 1 つまたは複数のコンタクト C 4 が配置されている。コンタクト C 4 は、絶縁層 5 3 及び積層体 L M a r , L M b r を貫通し、周辺回路 C U A を覆う絶縁層 5 0 に到達している。なお、コンタクト C 4 の配置位置におけるソース線 S L は除去されていてもよく、コンタクト C 4 は例えばソース線 S L が除去された部分を抜けて絶縁層 5 0 へと延びる。このとき、コンタクト C 4 は、上端部よりも下端部の径が小さく、上端部と下端部との間に最大径を有するポーリング形状となってもよい。

【 0 0 4 7 】

コンタクト C 4 は、コンタクト C 4 の外周に配置される絶縁層 5 7 と、絶縁層 5 7 の内側に充填される導電層 2 2 とを有する。絶縁層 5 7 は例えば S i O ₂ 層等であり、導電層 2 2 は例えばタングステン層等である。絶縁層 5 0 内で、コンタクト C 4 の導電層 2 2 は図示しないビア及び配線等を介して周辺回路 C U A (図 1 (a) 参照) に接続される。コンタクト C 4 の導電層 2 2 の上端部には、絶縁層 5 4 を貫通し、図示しない上層配線等に接続されるプラグ V 0 が配置されている。

10

【 0 0 4 8 】

このように、コンタクト C 4 は、絶縁領域 N R 内に配置され、コンタクト C 4 の周囲にワード線 W L 等は配置されない。これにより、コンタクト C 4 とワード線 W L とが電氣的にショートしてしまうこと等を抑制することができる。したがって、上述のように、図 2 (b) の例ではコンタクト C 4 が絶縁層 5 7 のライナを有することとしたが、コンタクト C 4 が他の構成から電氣的に十分に絶縁されるのであれば絶縁層 5 7 はなくともよい。

20

【 0 0 4 9 】

また、後述する半導体記憶装置 1 の製造工程において、ワード線 W L 等を有さない積層体 L M a r , L M b r が配置された絶縁領域 N R を積層体 L M a , L M b 内に確保するため、以下に述べる板状部 B R が用いられる。

【 0 0 5 0 】

絶縁領域 N R の Y 方向の両側には、積層体 L M a , L M b と積層体 L M a r , L M b r との間に板状部 B R が配置されている。つまり、板状部 B R の Y 方向の一方側の側面は積層体 L M a , L M b と対向し、他方側の側面は積層体 L M a r , L M b r と対向している。このとき、板状部 B R は、上面の Y 方向の幅より底面の Y 方向の幅が小さく、上面と底面との間に最大幅を有するポーリング形状となってもよい。

30

【 0 0 5 1 】

板状部 B R は、例えばコンタクト L I に類似する構成を有する。すなわち、板状部 B R は、側壁に配置される絶縁層 5 6 と、絶縁層 5 6 の内側に充填される導電層 2 1 とを有する。ただし、絶縁層 5 6 は板状部 B R の底面にも配置されており、導電層 2 1 はソース線 S L とは接していない。

【 0 0 5 2 】

第 3 の絶縁層としての絶縁層 5 6 は、上述のようにコンタクト L I 及び板状部 B R の側壁に配置される同一の層であり、例えば S i O ₂ 層等である。導電層 2 1 は、上述のようにコンタクト L I 及び板状部 B R の内部に充填される同一の層であり、例えばタングステン層およびポリシリコン層の少なくともいずれかを含んでいてよい。

40

【 0 0 5 3 】

このように、貫通コンタクト領域 T P においては、1 対の第 1 の板状部としての板状部 B R が、積層体 L M a r , L M b r の両側で、積層体 L M a , L M b と積層体 L M a r , L M b r との間に配置される。1 対の第 2 の板状部としてのコンタクト L I は、1 対の板状部 B R から離れた位置で、1 対の板状部 B R を Y 方向の両側から挟む。

【 0 0 5 4 】

貫通コンタクト領域 T P のコンタクト C 4 周辺を除く領域には、複数の柱状部 H R が配置されている。複数の柱状部 H R のうち少なくとも一部の柱状部 H R は、積層体 L M a , L M b を貫通し、ソース線 S L に到達している。複数の柱状部 H R のうち他の一部の柱状部 H R は、積層体 L M a r , L M b r を貫通し、ソース線 S L に到達していてもよい。こ

50

これらの柱状部 H R の上端部は絶縁層 5 3 内に配置されている。個々の柱状部 H R は、積層体 L M a , L M b 及び積層体 L M a r , L M b r の各層に沿う方向の断面形状として、例えば円形、楕円形、または小判型（オーバル型）等の形状を有する。

【 0 0 5 5 】

このとき、個々の柱状部 H R は、積層体 L M a または積層体 L M a r 内における上端部よりも、積層体 L M a または積層体 L M a r 内における下端部、つまり、ソース線 S L と接する端部の径が小さく、これら上端部と下端部との間に最大径を有するポーイング形状となっていてよい。同様に、個々の柱状部 H R は、積層体 L M b または積層体 L M b r 内における上端部、つまり、絶縁層 5 3 内に位置する端部よりも、積層体 L M b または積層体 L M b r 内における下端部の径が小さく、これら上端部と下端部との間に最大径を有するポーイング形状となっていてよい。

10

【 0 0 5 6 】

柱状部 H R は、例えば S i O₂ 層等の絶縁層、またはピラー P L と同一の構成層であり、半導体記憶装置 1 の機能には寄与しない。後述するように、犠牲層と絶縁層とが積層された積層体から積層体 L M a , L M b を形成する際、柱状部 H R は、これらの構成を支持する役割を持つ。

【 0 0 5 7 】

ここで、板状部 B R 及びコンタクト L I のより詳細な構成について説明する。

【 0 0 5 8 】

図 2 (c) に示すように、板状部 B R の Y 方向両側の側壁のうち、積層体 L M a , L M b に対向する側壁と、積層体 L M a r , L M b r に対向する側壁とでは、構成が異なっている。

20

【 0 0 5 9 】

積層体 L M a r , L M b r に対向する第 2 の側壁としての板状部 B R の側壁は、板状部 B R の外側に近い側、つまり、積層体 L M a r , L M b r 側から順に、ブロック層 6 2、絶縁層 5 6、及びバリアメタル層 2 4 を有している。これらのブロック層 6 2、絶縁層 5 6、及びバリアメタル層 2 4 は、絶縁層 5 3 及び積層体 L M a r , L M b r の絶縁層 O L , N L の高さ位置全体に亘って配置されている。

【 0 0 6 0 】

金属元素含有層としてのブロック層 6 2 は、例えば A l₂O₃ 層、H f O₂ 層、または Z r O₂ 層等の金属酸化物層等である。ブロック層 6 2 は、絶縁層 5 3 の板状部 B R に対向する端面、及び積層体 L M a , L M b の絶縁層 O L , N L の板状部 B R に対向する端面と接している。

30

【 0 0 6 1 】

バリアメタル層 2 4 は、例えば T i N 層等であり、タングステン層またはモリブデン層等の導電層 2 1 と接して配置され、導電層 2 1 を構成する金属原子が、隣接する他の層に拡散することを抑制する。したがって、バリアメタル層 2 4 は、例えば T i 層、T i N 層、T a 層、及び T a N 層の少なくともいずれかの層によって構成されていてよい。また、板状部 B R の内部に充填される導電層 2 1 が、例えばポリシリコン層等である場合、板状部 B R の側壁にバリアメタル層 2 4 が配置されていなくともよい。

40

【 0 0 6 2 】

すなわち、積層体 L M a r , L M b r 側では、板状部 B R の側壁に配置される上述の絶縁層 5 6 と、積層体 L M a r , L M b r の絶縁層 O L , N L の端面との間に、ブロック層 6 2 が介在している。また、積層体 L M a r , L M b r 側では、板状部 B R 側壁の絶縁層 5 6 と、導電層 2 1 との間に、例えばバリアメタル層 2 4 が介在している。

【 0 0 6 3 】

積層体 L M a , L M b に対向する第 1 の側壁としての板状部 B R の側壁は、絶縁層 5 3 の板状部 B R に対向する端面、及び積層体 L M a , L M b の絶縁層 O L の板状部 B R に対向する端面を覆うブロック層 6 2 を有している。

【 0 0 6 4 】

50

このブロック層 6 2 は、絶縁層 O L の端面から更に板状部 B R からは離れる方向に延び、絶縁層 O L の積層方向の両面、つまり、ワード線 W L または選択ゲート線 S G D に対向する面を覆っている。絶縁層 O L の面上のブロック層 6 2 と、ワード線 W L 及び選択ゲート線 S G D との間には、バリアメタル層 2 3 が介在している。すなわち、ワード線 W L と絶縁層 O L との間、及び選択ゲート線 S G D と絶縁層 O L との間には、絶縁層 O L 側から順に、ブロック層 6 2 とバリアメタル層 2 3 とが介在されている。

【 0 0 6 5 】

第 2 の導電層としてのバリアメタル層 2 3 は、例えば T i N 層等であり、上述のように、所定の導電層を構成する金属原子が、隣接する他の層に拡散することを抑制する。したがって、バリアメタル層 2 3 は、例えば T i 層、T i N 層、T a 層、及び T a N 層の少なくともいずれかの層によって構成されていてよい。

10

【 0 0 6 6 】

また、板状部 B R の積層体 L M a , L M b に対向する側壁は、絶縁層 5 3、並びに積層体 L M a , L M b の絶縁層 O L、ワード線 W L、及び選択ゲート線 S G D の高さ位置全体に亘って配置される絶縁層 5 6 を有している。絶縁層 5 6 と、絶縁層 5 3 の板状部 B R に対向する端面、及び積層体 L M a , L M b の絶縁層 O L の板状部 B R に対向する端面との間には、ブロック層 6 2 が介在している。絶縁層 5 6 と、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D の板状部 B R に対向する端面とは直接、接している。

【 0 0 6 7 】

ここで、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D の板状部 B R に対向する端面は、ブロック層 6 2 で覆われた絶縁層 O L の端面よりも板状部 B R から後退した位置にあってもよい。これにより、ワード線 W L 及び選択ゲート線 S G D の高さ位置において、板状部 B R の絶縁層 5 6 が、ワード線 W L 及び選択ゲート線 S G D の方へと突出していてもよい。

20

【 0 0 6 8 】

また、板状部 B R の積層体 L M a , L M b に対向する側壁は、絶縁層 5 3、並びに積層体 L M a , L M b の絶縁層 O L、ワード線 W L、及び選択ゲート線 S G D の高さ位置全体に亘って配置されるバリアメタル層 2 4 を有している。バリアメタル層 2 4 は、ブロック層 6 2 及び絶縁層 5 6 の更に内側に配置される。

【 0 0 6 9 】

すなわち、板状部 B R の側壁に配置される上述の絶縁層 5 6 は、積層体 L M a , L M b 側では、ブロック層 6 2 を介することなく直接、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D の端面と接している。また、積層体 L M a , L M b 側でも、板状部 B R 側壁の絶縁層 5 6 と、導電層 2 1 との間には、例えばバリアメタル層 2 4 が介在している。ただし、上述のように、板状部 B R の内部に充填される導電層 2 1 が、例えばポリシリコン層等である場合、板状部 B R の側壁にバリアメタル層 2 4 が配置されていなくともよい。

30

【 0 0 7 0 】

一方、コンタクト L I の Y 方向両側の側壁はいずれも同様の構成を有する。

【 0 0 7 1 】

コンタクト L I の側壁は、絶縁層 5 3 のコンタクト L I に対向する端面、及び積層体 L M a , L M b の絶縁層 O L のコンタクト L I に対向する端面を覆うブロック層 6 2 を有している。ブロック層 6 2 は、絶縁層 O L の端面から更にコンタクト L I からは離れる方向に延び、絶縁層 O L の積層方向の両面、つまり、ワード線 W L または選択ゲート線 S G D に対向する面を覆っている。更に、ブロック層 6 2 とワード線 W L 及び選択ゲート線 S G D との間には、バリアメタル層 2 3 が介在している。

40

【 0 0 7 2 】

また、コンタクト L I の側壁は、絶縁層 5 3、並びに積層体 L M a , L M b の絶縁層 O L、ワード線 W L、及び選択ゲート線 S G D の高さ位置全体に亘って配置される絶縁層 5 6 を有している。絶縁層 5 6 と、絶縁層 5 3 のコンタクト L I に対向する端面、及び積層

50

体 L M a , L M b の絶縁層 O L のコンタクト L I に対向する端面との間には、ブロック層 6 2 が介在している。絶縁層 5 6 と、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D のコンタクト L I に対向する端面とは直接、接している。

【 0 0 7 3 】

ここで、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D のコンタクト L I に対向する端面は、ブロック層 6 2 で覆われた絶縁層 O L の端面よりもコンタクト L I から後退した位置にあってもよい。これにより、ワード線 W L 及び選択ゲート線 S G D の高さ位置において、コンタクト L I の絶縁層 5 6 が、ワード線 W L 及び選択ゲート線 S G D の方へと突出していてもよい。

【 0 0 7 4 】

また、コンタクト L I の側壁は、絶縁層 5 3、並びに積層体 L M a , L M b の絶縁層 O L、ワード線 W L、及び選択ゲート線 S G D の高さ位置全体に亘って配置されるバリアメタル層 2 4 を有している。バリアメタル層 2 4 は、ブロック層 6 2 及び絶縁層 5 6 の更に内側に配置される。

【 0 0 7 5 】

すなわち、コンタクト L I の側壁に配置される上述の絶縁層 5 6 と、導電層 2 1 との間には、例えばバリアメタル層 2 4 が介在している。ただし、上述の板状部 B R の場合と同様、コンタクト L I の内部に充填される導電層 2 1 が、例えばポリシリコン層等である場合、コンタクト L I の側壁にバリアメタル層 2 4 が配置されていなくともよい。また、コンタクト L I 側壁の絶縁層 5 6 と、積層体 L M a , L M b の絶縁層 O L の端面との間には、ブロック層 6 2 が介在しており、また、コンタクト L I 側壁の絶縁層 5 6 と、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D の端面とは、ブロック層 6 2 を介することなく直接、接している。

【 0 0 7 6 】

なお、コンタクト L I が有するブロック層 6 2、絶縁層 5 6、バリアメタル層 2 4、及び導電層 2 1 は、後述するように、それぞれが、板状部 B R が有するブロック層 6 2、絶縁層 5 6、バリアメタル層 2 4、及び導電層 2 1 と並行して形成される同一の層である。

【 0 0 7 7 】

また、後述するように、ワード線 W L と接して配置されるバリアメタル層 2 3 は、コンタクト L I 及び板状部 B R の内部に配置されるバリアメタル層 2 4 とは別途、形成される。したがって、バリアメタル層 2 3、2 4 は、互いに同一の材料から構成されていてもよく、異なる材料から構成されていてもよい。

【 0 0 7 8 】

更に、柱状部 H R の周辺の構成について説明する。

【 0 0 7 9 】

柱状部 H R の側面は、絶縁層 5 3 の柱状部 H R に対向する端面、及び積層体 L M a , L M b の絶縁層 O L の柱状部 H R に対向する端面と直接、接している。柱状部 H R の側面と、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D の柱状部 H R に対向する端面との間には、ブロック層 6 2 及びバリアメタル層 2 3 が介在している。ブロック層 6 2 及びバリアメタル層 2 3 は、柱状部 H R 側からこの順に配置される。

【 0 0 8 0 】

より詳細には、上述した絶縁層 O L の積層方向の両面を覆うブロック層 6 2 は、柱状部 H R と対向するワード線 W L 及び選択ゲート線 S G D の端面をも覆っている。絶縁層 O L の積層方向の両面において、ブロック層 6 2 とワード線 W L 及び選択ゲート線 S G D との間に介在されるバリアメタル層 2 3 は、更に柱状部 H R と対向するワード線 W L 及び選択ゲート線 S G D の端面へと延び、ブロック層 6 2 とワード線 W L 及び選択ゲート線 S G D との間に介在される。

【 0 0 8 1 】

なお、図示はしないが、ピラー P L の周辺においても柱状部 H R と同様の構成が認められる。

10

20

30

40

50

【 0 0 8 2 】

すなわち、絶縁層 O L の積層方向の両面を覆うブロック層 6 2 は、ピラー P L と対向するワード線 W L 及び選択ゲート線 S G D の端面をも覆っている。絶縁層 O L の積層方向の両面において、ブロック層 6 2 とワード線 W L 及び選択ゲート線 S G D との間に介在されるバリアメタル層 2 3 は、更にピラー P L と対向するワード線 W L 及び選択ゲート線 S G D の端面へも延び、ブロック層 6 2 とワード線 W L 及び選択ゲート線 S G D との間に介在される。

【 0 0 8 3 】

これにより、ピラー P L の側面は、絶縁層 5 3 のピラー P L に対向する端面、及び積層体 L M a , L M b の絶縁層 O L のピラー P L に対向する端面と直接、接する。また、ピラー P L の側面と、積層体 L M a , L M b のワード線 W L 及び選択ゲート線 S G D のピラー P L に対向する端面との間には、ブロック層 6 2 及びバリアメタル層 2 3 が介在する。

10

【 0 0 8 4 】

このように、柱状部 H R 及びピラー P L の周辺において、積層体 L M a , L M b の各層の積層方向から見て、ブロック層 6 2、バリアメタル層 2 3、及びワード線 W L は、柱状部 H R 及びピラー P L 側からこの順に、例えば同心円状に柱状部 H R 及びピラー P L をそれぞれ取り囲む。

【 0 0 8 5 】

(半導体記憶装置の製造方法)

次に、図 3 ~ 図 8 を用いて、実施形態 1 の半導体記憶装置 1 の製造方法について説明する。図 3 ~ 図 8 は、実施形態 1 にかかる半導体記憶装置 1 の製造方法の手順の一例を示す Y 方向に沿う断面図である。なお、図 3 ~ 図 8 において、周辺回路 C U A は省略されている。

20

【 0 0 8 6 】

図 3 ~ 図 5 は、実施形態 1 の半導体記憶装置 1 のピラー P L 及び柱状部 H R の形成方法の一例を示す。図 3 ~ 図 5 において、紙面左側はピラー P L が形成される様子を示し、紙面右側は柱状部 H R が形成される様子を示す。なお、図 3 に示す処理の前に、周辺回路 C U A、周辺回路 C U A を覆う絶縁層 5 0、及び絶縁層 5 0 上のソース線 S L は形成済みであるものとする。

【 0 0 8 7 】

図 3 (a) に示すように、複数の第 2 の絶縁層としての絶縁層 N L が第 1 の絶縁層としての絶縁層 O L を介して積層された積層体 L M a s をソース線 S L 上に形成する。絶縁層 N L は、後の処理でタングステン層またはモリブデン層等の導電層と置き換えられてワード線 W L となる犠牲層である。絶縁層 N L の一部は、導電層と置き換えられることなく積層体 L M a r の一部として残る。

30

【 0 0 8 8 】

また、積層体 L M a s を貫通してソース線 S L に到達する複数のメモリホール M H a 及び複数のホール H L a を形成する。

【 0 0 8 9 】

図 3 (b) に示すように、個々のメモリホール M H a 内にアモルファスシリコン層等の犠牲層を充填して複数のピラー P L a を形成する。また、個々のホール H L a 内にアモルファスシリコン層等の犠牲層を充填して複数の柱状部 H R a を形成する。

40

【 0 0 9 0 】

また、複数の第 2 の絶縁層としての絶縁層 N L が第 1 の絶縁層としての絶縁層 O L を介して積層された積層体 L M b s を積層体 L M a s 上に形成する。絶縁層 N L は、後の処理でタングステン層またはモリブデン層等の導電層と置き換えられてワード線 W L または選択ゲート線 S G D となる犠牲層である。絶縁層 N L の一部は、導電層と置き換えられることなく積層体 L M b r の一部として残る。

【 0 0 9 1 】

また、積層体 L M b s の上面を覆う絶縁層 5 3 を形成し、絶縁層 5 3 及び積層体 L M b

50

sを貫通して積層体LMasに到達する複数のメモリホールMHb及び複数のホールHLbを形成する。このとき、複数のメモリホールMHbのそれぞれは、対応するピラーPLaと接続される。また、複数のホールHLbのそれぞれは、対応する柱状部HRaと接続される。

【0092】

図3(c)に示すように、複数のメモリホールMHbを介して下層のメモリホールMHa内の犠牲層を除去し、絶縁層53及び積層体LMas, LMbsを貫通してソース線SLに到達する複数のメモリホールMHを形成する。また、複数のホールHLbを介して下層のホールHLa内の犠牲層を除去し、絶縁層53及び積層体LMas, LMbsを貫通してソース線SLに到達する複数のホールHLを形成する。

10

【0093】

図4(a)に示すように、複数のメモリホールMHをレジスト層71で覆った状態で、複数のホールHL内にSiO₂層等の絶縁層を充填する。これにより、絶縁層53及び積層体LMas, LMbsを貫通してソース線SLに到達する複数の柱状部HRtが形成される。

【0094】

図4(b)に示すように、複数のメモリホールMHを覆うレジスト層71を除去した後、個々のメモリホールMHの側壁および底面、並びに絶縁層53の上面にメモリ層MEを形成する。つまり、メモリホールMHの外周側から順に、ブロック絶縁層BK、電荷蓄積層CT、及びトンネル絶縁層TNを形成する。また、メモリホールMHの底面に形成されたメモリ層MEを除去しても良い。この場合、絶縁層53上面のメモリ層MEも除去される。

20

【0095】

また、メモリホールMHのメモリ層MEの内側にチャンネル層CNを形成する。メモリホールMH底面のメモリ層MEを除去した場合には、チャンネル層CNはメモリホールMHの底面にも形成される。更には、チャンネル層CNは、メモリホールMHが形成された絶縁層53の上面、柱状部HRtが形成された絶縁層53の上面、及び柱状部HRtの上面にも形成される。

【0096】

図4(c)に示すように、複数のメモリホールMHのチャンネル層CNの内側をコア層CRで充填する。コア層CRは、メモリホールMHが形成された絶縁層53の上面、柱状部HRtが形成された絶縁層53の上面、及び柱状部HRtの上面にも、チャンネル層CNを介して形成される。

30

【0097】

図5(a)に示すように、メモリホールMHが形成された絶縁層53の上面、柱状部HRtが形成された絶縁層53の上面、及び柱状部HRtの上面のコア層CRをエッチバックによって除去する。これにより、メモリホールMH内に充填されたコア層CRの上端部が除去される。一方、柱状部HRtにおいては、チャンネル層CNがエッチストップ層となつて柱状部HRtの上端部は除去されない。

【0098】

図5(b)に示すように、コア層CRが除去されたメモリホールMHの上端部にキャップ層CPを充填する。このとき、メモリホールMHが形成された絶縁層53の上面、柱状部HRtが形成された絶縁層53の上面、及び柱状部HRtの上面にもキャップ層CPが形成されてもよい。

40

【0099】

図5(c)に示すように、メモリホールMHが形成された絶縁層53の上面、柱状部HRtが形成された絶縁層53の上面、及び柱状部HRtの上面のキャップ層CP及びチャンネル層CNを、また、メモリ層MEが残っている場合には更にメモリ層MEをエッチバックによって除去する。更に、キャップ層CP及びチャンネル層CNが除去されてメモリホールMHが露出した絶縁層53の上面、及び柱状部HRtが露出した絶縁層53の上面に対

50

してもエッチバックを継続する。

【0100】

これにより、薄くなった絶縁層53の上面から露出するキャップ層CPを上端部に有する複数のピラーPLが形成される。また、薄くなった絶縁層53の上面から上端部が露出した複数の柱状部HRが形成される。

【0101】

この後、キャップ層CPの上面および柱状部HRの上面を覆うように絶縁層53を積み増しする。

【0102】

なお、図3～図5までの処理におけるいずれかのタイミングで、積層体LMas, LMbsのX方向両端部に階段領域SRを形成する。 10

【0103】

図6～図8は、実施形態1の半導体記憶装置1のコンタクトLI及び板状部BRの形成方法の一例を示す。図6～図8に示す断面図は、上述の図2(b)の断面図に示す領域に相当する。

【0104】

図6(a)に示すように、絶縁層53及び積層体LMas, LMbsを貫通してソース線SLに到達するスリットST, STrを形成する。スリットSTはコンタクトLIが配置される位置に形成され、スリットStrは板状部BRが配置される位置に形成される。

【0105】

図6(b)に示すように、スリットST, STrの側壁および底面に絶縁層55を形成する。柱状部HRを構成する絶縁層と同様、絶縁層55は例えばSiO₂層等である。ただし、絶縁層55は、メモリホールMH内に形成したブロック絶縁層BKと同様に緻密な層であることが好ましい。このように緻密な絶縁層55は、例えば絶縁層55の形成条件を調整することによって得ることができる。 20

【0106】

図6(c)に示すように、スリットStrをレジスト層72で覆った状態で、スリットSTの側壁および底面の絶縁層55を除去する。

【0107】

図7(a)に示すように、スリットStrを覆うレジスト層72を除去した後、スリットSTから熱リン酸溶液等を流入させ、積層体LMas, LMbsの絶縁層NLを除去する。これにより、スリットStrで挟まれた領域を除く積層体LMas, LMbsが、絶縁層NLが除去された複数のギャップGPが絶縁層OLを介して配置される積層体LMag, LMbgとなる。 30

【0108】

複数のギャップGPを含む積層体LMag, LMbgは脆弱な構造物であり、歪み及び倒壊等が生じる恐れがある。貫通コンタクト領域TPにおいては、絶縁層53からソース線SLにまで到達する柱状部HRが、脆弱な積層体LMag, LMbgを支持する。また、図示しないメモリ領域MRにおいては、絶縁層53からソース線SLにまで到達するピラーPLが、脆弱な積層体LMag, LMbgを支持する。これによって、積層体LMag, LMbgが歪んだり倒壊したりすることが抑制される。 40

【0109】

一方、スリットStrは側壁に緻密な絶縁層55を有している。このため、スリットStrから積層体LMas, LMbsのY方向内側へと向かう熱リン酸溶液の流入が、スリットStrによって堰き止められる。また、スリットSTから流入する熱リン酸溶液が、X方向側から回り込んで、1対のスリットStrで挟まれた領域内に流入する前に、熱リン酸溶液による処理を終了する。

【0110】

これにより、1対のスリットStrで挟まれた領域内では、積層体LMas, LMbsの絶縁層NLが除去されることなく維持され、1対のスリットStrで挟まれた領域内に 50

積層体 $LMar$, $LMbr$ が形成される。

【0111】

図7(b)に示すように、スリット ST をレジスト層 73 で覆った状態で、スリット STr の側壁および底面の絶縁層 55 を除去する。

【0112】

このとき、絶縁層 NL が除去された積層体 $LMag$, $LMbg$ の絶縁層 OL の上下面は露出した状態となっている。このため、絶縁層 55 と共に、絶縁層 OL までもが層厚方向に浸食されて所望の層厚未満となってしまうよう留意する。

【0113】

絶縁層 55 を除去する際に絶縁層 OL までもが浸食されることを見越して、予め絶縁層 OL を所望の層厚より厚く形成しておき、絶縁層 55 の除去後に所望の層厚の絶縁層 OL が得られるようにしておいてもよい。

【0114】

なお、絶縁層 55 を除去する際、スリット STr に対向する絶縁層 OL の端面もスリット STr から後退する可能性がある。しかし、絶縁層 OL の端面の後退は、半導体記憶装置 1 の機能に殆ど影響しないと考えられる。

【0115】

スリット STr の側壁から絶縁層 55 を除去することにより、スリット STr と、積層体 $LMag$, $LMbg$ のギャップ GP とが連通する。

【0116】

図7(c)に示すように、スリット ST を覆うレジスト層 73 を除去した後、スリット ST , STr から Al_2O_3 層等のブロック層 62 の材料ガスを流入させて、積層体 $LMag$, $LMbg$ の絶縁層 OL の上下面にブロック層 62 を形成する。

【0117】

このとき、スリット STr の積層体 $LMar$, $LMbr$ 側の側壁にも、絶縁層 53、及び積層体 $LMar$, $LMbr$ の絶縁層 NL , OL の高さ位置全体に亘ってブロック層 62 が形成される。また、スリット STr の積層体 $LMag$, $LMbg$ 側の側壁、つまり、絶縁層 53 の端面、及び積層体 $LMag$, $LMbg$ の絶縁層 OL の端面にブロック層 62 が形成される。同様に、スリット ST の Y 方向両側の側壁、つまり、絶縁層 53 の端面、及び積層体 $LMag$, $LMbg$ の絶縁層 OL の端面にブロック層 62 が形成される。また、スリット ST , STr の底面を含むソース線 SL と接する部分にもブロック層 62 が形成される。更に、柱状部 HR の側面のうち、積層体 $LMag$, $LMbg$ のギャップ GP の高さ位置の側面にブロック層 62 が形成される。

【0118】

また、スリット ST , STr から TiN 層等のバリアメタル層 23 の材料ガスを流入させて、積層体 $LMag$, $LMbg$ の絶縁層 OL の上下面にブロック層 62 を介してバリアメタル層 23 (図2(c)参照)を形成する。

【0119】

このとき、スリット ST , STr の Y 方向両側の側壁および底面に形成されたブロック層 62 上に、更にバリアメタル層 23 が形成される。また、柱状部 HR の側面のうち、積層体 $LMag$, $LMbg$ のギャップ GP の高さ位置の側面に、ブロック層 62 を介してバリアメタル層 23 が形成される。

【0120】

図8(a)に示すように、スリット ST , STr からタングステン層またはモリブデン層等の導電層 25 の材料ガスを流入させて、積層体 $LMag$, $LMbg$ のギャップ GP に導電層 25 を充填する。これにより、複数のワード線 WL が絶縁層 OL を介して積層された積層体 LMa , LMb が形成される。

【0121】

なお、図中、積層体 LMb の最上層のギャップ GP の高さ位置には導電層 25 が形成されることとしている。この導電層 25 は、後に形成される分離層 SHE によって Y 方向に

10

20

30

40

50

分離された選択ゲート線SGDに区画される。ただし、分離層SHEの形成タイミングは種々に選択することができ、例えば図8(a)に示す工程以前に、既に分離層SHEが形成済みであってもよい。

【0122】

このとき、スリットST, STR側壁にも導電層25が形成される。また、この段階において上述の図2(c)で説明した柱状部HRの周辺構成が形成される。

【0123】

なお、図7(a)~図8(a)に示す絶縁層NLからワード線WLへの置き換え処理をリプレース処理などとも呼ぶ。

【0124】

図8(b)に示すように、スリットST, STR内の導電層25及びバリアメタル層23(不図示)を除去する。このとき、スリットST, STRの側壁と接する積層体LMa, LMbのワード線WL及び最上層の導電層25の端面が後退してもよい。

【0125】

また、スリットST, STR底面のブロック層62を除去した後、スリットST, STRの側壁および底面に絶縁層56を形成する。スリットST, STR内の導電層25及びバリアメタル層23を除去する際に、積層体LMa, LMbのワード線WL及び最上層の導電層25の端面が後退していた場合には、スリットST, STR側壁の絶縁層56は、ワード線WL及び最上層の導電層25側へと突出し、これらの端面と接する。

【0126】

更に、スリットSTの底面から絶縁層56を除去する。なお、上記タイミングに替えて、スリットST底面からのブロック層62除去をこのときに一括して行ってもよい。また、スリットSTRの底面に絶縁層56及びブロック層62を残してもよい。

【0127】

また、スリットST, STRの側壁および底面に、例えばバリアメタル層24(図2(c)参照)を形成する。上述のように、この後、スリットST, STR内にポリシリコン層等の導電層21を充填する場合には、このバリアメタル層24は形成されなくともよい。

【0128】

図8(c)に示すように、スリットST, STR内にタングステン層またはポリシリコン層等の導電層21を充填する。これにより、上述の図2(c)で説明した構成を有するコンタクトLI及び板状部BRが形成される。

【0129】

この後、積層体LMbの最上層の導電層25を含む1つまたは複数の導電層25を貫通する溝を設け、溝内に絶縁層を充填して分離層SHEを形成する。これにより、分離層SHEが貫通した導電層25が選択ゲート線SGDに区画される。ただし、分離層SHEの形成タイミングが、この時点に限られないことは上述したとおりである。

【0130】

また、絶縁層53及び積層体LMar, LMarを貫通してソース線SL下方の絶縁層50に到達する貫通孔を形成し、貫通孔の側壁に必要に応じて絶縁層57を形成し、絶縁層57の内側を導電層22で充填する。これにより、コンタクトC4が形成される。また、階段領域SRに、個々のワード線WL及び選択ゲート線SGDと接続される複数のコンタクトCC(図1(a)参照)を形成する。

【0131】

また、積層体LMb上の絶縁層53を覆う絶縁層54を形成する。絶縁層53, 54を貫通してピラーPL上端部のキャップ層CPに到達する貫通孔を設け、貫通孔内に導電層を充填してピラーPLのキャップ層CPと接続されるプラグCHを形成する。また、絶縁層54を貫通して、コンタクトLI, C4, CCの上面に到達する貫通孔を設け、貫通孔内に導電層を充填してコンタクトLI, C4, CCと接続されるプラグV0を形成する。更に、プラグCH, V0の上層配線等を形成する。

10

20

30

40

50

【 0 1 3 2 】

以上により、実施形態 1 の半導体記憶装置 1 が製造される。

【 0 1 3 3 】

なお、半導体記憶装置 1 においては、上述の例に依らず、例えばピラー P L 下端部付近の側面で、チャンネル層 C N とソース線 S L とが接続する構成を採ることも可能である。

【 0 1 3 4 】

3次元不揮発性メモリ等の半導体記憶装置の製造工程において、S i N 層等の犠牲層と S i O₂ 層等の絶縁層との積層体の一部領域に犠牲層を残しつつ、他の領域の犠牲層を導電層に置き換えるリプレース処理が行われることがある。これにより、導電層を含む積層体中に導電層を有さない絶縁領域を形成することができる。

10

【 0 1 3 5 】

この場合、例えば犠牲層が残される一部領域の Y 方向両側に近接させて、リプレース処理の障壁となる絶縁層を側壁に有するスリットを形成する。また、これらのスリットから Y 方向に離れた位置に、絶縁層を側壁に有さないスリットを形成する。リプレース処理では、専ら絶縁層を有さないスリットを介して犠牲層を除去し、それにより生じたギャップに導電材を充填して導電層を形成する。

【 0 1 3 6 】

絶縁層を側壁に有するスリットは、その後の処理によって、リプレース処理された積層体側に形成されたブロック層と、スリットの内部に形成されたブロック層との間に、リプレース処理の障壁として用いた絶縁層が介在された構成を有することとなる。

20

【 0 1 3 7 】

しかしながら、上記のようなリプレース処理には課題が生じ得る。導電層の材料ガスは、絶縁層を有さないスリット近傍から、所定時間をかけて絶縁層を有するスリット近傍へと流入していく。したがって、リプレース処理の一定期間において、積層体のギャップへの導電材の充填密度が、絶縁層を有さないスリット近傍で高く、絶縁層を有するスリット近傍で低い状態が生じる。これにより、導電材が低密度の領域から高密度の領域への引っ張り応力が発生し、積層体を支持する柱状部および積層体そのものが、高密度領域へ向かって傾いてしまう場合がある。

【 0 1 3 8 】

そこで、犠牲層の除去前に、例えば絶縁層を有するスリット内を絶縁層等で充填し、このスリットの Y 方向両側の積層体の接続を強固にして、柱状部および積層体等の傾きを抑制することも考えられる。しかしながら、この場合、スリット内に充填した絶縁層等にクラックが発生してしまう恐れがある。

30

【 0 1 3 9 】

実施形態 1 の半導体記憶装置 1 の製造方法によれば、絶縁層 N L 層の除去後、導電層 2 5 の充填前に、スリット S T r 側壁の絶縁層 5 5 を除去する。これにより、スリット S T , S T r の両方から積層体 L M a g , L M b g のギャップ G P 内に導電層 2 5 を充填することができる。よって、スリット S T 近傍とスリット S T r 近傍とにおける導電層 2 5 の充填密度の差を低減することができ、柱状部 H R 及び積層体 L M a g , L M b g 等の傾きを抑制することができる。

40

【 0 1 4 0 】

実施形態 1 の半導体記憶装置 1 の製造方法によれば、レジスト層 7 3 でスリット S T を覆った状態で、スリット S T r 側壁の絶縁層 5 5 を除去する。これにより、絶縁層 5 5 を有さないスリット S T 側から、積層体 L M a g , L M b g の絶縁層 O L が層厚方向に浸食されてしまうのを抑制することができる。

【 0 1 4 1 】

実施形態 1 の半導体記憶装置 1 の製造方法によれば、例えば積層体 L M a s , L M b s の形成時、予め絶縁層 O L の層厚を所望の層厚よりも厚く形成しておいてもよい。これにより、スリット S T r 側壁の絶縁層 5 5 を除去する際に、絶縁層 O L が層厚方向に浸食されてしまっても、絶縁層 5 5 の除去後の絶縁層 O L を所望の層厚に維持することができる

50

【0142】

なお、上述の実施形態1では、スリットSTをリブレース処理に使用した後、スリットST内に導電層21を充填して、ソース線コンタクトとして機能するコンタクトLIを形成することとした。しかし、スリットST内を例えば絶縁層56等で充填して、半導体記憶装置1の動作に寄与しない構成を形成してもよい。この場合、スリットSTr内にも絶縁層56等を充填して、スリットSTと類似の構成とすることが製造工程上、簡便である。しかしながら、半導体記憶装置1において、スリットST、STrに異なる材料を充填して、これらが互いに異なる構成を有することとなってもよい。

【0143】

また、上述の実施形態1では、スリットSTrの側壁にSiO₂層等の絶縁層55を形成して、リブレース処理の障壁として用いることとした。しかし、リブレース処理の障壁として、例えばアルミニウム、タングステン等の金属層、Al₂O₃層等の金属酸化物層、TiN層等の導電層等を用いてもよい。このように、絶縁層OLの構成材とは異なる構成材を含む層を用いることで、この層をスリットSTrの側壁から除去する際に、絶縁層OLとの選択比を取ることができ、絶縁層OLの層厚を維持することが容易となる。

【0144】

[実施形態2]

以下、図面を参照して実施形態2について詳細に説明する。実施形態2の半導体記憶装置は、その製造方法が上述の実施形態1とは異なる。ただし、実施形態2においても、実施形態1と実質的に同一の半導体記憶装置1が製造される。

【0145】

図9及び図10を用いて、実施形態2の半導体記憶装置1の製造方法について説明する。図9及び図10は、実施形態2にかかる半導体記憶装置1の製造方法の手順の一例を示すY方向に沿う断面図である。なお、図9及び図10において、周辺回路CUAは省略されている。

【0146】

実施形態2の半導体記憶装置1においても、ピラーPL及び柱状部HRは例えば上述の実施形態1のピラーPL及び柱状部HRと同様に形成される。また、実施形態2の半導体記憶装置1において、コンタクトLI及び板状部BRを形成する際には、上述の実施形態1の図6(a)～図7(a)までの処理が同様に行われる。

【0147】

図9(a)は、コンタクトLI及び板状部BRの形成工程において、上述の実施形態1の図7(a)の処理が行われた後の様子を示す。

【0148】

図9(b)に示すように、スリットSTからAl₂O₃層等の材料ガスを流入させて、積層体LMag, LMbgの絶縁層OLの上下面に保護層61を形成する。

【0149】

このとき、スリットSTrの側壁および底面に配置される絶縁層55のスリットSTr内部に向いた面の全体に亘って保護層61が形成される。また、絶縁層55の積層体LMag, LMbg側に向いた面のうち、ギャップGPの高さ位置にある部分に保護層61が形成される。同様に、スリットSTのY方向両側の側壁、つまり、絶縁層53の端面、及び積層体LMag, LMbgの絶縁層OLの端面に保護層61が形成される。更に、スリットSTの底面を含むソース線SLと接する部分にも保護層61が形成される。また、柱状部HRの側面のうち、積層体LMag, LMbgのギャップGPの高さ位置の側面に保護層61が形成される。

【0150】

図9(c)に示すように、スリットSTをレジスト層74で覆う。

【0151】

図10(a)に示すように、スリットSTをレジスト層74で覆った状態で、スリット

10

20

30

40

50

S T r 内の保護層 6 1 を除去して、スリット S T r 内に絶縁層 5 5 を露出させる。

【 0 1 5 2 】

図 1 0 (b) に示すように、スリット S T をレジスト層 7 4 で覆った状態で、スリット S T r 内の絶縁層 5 5 を除去する。このとき、積層体 L M a g , L M b g の絶縁層 O L の上下面は保護層 6 1 に覆われている。このため、絶縁層 O L が層厚方向に浸食されてしまうことが抑制される。

【 0 1 5 3 】

スリット S T r 内の絶縁層 5 5 を除去することで、スリット S T r 内に、積層体 L M a g , L M b g のギャップ G P の高さ位置に形成された保護層 6 1 が露出する。

【 0 1 5 4 】

図 1 0 (c) に示すように、スリット S T を覆うレジスト層 7 4 を除去し、スリット S T , S T r の両方を介して、積層体 L M a g , L M b g の全体の保護膜 6 1 を除去する。これにより、スリット S T r 内に露出し、スリット S T r とギャップ G P とを隔てる保護層 6 1 が除去されて、スリット S T r と積層体 L M a g , L M b g のギャップ G P とを連通させることができる。

【 0 1 5 5 】

この後、上述の実施形態 1 の図 7 (c) 以降の処理を行う。

【 0 1 5 6 】

以上により、実施形態 2 の半導体記憶装置 1 が製造される。

【 0 1 5 7 】

実施形態 2 の半導体記憶装置 1 の製造方法によれば、実施形態 1 の半導体記憶装置 1 の製造方法と同様の効果を奏する。

【 0 1 5 8 】

実施形態 2 の半導体記憶装置 1 の製造方法によれば、絶縁層 O L の上下面に形成された保護層 6 1 によって絶縁層 O L を保護しつつ、スリット S T r 側壁の絶縁層 5 5 を除去する。これにより、絶縁層 5 5 の除去に伴って絶縁層 O L が層厚方向に浸食されてしまうのを抑制することができる。

【 0 1 5 9 】

実施形態 2 の半導体記憶装置 1 の製造方法によれば、保護層 6 1 として、例えばブロック層 6 2 と同種の層を用いる。これにより、保護層 6 1 を形成するために新たな処理技術を構築する必要が無く、簡便に保護層 6 1 を形成することができる。

【 0 1 6 0 】

なお、上述の実施形態 2 では、保護層 6 1 として例えば A l ₂ O ₃ 層等を用いることとした。しかし、保護層 6 1 として、例えばアモルファスシリコン等の半導体層、アルミニウム、タングステン等の金属層、 T i N 層等の導電層等を用いてもよい。

【 0 1 6 1 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 6 2 】

1 ... 半導体記憶装置、 2 1 ... 導電層、 2 3 , 2 4 ... バリアメタル層、 5 5 , 5 6 ... 絶縁層、 6 1 ... 保護層、 6 2 ... ブロック層、 B R ... 板状部、 C 4 ... コンタクト、 H R ... 柱状部、 L I ... コンタクト、 L M a , L M a g , L M a r , L M b , L M b g , L M b r ... 積層体、 M C ... メモリセル、 M R ... メモリ領域、 N L , O L ... 絶縁層、 N R ... 絶縁領域、 P L ... ピラー、 S G D ... 選択ゲート線、 S T , S T r ... スリット、 T P ... 貫通コンタクト領域、 W L ... ワード線。

10

20

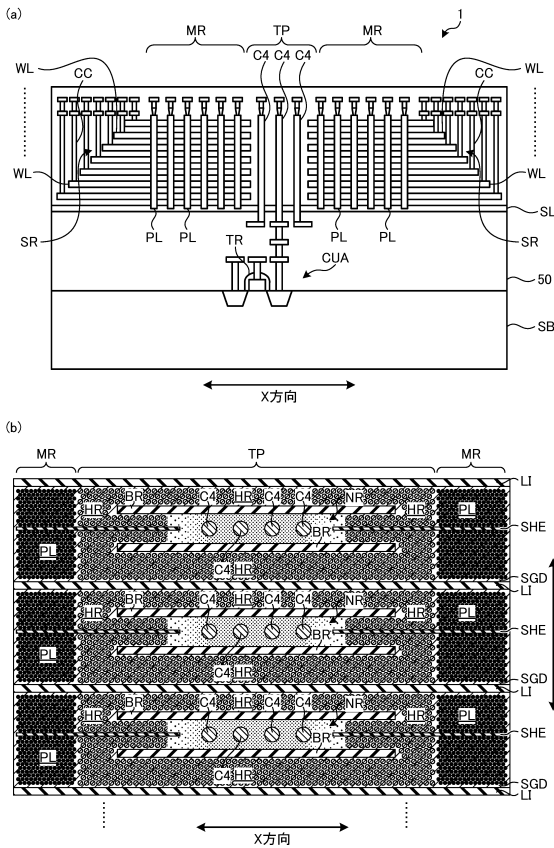
30

40

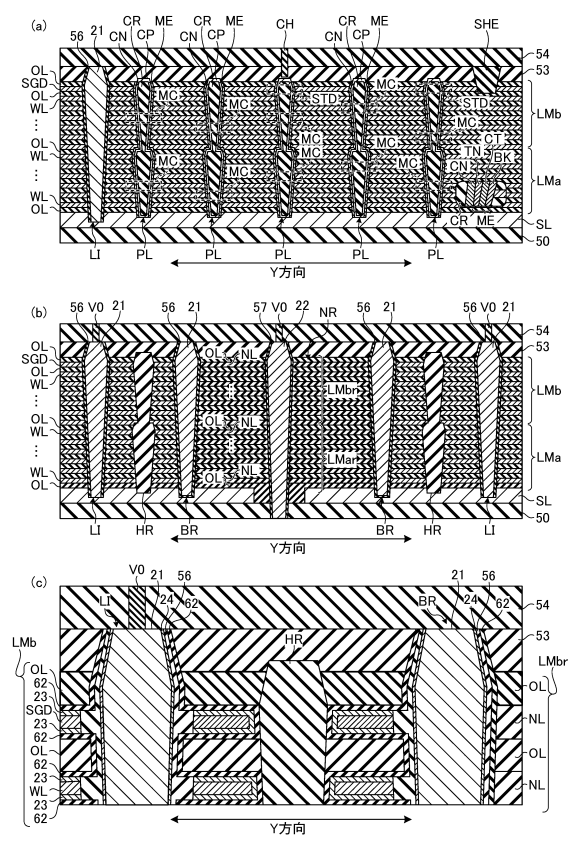
50

【図面】

【図 1】



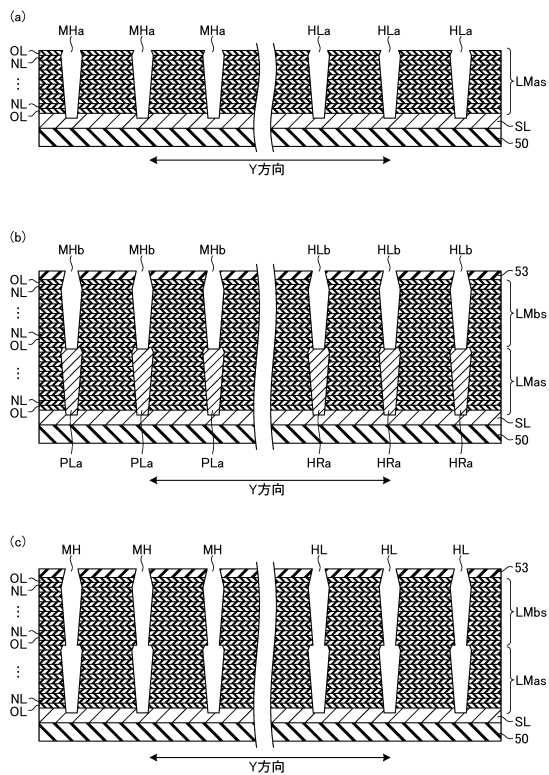
【図 2】



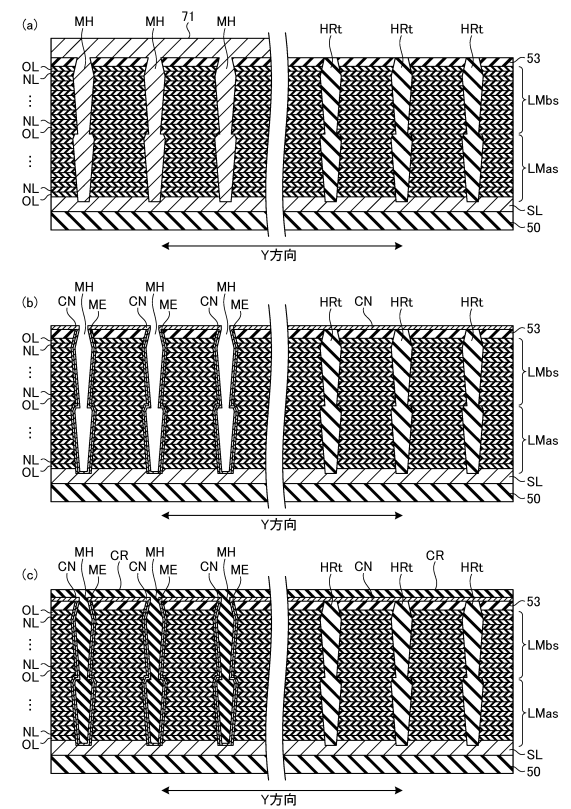
10

20

【図 3】



【図 4】

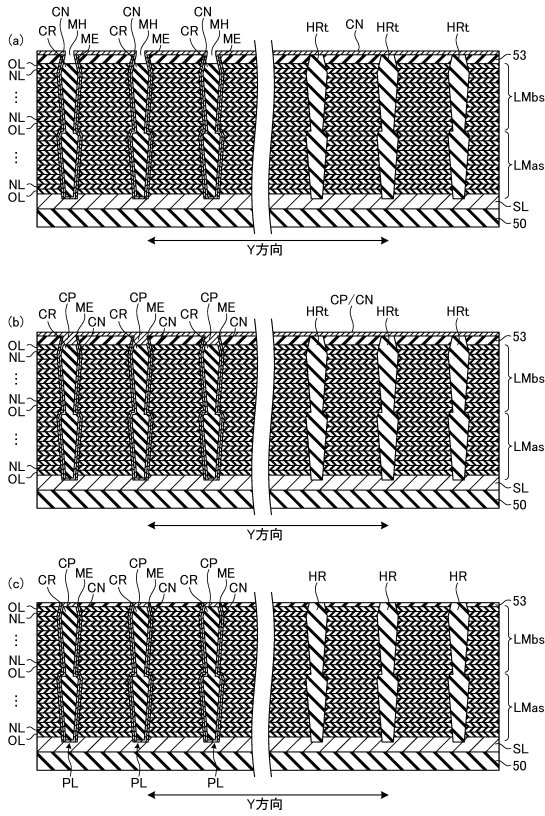


30

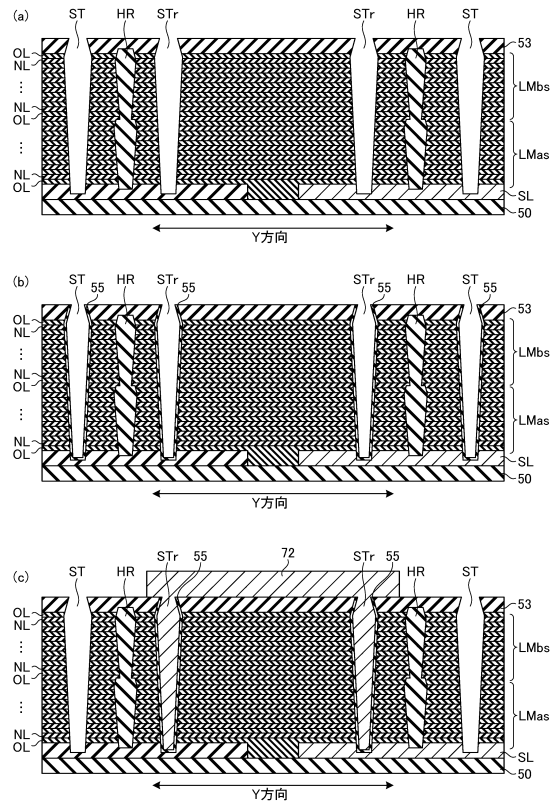
40

50

【 図 5 】



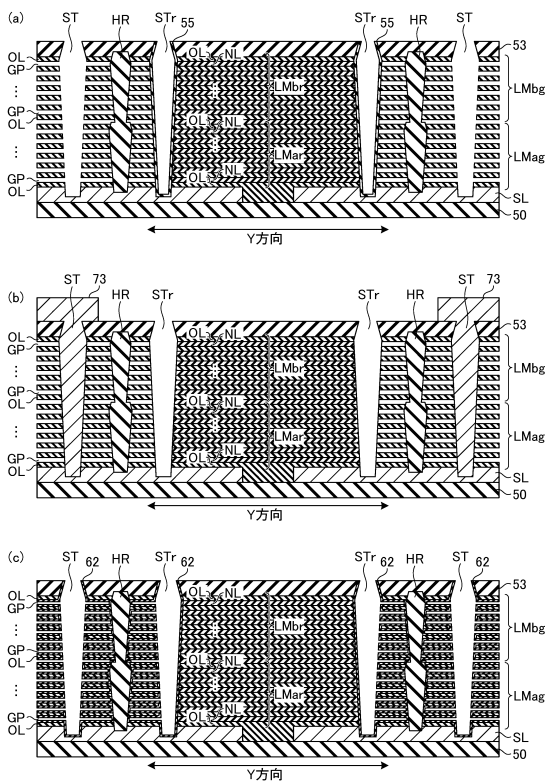
【 図 6 】



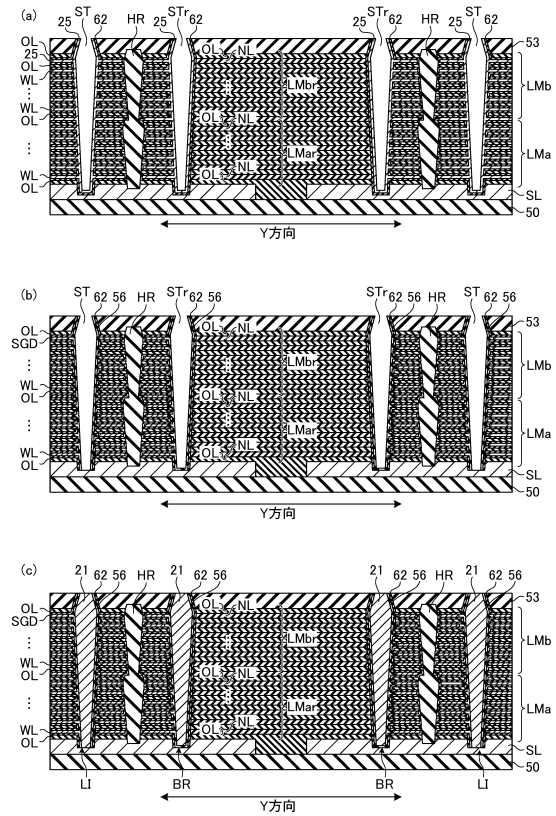
10

20

【 図 7 】



【 図 8 】

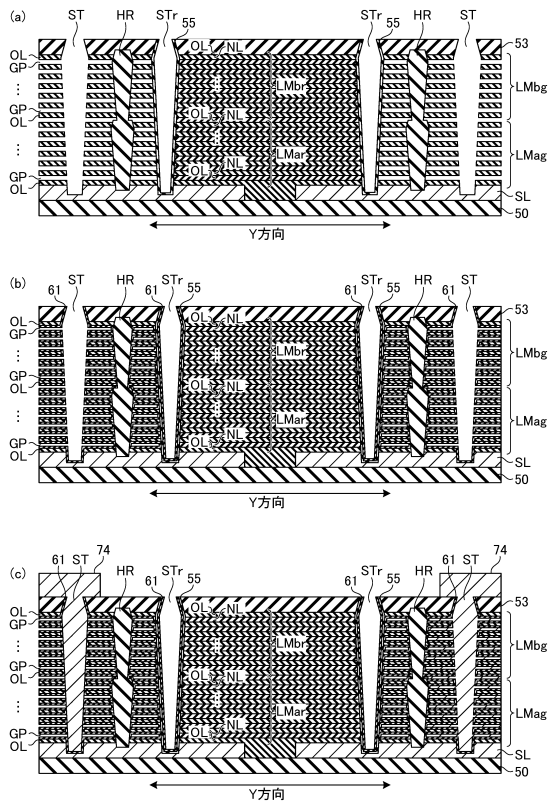


30

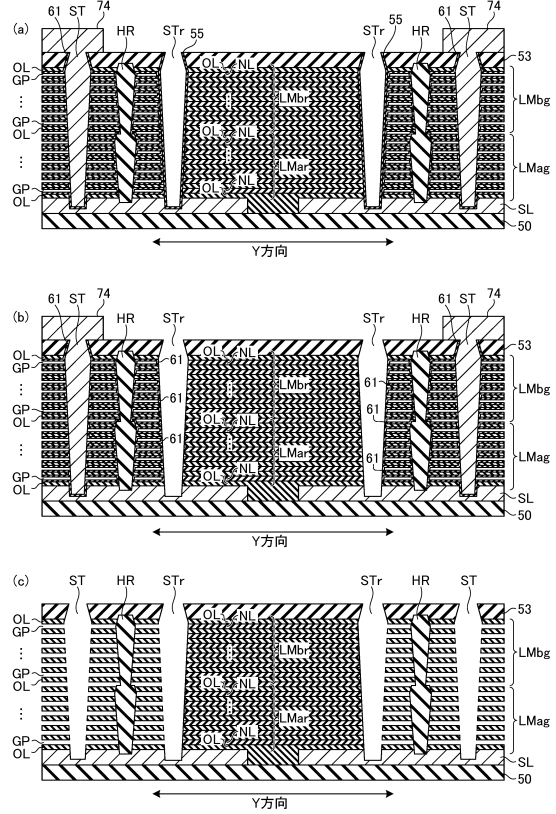
40

50

【 図 9 】



【 図 10 】



10

20

30

40

50

フロントページの続き

Fターム(参考) RR04 RR06 TT02 VV06 VV16
5F083 EP18 EP23 EP33 EP34 EP76 GA10 GA25 JA02 JA19 JA39
JA40 KA01 LA21 MA06 MA16 MA19 ZA01
5F101 BA45 BB05 BD16 BD22 BD30 BD34 BH21