



(12) 发明专利

(10) 授权公告号 CN 102479822 B

(45) 授权公告日 2014. 05. 07

(21) 申请号 201010574357. 2

CN 1901228 A, 2007. 01. 24,

(22) 申请日 2010. 11. 30

US 7772649 B2, 2010. 08. 10,

(73) 专利权人 中国科学院微电子研究所

审查员 甄丽娟

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 朱慧珑 梁擎擎 骆志炯 尹海洲

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 王波波

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/06(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

CN 1252833 C, 2006. 04. 19,

US 2009212362 A1, 2009. 08. 27,

US 6391695 B1, 2002. 05. 21,

CN 1252833 C, 2006. 04. 19,

US 6383904 B1, 2002. 05. 07,

CN 1830090 A, 2006. 09. 06,

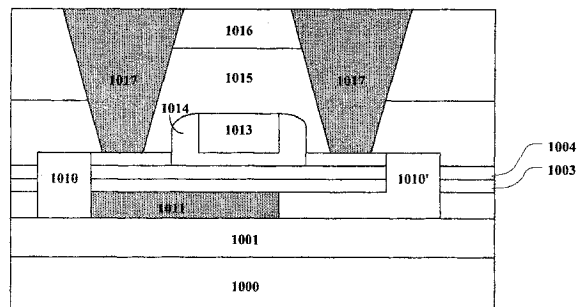
权利要求书1页 说明书5页 附图5页

(54) 发明名称

半导体结构及其制造方法

(57) 摘要

本申请公开了一种半导体结构及其制造方法。本发明的半导体结构采用共用接触，即源区接触或漏区接触，利用源区或漏区与背栅区间的电容耦合来调节阈值电压，简化了制作工艺程序，能够提高集成度、降低生产成本。此外，非对称背栅结构设计，以及根据需要改变背栅区掺杂类型能够进一步提高阈值电压调节效果，改善器件性能。



1. 一种半导体结构,包括,
SOI 衬底,自上而下依次包括 SOI 层、第一氧化物埋层、接 SOI 层、第二氧化物埋层和衬底;
浅沟槽隔离,嵌于所述 SOI 衬底中,位于所述第二氧化物埋层上;
栅极,位于所述 SOI 衬底上;
源漏区,位于所述栅极两侧;
非对称背栅区,接 SOI 层低电阻化后形成的区域;
源漏区接触;
其特征在于:
所述背栅区至少包括接 SOI 层中位于源区或漏区下方和栅极下方的区域。
2. 根据权利要求 1 所述的结构,其特征在于:接 SOI 层中位于漏区或源区下方的区域为隔离介质填充区,与所述背栅区相邻接。
3. 根据权利要求 1 所述的半导体结构,其特征在于:还包括提升的源漏区,位于所述源漏区上。
4. 一种半导体结构制造方法,其特征在于,包括:
提供 SOI 衬底,自上而下依次包括 SOI 层、第一氧化物埋层、接 SOI 层、第二氧化物埋层、衬底;
制作浅沟槽隔离,嵌于所述 SOI 衬底中,位于所述第二氧化物埋层上;
将接 SOI 层低电阻化,形成非对称背栅区;
在所述 SOI 衬底上形成栅极和位于所述栅极两侧的源漏区;
所述背栅区至少包括接 SOI 层中位于源区或漏区下方,和栅极下方的区域;
形成源漏区接触。
5. 根据权利要求 4 所述的方法,其特征在于,形成所述背栅区的步骤包括:进行 n 型或 p 型掺杂,掺杂浓度在 $10^{18} \sim 10^{21} \text{cm}^{-3}$ 范围内。
6. 根据权利要求 4 所述的方法,其特征在于:在所述接 SOI 层位于漏区或源区下方的区域形成隔离介质填充区,与所述背栅区相邻接。
7. 根据权利要求 6 所述的方法,其特征在于,形成所述隔离介质填充区的步骤包括:
在制作浅沟槽隔离之前,对接 SOI 层的部分区域进行 n 型重掺杂;
形成浅隔离沟槽,使所述 n 型重掺杂区一侧暴露;
去除所述 n 型重掺杂区域;
填充隔离介质。
8. 根据权利要求 7 所述的方法,其特征在于,形成 n 型重掺杂区域的步骤包括:进行 As 或 P 离子注入。
9. 根据权利要求 7 所述的方法,其特征在于:所述掺杂浓度大于 10^{18}cm^{-3} 。
10. 根据权利要求 4 所述的方法,其特征在于:在所述源漏区之上形成提升源漏区。

半导体结构及其制造方法

技术领域

[0001] 本发明涉及半导体领域,更具体地,涉及绝缘体上硅(SOI)金属氧化物半导体场效应晶体管(MOSFET)结构及其制造方法。

背景技术

[0002] 为了提高超大规模集成电路效率及降低制造成本,互补金属氧化物半导体晶体管栅距越来越小。但是,栅距减小导致短沟道效应,使器件性能降低。

[0003] SOI技术是指在一层绝缘层上的硅膜上制作器件和电路。由于埋氧层的存在,器件之间实现了完全的介质的隔离,因此SOI-CMOS集成电路从本质上避免了体硅CMOS的闩锁效应。另外,完全耗尽的SOI(Fully Depleted SOI)(FD-SOI)器件的短沟道效应较小,能自然形成浅结,泄露电流较小。因此,具有超薄体和双栅的全耗尽绝缘体上硅MOSFET吸引了广泛关注。为了调整阈值电压并抑制短沟道效应,通过在超薄SOIMOSFET器件中的超薄氧化物埋层(BOX)下形成接SOI层。但是,传统的方法增加了额外的接触和连线,导致器件占用面积增加。

[0004] 有鉴于此,需要提供一种新颖的半导体结构及其制作方法,以调节阈值电压、缩减器件尺寸。

发明内容

[0005] 本发明的目的在于提供一种半导体结构及其制作方法,以克服上述现有技术中的问题。

[0006] 根据本发明的一方面,提供了一种半导体结构,包括,

[0007] SOI衬底,自上而下依次为SOI层、第一氧化物埋层、接SOI层、第二氧化物埋层和衬底;

[0008] 浅沟槽隔离,嵌于所述SOI衬底中,位于所述第二氧化物埋层上;

[0009] 栅极,位于所述SOI衬底上;

[0010] 源漏区,位于所述栅极两侧;

[0011] 背栅区,接SOI层低电阻化后形成的区域,至少包括接SOI层中位于源区或漏区下方和栅极下方的区域;

[0012] 还包括源漏区接触。

[0013] 优选地,接SOI层中位于漏区或源区下方的区域为隔离介质填充区,与所述背栅区相邻接。

[0014] 优选地,还包括提升的源漏区,位于所述源漏区上。

[0015] 根据本发明的另一方面,提供一种半导体结构制造方法,包括:

[0016] 提供SOI衬底,自上而下依次包括SOI层、第一氧化物埋层、接SOI层、第二氧化物埋层、衬底;

[0017] 制作隔离结构,嵌于所述SOI衬底中,位于所述第二氧化物埋层上;

- [0018] 将接 SOI 层低电阻化,形成背栅区 ;
- [0019] 在所述 SOI 衬底上形成栅极和位于所述栅极两侧的源漏区 ;
- [0020] 所述背栅区至少包括接 SOI 层中位于源区或漏区下方,和栅极下方的区域 ;
- [0021] 形成源漏区接触。
- [0022] 优选地,所述接 SOI 层低电阻化的步骤包括,进行 n 型或 p 型掺杂,掺杂浓度在 $10^{18} \sim 10^{21} \text{cm}^{-3}$ 范围内。
- [0023] 优选地,在所述接 SOI 层位于漏区或源区下方的区域形成隔离介质填充区,与所述背栅区相邻接。
- [0024] 优选地,形成所述隔离介质填充区的步骤包括 :
- [0025] 在制作浅沟槽隔离之前,对接 SOI 层的部分区域进行 n 型重掺杂 ;
- [0026] 形成浅隔离沟槽,使所述 n 型重掺杂区一侧暴露 ;
- [0027] 去除所述 n 型重掺杂区域 ;
- [0028] 填充隔离介质。
- [0029] 优选地,形成 n 型重掺杂区域的步骤包括 :进行 As 或 P 离子注入。
- [0030] 优选地,所述掺杂浓度大于 10^{18}cm^{-3} 。
- [0031] 优选地,在所述源漏区之上形成提升源漏区。
- [0032] 该半导体结构采用共用接触,利用源区或漏区与背栅区间的电容耦合来调节阈值电压,制作工艺程序简单,能够提高集成度、降低生产成本。此外,非对称背栅结构设计能够进一步提高阈值电压调节效果,改善器件性能。同时,可根据器件设计需要通过改变背栅区掺杂类型来进一步改善阈值电压调节效果。

附图说明

- [0033] 图 1 所示为本发明半导体结构的制造方法实施例中 SOI 衬底的剖视图。
- [0034] 图 2 所示为本发明半导体结构的制造方法实施例中以光致抗蚀剂为掩模对接 SOI 层进行 n 型重掺杂的剖视图。
- [0035] 图 3 所示为本发明半导体结构的制造方法实施例中去除光致抗蚀剂并进行退火以激活杂质离子后的剖视图。
- [0036] 图 4 所示为本发明半导体结构的制造方法实施例中以常规方式形成浅沟槽隔离沟槽后的剖视图。
- [0037] 图 5 所示为本发明半导体结构的制造方法实施例中选择性刻蚀 n 型重掺杂接 SOI 层区并填充隔离介质后的剖视图。
- [0038] 图 6 所示为本发明半导体结构的制造方法实施例中形成背栅区后的剖视图。
- [0039] 图 7 所示为本发明半导体结构的制造方法实施例中形成 MOSFET 结构后的剖视图。
- [0040] 图 8 所示为本发明半导体结构的制造方法实施例中沉积氮化物、氧化物并进行表面平整化后的剖视图。
- [0041] 图 9 所示为本发明半导体结构的制造方法实施例中形成接触孔后的剖视图。
- [0042] 图 10 所示为本发明半导体结构的制造方法实施例中形成接触后的剖视图。
- [0043] 图 11 所示为本发明半导体结构的制造方法另一实施例中形成接触后的剖视图。

具体实施方式

[0044] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0045] 下文的公开提供了许多不同的实施例或例子用来实现本发明提供的技术方案。虽然下文中对特定例子的部件和设置进行了描述,但是,它们仅仅为示例,并且目的不在于限制本发明。

[0046] 此外,本发明提供了各种特定工艺和/或材料的例子,但是,本领域普通技术人员可以意识到的其他工艺和/或其他材料的替代应用,显然未脱离本发明要求保护的范围。需强调的是,本文件内所述的各种结构之间的相互关系包含由于工艺或制程的需要所作的必要的延展。

[0047] 图1~10详细示出了根据本发明实施例制作半导体结构的各步骤。以下,将参照这些附图对根据本发明实施例的各个步骤以及由此得到的半导体结构予以详细说明。

[0048] 首先,提供绝缘体上硅(SOI)衬底,具体的,自上而下依次包括SOI层1004,第一氧化物埋层1003,接SOI层(例如多晶硅层)1002,第二氧化物埋层1001,衬底1000,如图1所示。这里SOI层材料可以为但不限于:Si、SiGe、SiC、SiGeC中的一种或其组合。

[0049] SOI衬底的制作可利用本技术领域的熟练人员所熟知的常规氧离子注入分隔(SIMOX)工艺也可用其他常规工艺,例如,热键合和切割工艺来制作。SOI晶片各层的厚度可根据制作所用工艺而改变。典型地,SOI层1004厚度约为5~30nm,第一氧化物埋层1003厚度约为2~25nm,接SOI层1002厚度约为10~50nm,第二氧化物埋层1001厚度约为60~200nm。以上提供的厚度只是示例性的,并不意味着限制本发明的范围。

[0050] 然后,形成背栅区。本发明实施例中,首先在SOI衬底上旋涂光致抗蚀剂1005,之后图案化光致抗蚀剂1005,暴露出部分SOI衬底表面。接着,以光致抗蚀剂1005为掩模对位于暴露区中接SOI层进行n型重掺杂,如图2所示。本发明实施例采用离子注入n型掺杂剂,例如As或p。典型的掺杂剂量高于 10^{18}cm^{-3} 。之后,以传统方法去除光致抗蚀剂,退火以激活杂质离子,形成n型重掺杂区1006,如图3所示。优选地,退火温度在800°C到1000°C之间。

[0051] 随后,形成浅沟槽隔离(STI)沟槽(1009、1009')所得半导体结构如图4所示。例如,在衬底上形成垫氧化层(pad oxide)。例如是通过APCVD、LPCVD、PECVD等传统工艺,也可以使用热氧化来实现。控制原料流速、温度、气压等参数从而获得预期厚度的性质优良的垫氧化层1007,其厚度在本实施例中为5~10nm。在垫氧化物层上形成氮化物层1008,可以通过传统的淀积工艺制得,其厚度为50~120nm。垫氧化层1007可用于在刻蚀及其它处理中保护下面的衬底结构。氮化物层1008在后续的刻蚀形成STI过程中用作掩模层。图案化STI。在氮化物层1008上旋涂光致抗蚀剂,将光致抗蚀剂进行图形曝光、显影;刻蚀浅沟槽,通常采用各向异性干法腐蚀工艺。在本实施例中优选采用反应离子刻蚀在STI区域完全刻蚀垫氧化物层1007和氮化物层1008,并继续刻蚀SOI衬底截止到第二氧化物埋层1001,以形成隔离沟槽。所形成隔离沟槽(1009、1009')使得第二氧化物埋层1001位于STI区域的上表面及接SOI层1004的n型重掺杂区1006的一侧面暴露。之后,去除光致抗蚀剂,采用本领域公知的方法。

[0052] 接着,相对于未掺杂或 p 型掺杂硅,选择性刻蚀上述 n 型重掺杂接 SOI 层区域 1006,使之完全去除,形成非对称浅沟槽隔离沟槽。之后填充隔离介质以形成浅沟槽隔离(1010、1010')。所述隔离介质可以为氧化物、氮化物中的一种或其组合。本实施例中采用氧化物。随后,对 STI 表面进行平整化处理,例如采用对氧化物层化学机械抛光截止到氮化物层 1008,所得结构如图 5 所示。回刻氧化物层,完全刻蚀氮化物层 1008。

[0053] 之后,形成背栅区。对接 SOI 层进行低电阻化,形成背栅区 1011,与接 SOI 层中的隔离介质填充区相邻接,所得结构如图 6 所示。本发明实施例中采用离子注入的方法。可以根据器件设计需要进行 n 型离子掺杂,例如 As、P 等,或者进行 p 型离子掺杂,例如 In、B 等。掺杂浓度通常在 $10^{18} \sim 10^{21} \text{cm}^{-3}$ 范围。例如,对于 nMOSFET,需要提高阈值电压,优选采用 p 型离子掺杂。

[0054] 接着,完全刻蚀垫氧化物层 1007,以传统方式形成 MOSFET,所得结构如图 7 所示。例如,形成栅极 1013。具体地,沉积栅极介电层,所述栅介质层材料可选用 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的任一种或多种组成。之后,沉积栅极导电层,例如金属或多晶硅。图案化栅极。在栅极导电层上旋涂光致抗蚀剂,在一定温度下前烘,随后用栅极所需的掩模图形来曝光、显影,在氧化物层上形成光致抗蚀剂图形,刻蚀栅极导电层及栅介质层。采用公知方法去除光致抗蚀剂。其中,所述栅介质层厚度可为 $1 \sim 3 \text{nm}$,如 2nm ;栅导电层厚度可为 $50 \sim 100 \text{nm}$,如 60nm , 70nm , 80nm 或 90nm ;

[0055] 之后在栅极侧壁制作隔离介质层 1014,可由氧化物、氮氧化物或其联合构成。可选的形成方法为淀积绝缘材料而后刻蚀形成栅极侧墙。

[0056] 制作侧壁隔离介质层后,采用常规的离子注入和退火在含硅层中毗邻侧墙处制作源漏区。优选地,自对准形成源漏区。其中,源区(或漏区)和栅极位于所述背栅区上方,漏区(或源区)位于所述隔离介质填充区上方。

[0057] 优选地,形成源漏扩展区、晕环区(HALO)。具体地,可以通过离子注入来形成具有源漏晕环(HALO)和延伸(extension)结构,以抑制短沟道效应。其中,对于 nMOSFET 进行 As 或 P 的离子掺杂,对于 pMOSFET 进行 B、 BF_2 或 In 的离子掺杂形成源漏延伸区。对于 nMOSFET 进行 B、 BF_2 或 In 的离子注入,对于 pMOSFET 进行 As 或 P 的离子注入,之后在 $900\text{--}1100^\circ\text{C}$ 下进行尖峰退火激活源漏区的杂质,形成源漏晕环区。

[0058] 优选地,形成提升源漏区 1012。具体地,在源漏区上淀积一层外延多晶硅或 Si,再用离子注入和退火对之进行掺杂。

[0059] 接下来,如图 8-10 所示,进行形成接触的工艺步骤,包括:

[0060] 利用常规的硅化工艺将提升源漏区和栅极的上层转变为硅化物区;利用淀积和平面化此结构来制作绝缘材料层,如图 8 所示,例如,沉积氮化物层 1015,厚度可为 $30 \sim 100 \text{nm}$,在其上淀积氧化物层 1016,厚度可为 $50 \sim 300 \text{nm}$,化学机械抛光氧化物层。

[0061] 形成接触。首先,用光刻和反应离子刻蚀等常规方法形成接触孔,如图 9 所示。具体地,接触孔延伸到源漏区上,使硅化物区域暴露。之后,用导电材料填充接触孔形成接触 1017。所述导电材料可为但不限于:Cu、Al、W、多晶硅和其他类似的导电材料。优选地,还可形成接触衬里层,如 Ti、TiN 或其组合,厚度可为 $1 \sim 10 \text{nm}$ 。至此,形成了具有非对称背栅区 1011 且采用共用接触利用源区或漏区与来调节阈值电压的 SOI MOSFET(如图 10 所示),能够提高集成度,降低生产成本,同时进一步提高阈值电压调节效果,改善器件性能。

[0062] 至此,形成了根据本发明实施例的一种半导体结构,包括,SOI 衬底,自上而下依次包括 SOI 层 1004、第一氧化物埋层 1003、接 SOI 层 1002、第二氧化物埋层 1001 和衬底 1000;浅沟槽隔离,嵌于所述 SOI 衬底中,位于第二氧化物埋层 1001 上;栅极 1013,位于所述 SOI 衬底上;源漏区,位于所述栅极 1013 两侧;背栅区 1011,接 SOI 层 1002 低电阻化后形成的区域,包括接 SOI 层 1002 中位于源区或漏区下方和栅极下方的区域;隔离介质填充区,接 SOI 层中位于漏区或源区下方的区域,与所述背栅区相邻接;源漏区接触 1017。

[0063] 优选地,本发明的半导体结构还包括提升的源漏区,位于源漏区上。

[0064] 优选地,还包括源漏晕环区和扩展区。

[0065] 根据本发明的另一实施例,将接 SOI 层低电阻化后形成对称背栅区 1011',如图 11 所示。具体地,首先,提供 SOI 衬底,之后,形成浅沟槽隔离,接着,对接 SOI 层进行离子注入,形成低电阻化接 SOI 层,即形成背栅区。上述步骤中材料、工艺参数等参照本发明实施例及本领域技术人员所公知的工艺、方法等,在此不再赘述。

[0066] 该半导体结构采用共用接触利用源区或漏区与背栅区间的电容耦合来调节阈值电压,制作工艺程序简单,能够提高集成度、降低生产成本。此外,非对称背栅结构设计能够进一步提高阈值电压调节效果,改善器件性能。同时,可根据器件设计需要通过改变背栅区掺杂类型来进一步改善阈值电压调节效果。

[0067] 在以上的描述中,对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过现有技术中的各种手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。

[0068] 以上参照本发明的实施例对本发明予以了说明。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替换和修改,这些替换和修改都应落在本发明的范围之内。

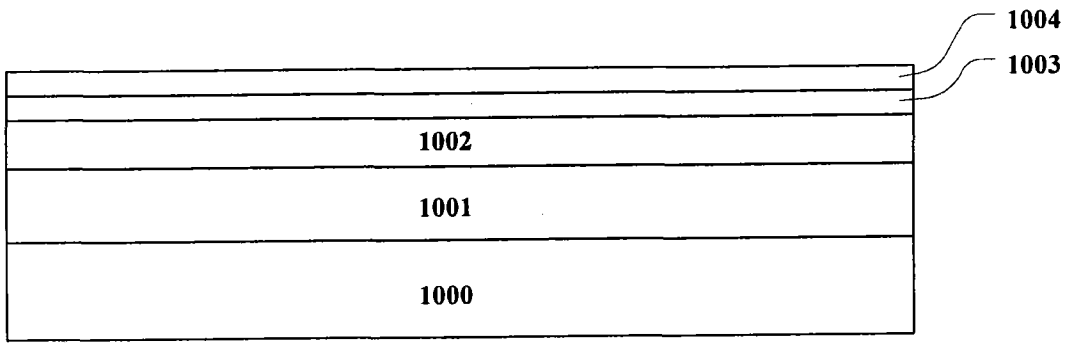


图 1

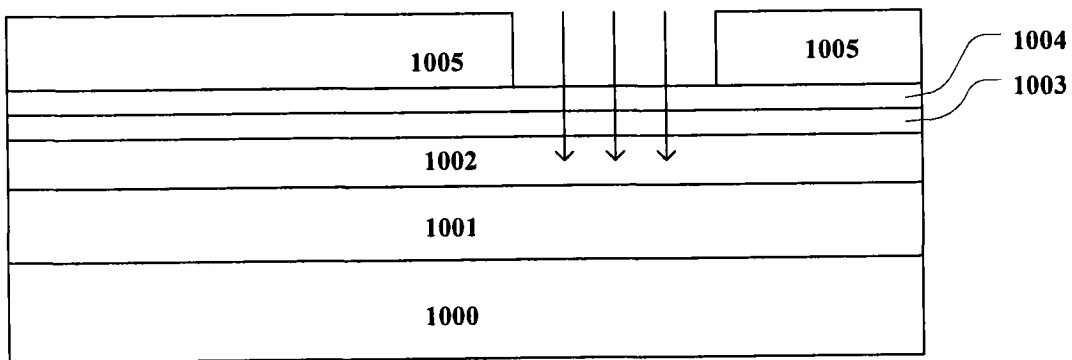


图 2

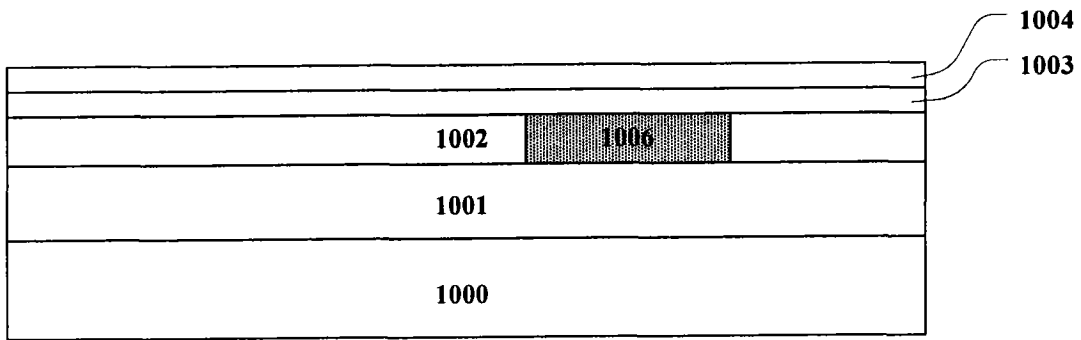


图 3

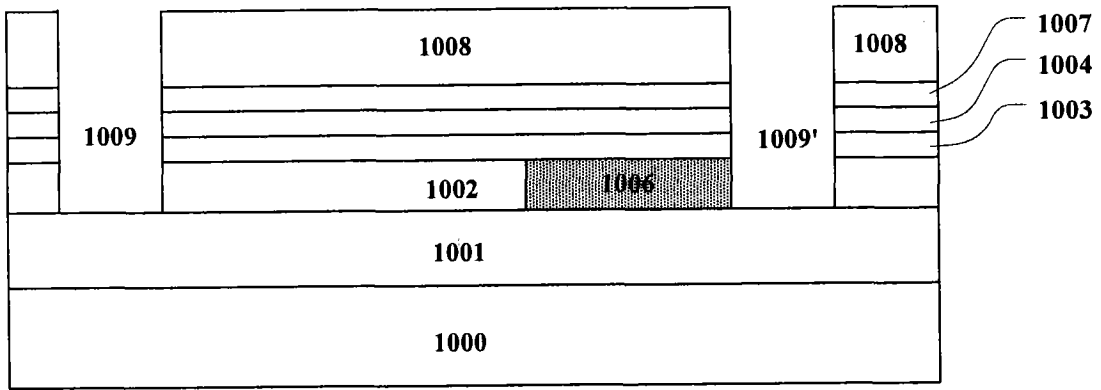


图 4

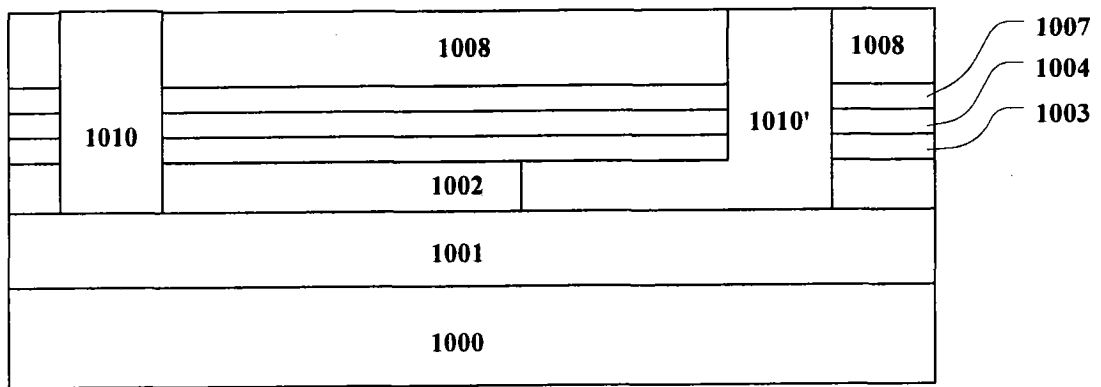


图 5

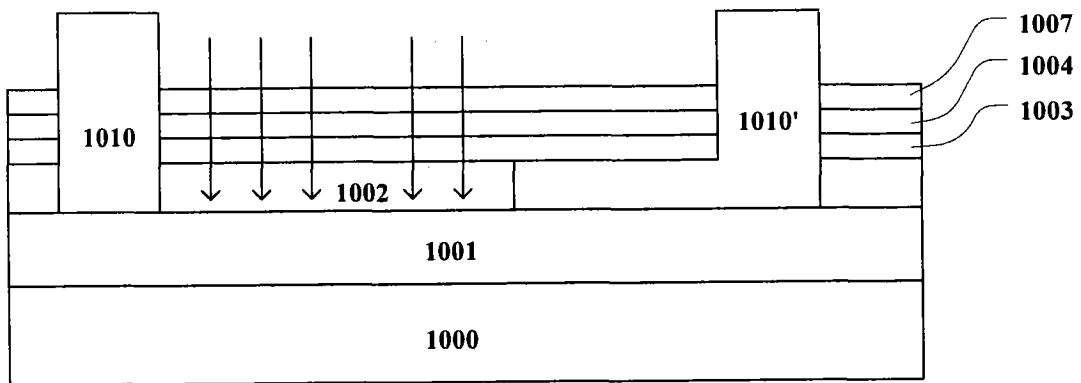


图 6

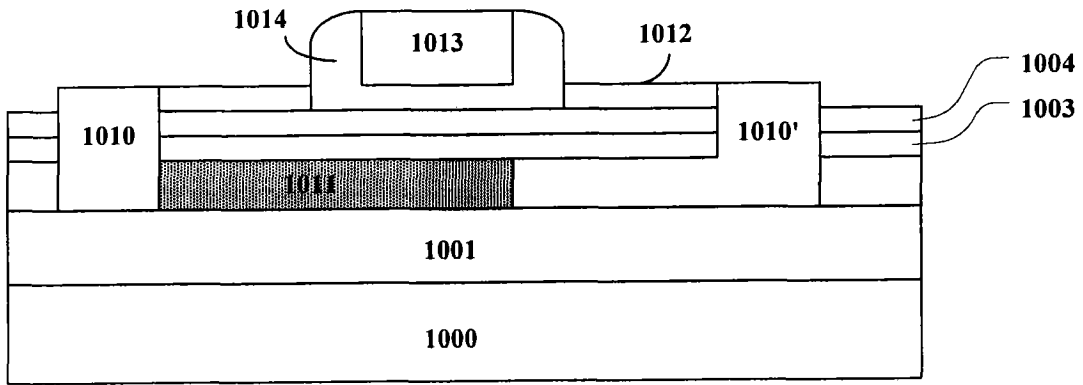


图 7

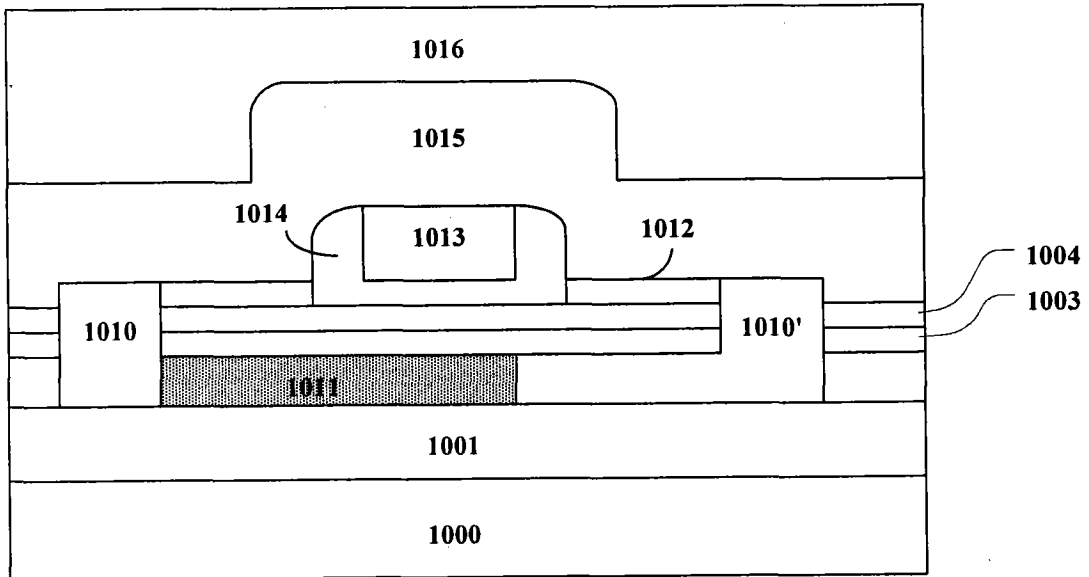


图 8

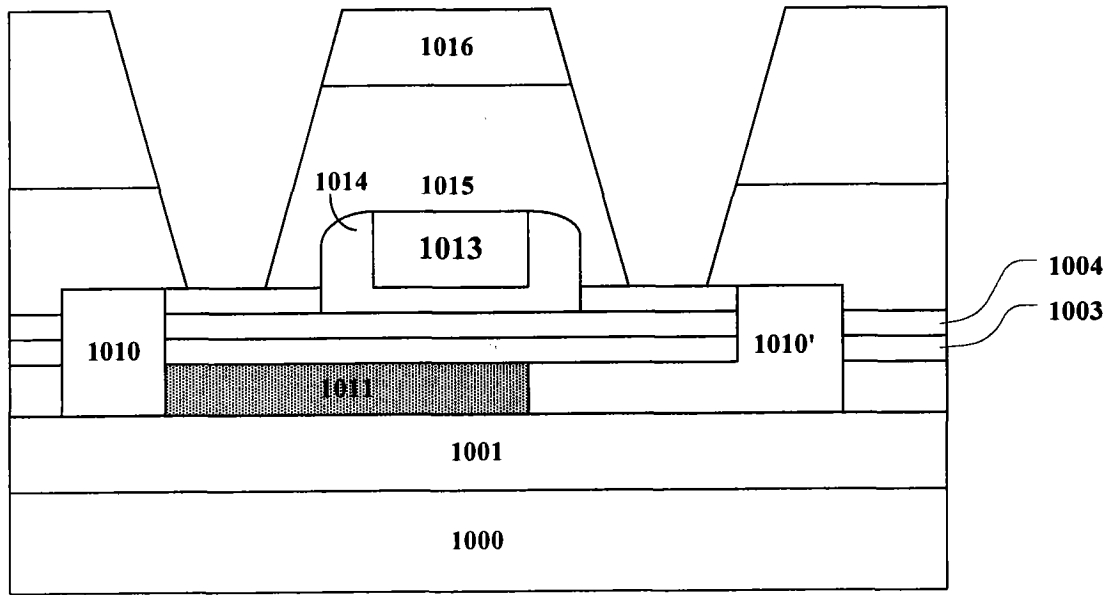


图 9

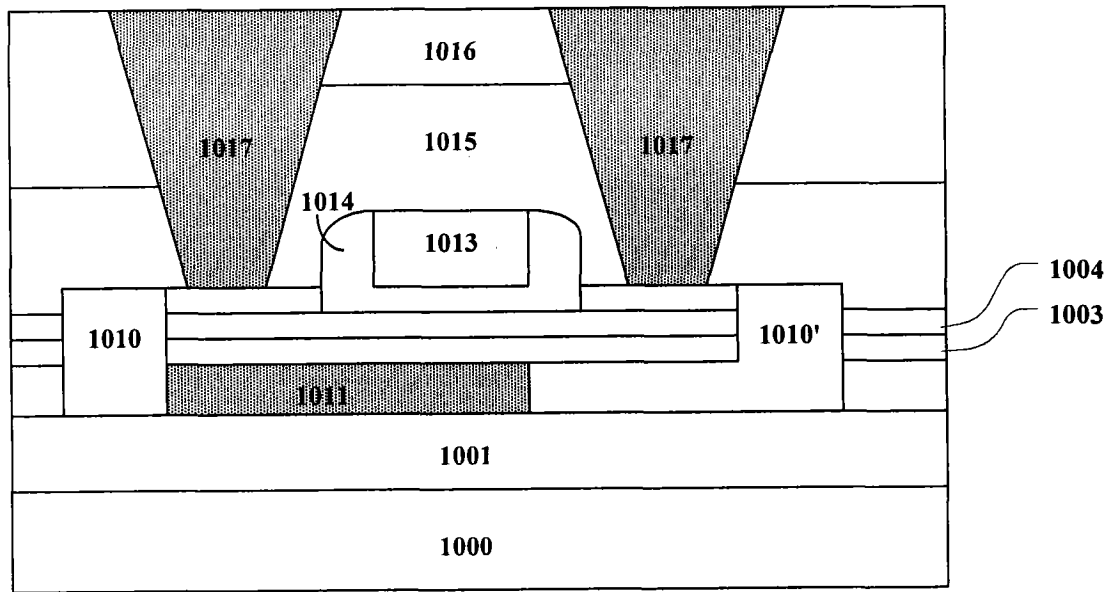


图 10

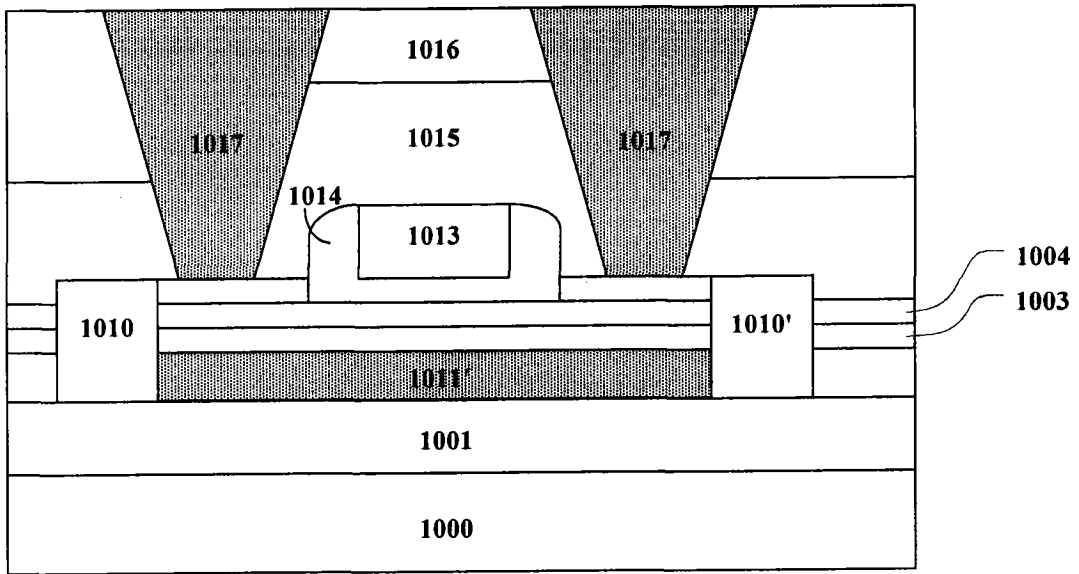


图 11