



(21)申請案號：100105091

(22)申請日：中華民國 100 (2011) 年 02 月 16 日

(51)Int. Cl. : G11C29/04 (2006.01)

(30)優先權：2010/02/19 南韓 10-2010-0015310
2010/06/15 美國 61/354,748

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：金杜坤 KIM, DOOGON (KR)

(74)代理人：詹銘文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：22 共 75 頁

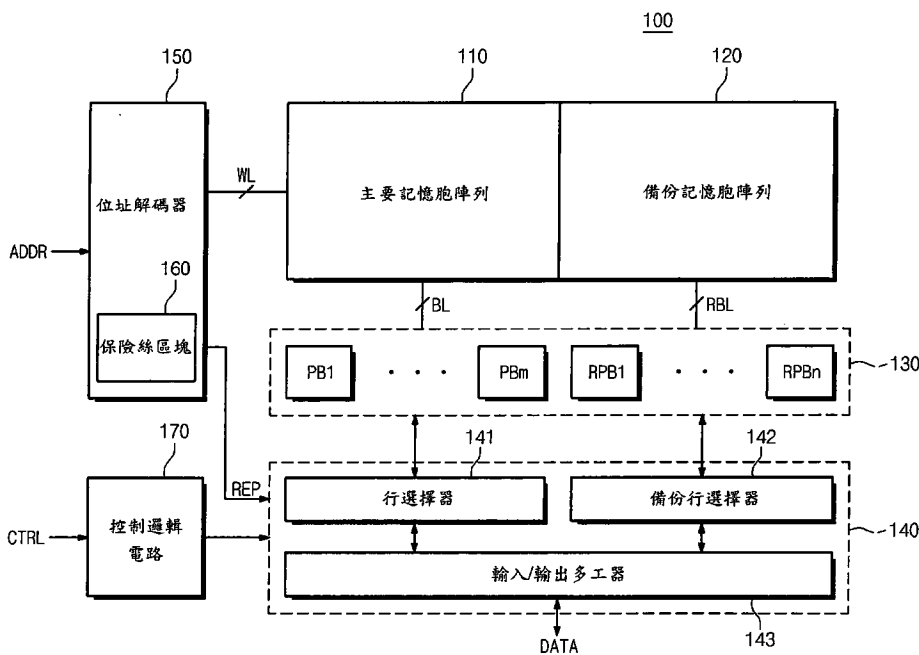
(54)名稱

執行缺陷記憶胞之修補操作的非揮發性記憶體裝置與系統

NONVOLATILE MEMORY DEVICE AND SYSTEM PERFORMING REPAIR OPERATION FOR DEFECTIVE MEMORY CELL

(57)摘要

一種非揮發性記憶體裝置，包括：主要記憶胞陣列、備份記憶胞陣列以及控制器。主要記憶胞陣列包括多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於基底。備份記憶胞陣列包括：多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於所述基底。控制器配置成用以控制所述備份位元線的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。



100：非揮發性記憶體裝置

110：主要記憶胞陣列

120：備份記憶胞陣列

130：頁緩衝區塊

140：輸入/輸出介面

141：行選擇器

142：備份選擇器

143：輸入/輸出多工器

150：位址解碼器

160：保險絲區塊

170：控制邏輯電路

ADDR：位址

BL：位元線

CTRL：控制訊號

DATA：資料

PB1~PBm：頁緩衝單元

RBL：備份位元線

REP：代替訊號

RPB1~RPBn：備份頁緩衝單元

WL：字元線



(21)申請案號：100105091

(22)申請日：中華民國 100 (2011) 年 02 月 16 日

(51)Int. Cl. : G11C29/04 (2006.01)

(30)優先權：2010/02/19 南韓 10-2010-0015310
2010/06/15 美國 61/354,748

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：金杜坤 KIM, DOOGON (KR)

(74)代理人：詹銘文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：22 共 75 頁

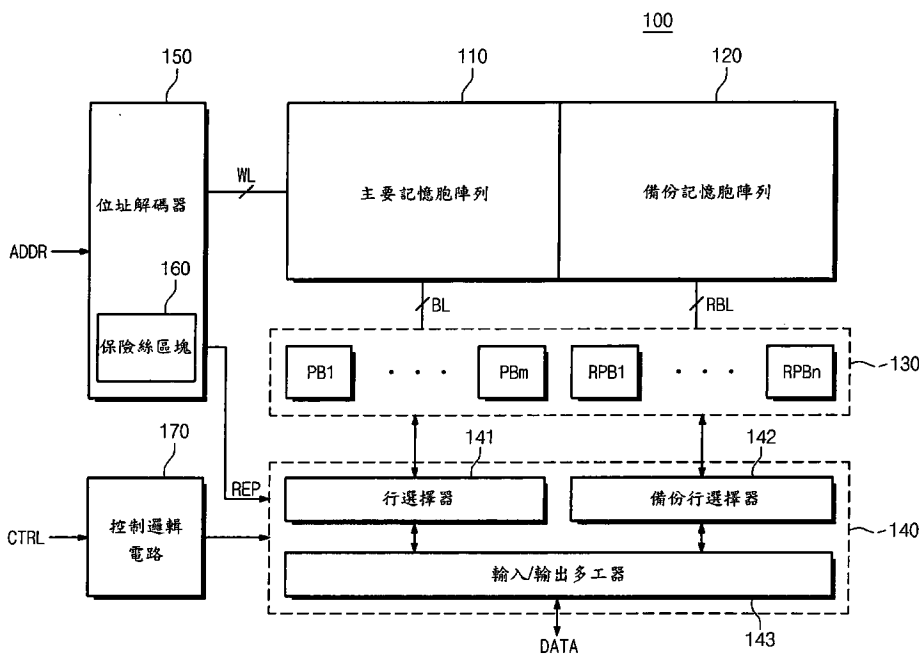
(54)名稱

執行缺陷記憶胞之修補操作的非揮發性記憶體裝置與系統

NONVOLATILE MEMORY DEVICE AND SYSTEM PERFORMING REPAIR OPERATION FOR DEFECTIVE MEMORY CELL

(57)摘要

一種非揮發性記憶體裝置，包括：主要記憶胞陣列、備份記憶胞陣列以及控制器。主要記憶胞陣列包括多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於基底。備份記憶胞陣列包括：多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於所述基底。控制器配置成用以控制所述備份位元線的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。



100：非揮發性記憶體裝置

110：主要記憶胞陣列

120：備份記憶胞陣列

130：頁緩衝區塊

140：輸入/輸出介面

141：行選擇器

142：備份選擇器

143：輸入/輸出多工器

150：位址解碼器

160：保險絲區塊

170：控制邏輯電路

ADDR：位址

BL：位元線

CTRL：控制訊號

六、發明說明：

【相關申請案】

本申請案主張韓國專利申請號為 10-2010-0015310，申請日為 2010 年 2 月 19 日之優先權，以及美國臨時專利申請號為 61/354,748，申請日為 2010 年 6 月 15 日之優先權。所述韓國專利申請案揭示內容以全文引用方式併入本文。

【發明所屬之技術領域】

本發明是關於一種半導體記憶體的技術，且特別是有關於一種能夠執行缺陷記憶體胞之修補操作的非揮發性記憶體裝置與系統。

【先前技術】

半導體記憶體裝置可依據斷電時其是否保留住所儲存的資料，而大致上分為兩種類型。這些類型包含：揮發性記憶體裝置 (volatile memory devices)，當斷電時其喪失所儲存的資料；以及非揮發性記憶體裝置 (nonvolatile memory devices)，當斷電時其保留住所儲存的資料。

揮發性記憶體裝置之實例包含：靜態隨機存取記憶體 (static random-access memory, SRAM) 裝置、動態隨機存取記憶體 (dynamic random-access memory, DRAM) 裝置、以及同步動態隨機存取記憶體 (synchronous dynamic random-access memory, SDRAM) 裝置。非揮發性記憶體裝置之實例包含：唯讀記憶體 (read-only memory, ROM) 裝置、可程式唯讀記憶體 (programmable read-only memory, PROM) 裝置、電性可程式唯讀記憶體 (electrically programmable read-only

memory, EPROM)裝置、電性可抹拭可程式唯讀記憶體 (electrically erasable and programmable read-only memory, EEPROM)裝置、快閃記憶體裝置 (flash memory device)、相變隨機存取記憶體(phase-change random-access memory, PRAM)裝置、磁性隨機存取記憶體(magnetic random-access memory, MRAM)裝置、電阻式隨機存取記憶體(resistive random-access memory, RRAM)裝置以及鐵電隨機存取記憶體(ferroelectric random-access memory, FRAM)裝置。快閃記憶體裝置可進一步分類為：反或型(NOR-type)快閃記憶體裝置、和反及型(NAND-type)快閃記憶體裝置。

在過去的幾年裡，研究人員已經發展出無數的技術來改善各種記憶體元件的尺寸、容量及性能。這些技術的其中之一為：將記憶胞排列於三維陣列結構裡，以形成記憶體裝置。此類的陣列結構可能改善資料的數量儲存於有限的晶片區域內。

【發明內容】

依照本發明的一實施例中，非揮發性記憶體裝置包括：主要記憶胞陣列、備份記憶胞陣列以及控制器。主要記憶胞陣列包括多數條位元線，每條位元線連接至多數個串 (strings)，所述串排列成垂直於基底；備份記憶胞陣列包括每多數條備份位元線，每條備份位元線連接至多數個備份串 (redundancy strings)，所述備份串排列成垂直於所述基底；控制器配置成用以控制所述備份位元線中的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。

於本發明的一實施例中，控制器包括：一行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述位元線其中之一。

於本發明的一實施例中，控制器包括一備份行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述備份位元線其中之一。

於本發明的一實施例中，備份行選擇器儲存：具有一缺陷記憶胞的串的一串選擇位址與一行分層位址。

於本發明的一實施例中，具有所述缺陷記憶胞的所述串之所述串選擇位址及所述行分層位址被儲存於一保險絲盒中。

於本發明的一實施例中，控制器包括一行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述位元線其中之一；備份行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述備份位元線其中之一；一輸入/輸出選擇器，配置成：響應於一代替訊號而選擇所述行選擇器或所述備份行選擇器；以及一代替訊號產生器，配置成：響應於從外部裝置所接收的串選擇位址及行分層位址，來產生代替訊號。

於本發明的一實施例中，在所述串包含缺陷記憶胞之處，代替訊號產生器儲存所述串的串選擇位址及行分層位址。

於本發明的一實施例中，具有所述缺陷記憶胞的所述串

之所述串選擇位址及所述行分層位址被儲存於一保險絲盒中。

於本發明的一實施例中，非揮發性記憶體裝置更包括一備用區塊，備用區塊包含多數個記憶胞，且所述備用區塊儲存具有一缺陷記憶胞的串的串選擇位址及行分層位址。

於本發明的一實施例中，控制器包括一儲存電路，設置成：用以接收包含一缺陷記憶胞的所述串的一串選擇位址與一行分層位址，將所述串選擇位址與所行分層位址儲存於所述備用區塊、且所述儲存電路響應於一供電檢測訊號。

於本發明的一實施例中，控制器更包括一電源供應檢測器，設置成：依據檢測到電源被提供到所述非揮發性記憶體裝置，而產生供電檢測訊號。

於本發明的一實施例中，控制器更包括：電源供應檢測器，設置成：依據檢測到電源被提供到所述非揮發性記憶體裝置而產生供電檢測訊號；儲存電路，設置成：響應於供電檢測訊號，而接收包含一缺陷記憶胞的所述串的一串選擇位址與一行分層位址；一修補控制單元，設置成：藉由比較具有缺陷記憶胞的一 NAND 串的串選擇位址及行分層位址，與從外部裝置接收的串選擇位址及行分層位址，來選擇主要記憶胞陣列或備份記憶胞陣列。

於本發明的一實施例中，控制器更包括一行選擇器，配置成：在從一外部裝置所接收的一行分層位址的基礎上，而選擇所述位元線其中之一。

於本發明的一實施例中，控制器更包括一備份行選擇

器，配置成：在從一外部裝置所接收的一行分層位址的基礎上，而選擇所述備份位元線其中之一。

於本發明的一實施例中，記憶胞陣列之串與備份記憶胞陣列之備份串共享相同的字元線。

於本發明的一實施例中，位元線與備份位元線排列在平行於基底的一方向中。

依照本發明的另一實施例中，記憶體系統包括：非揮發性記憶體裝置以及控制器。所述控制器配置成用以控制所述非揮發性記憶體裝置。非揮發性記憶體裝置包括：第一區域，具有多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於一基底；第二區域，具有多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於基底；第三區域，設置成：相應於具有缺陷記憶胞的第一區域中的串，而儲存串選擇位址及行分層位址；以及控制器，設置成：在儲存於第三區域中的串選擇位址及行分層位址的基礎上，控制備份串分享相同的備份位元線，來修補第一區域之所述串。

於本發明的一實施例中，第一區域之串與第二區域之備份串排列在垂直於基底的一方向中。

於本發明的一實施例中，第一區域之串與第二區域之備份串分享一共用字元線。

於本發明的一實施例中，非揮發性記憶體裝置與控制器為固態硬碟的元件。

為讓本發明之上述和其他目的、特徵和優點能更明顯易

懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

下文將參照附圖描述本發明的實施例。這些實施例僅用於例示，並且不應侷限本發明的範圍。

圖 1 是依照本發明實施例所繪示的三維記憶胞陣列 1000 之透視圖。

請參照圖 1，三維記憶胞陣列 1000 包括：基底 1111、半導體柱 1113、資料儲存層 1116、字元線 1211~1293、共用源極線 1311~1314、汲極 1320 以及位元線 1331~1333。

半導體柱 1113 與資料儲存層 1116 設置於基底 1111 上。基底 1111 通常包括：摻雜有 P 型(p-type)雜質矽之半導體材質。基底 1111 也包括 P 型井(p-type well)或凹井(pocket well)，此凹井包括 P 型井及環繞著 P 型井之 N 型井。

共用源極線 1311~1314 設置於基底 1111 上，共用源極線 1311~1314 延伸於第一方向、並在第三方向上重覆。共用源極線 1311~1314 通常包括：摻雜有不同於基底 1111 的雜質之半導體材質。例如，在基底 1111 包括摻雜有 P 型雜質之半導體材質，共用源極線 1311~1314 可以包括摻雜有 N 型(n-type)雜質之半導體材質。

半導體柱 1113 設置於基底 1111 上，半導體柱 1113 延伸於第二方向、並設置在基底 1111 與汲極 1320 之間。半導體柱 1113 的其中一端連接於基底 1111，且半導體柱 1113 的另一端連接於汲極 1320。半導體柱 1113 通常包括摻雜有相同於基底 1111 的雜質之半導體材質。例如，在基底 1111 包括摻雜有 P

型雜質之半導體材質，半導體柱 1113 可包括摻雜有 P 型雜質之半導體材質。

在一些實施例中，半導體柱 1113 的內部包括介電材質(例如，氧化矽、氮化矽或碳化矽)，而半導體柱 1113 的外部可包括半導體材質(例如，矽)。在這種情況下，半導體柱 1113 的外部可摻雜與基底 1111 相同的雜質。例如，在基底 1111 包括摻雜有 P 型雜質之半導體材質，半導體柱 1113 的外部可包括摻雜有 P 型雜質之半導體材質。

汲極 1320 設置於半導體柱 1113 與位元線 1331~1333 之間。汲極 1320 通常包括摻雜有不同於基底 1111 的雜質之矽質半導體材質。例如，當基底 1111 包括摻雜有 P 型雜質之半導體材質，汲極 1320 可以包括摻雜有 N 型雜質之半導體材質。即使沒有繪示於圖 1，接觸窗插塞(contact plug)也可以形成於汲極 1320 與位元線 1331~1333 之間，來減少該些元件之間的接觸電阻(contact resistance)。

字元線 1211~1293 堆疊於基底 1111 與位元線 1331~1333 之間。字元線 1211~1293 延伸於第一方向並堆疊在第二方向上。字元線 1211~1293 通常包括導電材質(例如，摻雜矽、鎢、金屬氮化物或金屬矽化物)。

字元線 1211~1293 被分為多數個字元線組(word line groups, WLG)。一個字元線組 WLG 包括多數條字元線，分享相同的半導體柱。例如，字元線 1211~1293 可以分為：字元線 1211~1291 為第一字元線組，字元線 1212~1292 為第二字元線組，且字元線 1213~1293 為第三字元線組。第一字元線組至

第三字元線組延伸於第一方向、並在第三方向上重覆。

位元線 1311~1333 設置成跨越字元線 1211~1293。請參照圖 1，例如，字元線 1211~1293 延伸於第一方向、並在第三方向上重覆，同時位元線 1311~1333 延伸於第三方向、並在第一方向上重覆。位元線 1311~1333 通常包括導電材質(例如，摻雜矽、鎢、金屬氮化物或金屬矽化物)。

圖 2 是沿圖 1 的線 I-I' 所獲取三維記憶胞陣列 1000 之剖面圖。

請參照圖 2，半導體柱 1113、資料儲存層 1116、字元線 1211~1293 以及介電層 1112 設置於基底 1111 與位元線 1332 之間。

每個半導體柱 1113 設置於基底 1111 與汲極 1320 之間。每個半導體柱 1113 包括：第一基體 1114 與第二基體 1115。第一基體 1114 通常包括摻雜有相同於基底 1111 的雜質之矽質半導體材質。例如，當基底 1111 包括摻雜有 P 型雜質之半導體材質時，第一基體 1114 也可以包括摻雜有 P 型雜質之半導體材質。第二基體 1115 通常包括介電材質(例如，二氧化矽、氮化矽、或碳化矽)。

介電層 1112 連接於半導體柱 1113 並設置於字元線 1211~1293 之間。介電層 1112 延伸於第一方向，並在第二方向中設置於字元線 1211~1293 之間。據此，介電層 1112 電性隔離(electrically isolate)字元線 1211~1293。介電層 1112 通常包括介電材質(例如，二氧化矽、氮化矽、或碳化矽)。

資料儲存層 1116 設置於字元線 1211~1293 與半導體柱

1113 之間。而且，資料儲存層 1116 設置成環繞半導體柱 1113 與介電層 1112。請參照圖 3，資料儲存層 1116 將作進一步的詳細描述。

汲極 1320 設置於位元線 1311~1333 與半導體柱 1113 之間。汲極 1320 通常包括摻雜有不同於基底 1111、第一基體 1114 的雜質之矽質半導體材質。例如，基底 1111 與第一基體 1114 包括摻雜有 P 型雜質之半導體材質，汲極 1320 可以包括於摻雜有 N 型雜質之半導體材質。

每個半導體柱 1113 與相應的介電層、資料儲存層以及字元線，形成一個 NAND 串結構(NAND string structure)。例如，每個半導體柱 1113 延伸於第二方向，與相應的介電層 1112 之一、相應的資料儲存層 1116 之一以及字元線 1213~1293 構成一個 NAND 串 NS (NAND string NS)。

每個 NAND 串 NS 包括：多數個電晶體結構 TS。請參照圖 2，例如，每個 NAND 串 NS 包括 9 個電晶體結構 TS。電晶體結構 TS 可作為記憶體胞，用以儲存單一位元 (single bit) 或多重位元 (multiple bits)。亦即，電晶體結構 TS 可作為開關，用以選擇 NAND 串 NS。請參照圖 3，電晶體結構 TS 將作進一步的詳細描述。

圖 3 繪示圖 2 的電晶體結構 TS 之剖面圖。

請參照圖 3，電晶體結構 TS 包括：字元線 1233、資料儲存層 1116、第一基體 1114 以及第二基體 1115。

資料儲存層 1116 至少包括三個介電層。請參照圖 3，例如，資料儲存層 1116 包括穿隧絕緣層 (tunnel insulating layer)

1117、電荷儲存層(charge storage layer) 1118 以及阻擋絕緣層(blocking insulating layer)1119。

穿隧絕緣層 1117 通常包括熱氧化層(thermal oxide layer) (例如，矽氧化層)。而且，穿隧絕緣層 1117 可形成為單層結構或多層結構。

電荷儲存層 1118 通常包括：介電層，具有深能階陷阱(deep-level traps)，能夠儲存電荷。例如，電荷儲存層 1118 可以包括矽氧化層。電荷儲存層 1118 也可以包括氮化層及/或金屬氧化層(例如，鋁氧化層及/或鉛氧化層)。

阻擋絕緣層 1119 通常包括矽氧化層。或者，阻擋絕緣層 1119 至少可以包括矽氧化層及高介電層(例如，鋁氧化層及/或鉛氧化層)，比穿隧絕緣層具有較高的介電常數。

第一基體 1114 經由資料儲存層 1116 而電性連接至字元線 1233。第一基體 1114 通常包括：摻雜有 P 型雜質之矽質半導體材質。當一電壓施加到字元線 1233，在第一基體 1114 產生一反轉區域(inversion region)。據此，當執行程式化操作或讀取操作時，在第一基體 1114 內形成通道。所以，字元線 1233、資料儲存層 1116、第一基體 1114 以及第二基體 1115 可操作作為一個金屬氧化物半導體(metal oxide semiconductor, MOS)電晶體。

電荷儲存層 1118 可以當作電荷擷取層(charge capturing layer)。例如，當一高電壓施加到字元線 1233，電荷可被電荷儲存層 1118 所擷取。據此，字元線 1233、資料儲存層 1116、第一基體 1114 以及第二基體 1115 可操作作為一個快閃記憶

體。

圖 4 是圖 1 至圖 3 的三維記憶胞陣列 1000 之等效電路圖。

請參照圖 4，NAND 串 NS11~NS31 電性連接於第一位元線 BL1 與共用源極線 CSL 之間。同樣地，NAND 串 NS12~NS32 電性連接於第二位元線 BL2 與共用源極線 CSL 之間；且 NAND 串 NS13~NS33 電性連接於第三位元線 BL3 與共用源極線 CSL 之間。

第一至第三位元線 BL1~ BL3 延伸於第三方向。圖 4 的第一位元線 BL1 相當於圖 1 的位元線 1331。圖 4 的第二位元線 BL2 與第三位元線 BL3 分別相當於圖 1 的位元線 1332 與位元線 1333。

第一至第三位元線 BL1~ BL3 每一個電性連接到多數個 NAND 串 NS。例如，第一位元線 BL1 電性連接到 NAND 串 NS11~NS31。同樣地，第二位元線 BL2 電性連接到 NAND 串 NS12~NS32，且第三位元線 BL3 電性連接到 NAND 串 NS13~NS33。

每個 NAND 串 NS 包括：串選擇電晶體 (string select transistor) SST、記憶胞(memory cells)MC 以及接地選擇電晶體 (ground select transistor) GST。例如，NAND 串 NS11 包括：串選擇電晶體 SST、第一至第七記憶胞 MC1~ MC7 以及接地選擇電晶體 GST。

連接到相同的位元線 BL 的 NAND 串 NS 形成一行分層 (column layer) CL。例如，連接到第一位元線 BL1 的 NAND 串 NS11~NS31 形成第一行分層 CL1。同樣地，連接到第二位

元線 BL2 的 NAND 串 NS12~NS32 形成第二行分層 CL2，且連接到第三位元線 BL3 的 NAND 串 NS13~NS33 形成第三行分層 CL3。

在相同的分層裡，串選擇電晶體 SST 的閘極電性連接到延伸於第一方向的串選擇線(string select line, SSL)。在此實施例中，相同的分層意指：串選擇電晶體 SST 從共用源極線 CSL 開始具有一樣的深度。例如，NAND 串 NS11~NS13 的串選擇電晶體 SST 的閘極電性連接到延伸於第一方向的第一串選擇線 SSL1。同樣地，NAND 串 NS21~NS23 的串選擇電晶體 SST 電性連接到第二串選擇線 SSL2，且 NAND 串 NS31~NS33 的串選擇電晶體 SST 電性連接到第三串選擇線 SSL3。

於圖 4 的實施例，第一串選擇線 SSL1 相當於圖 1 的字元線 1291，且第二串選擇線 SSL2 與第三串選擇線 SSL3 分別相當於圖 1 的字元線 1292 與字元線 1293。

串選擇線 SSL1~SSL3 彼此電性隔離。據此，藉由選擇相應的位元線與相應的串選擇線，來選擇 NAND 串 NS。例如，藉由選擇第一位元線 BL1 與第一串選擇線 SSL1，來選擇 NAND 串 NS11。

在相同分層裡的記憶胞的閘極電性連接到延伸於第一方向的字元線。在相同分層裡的記憶胞的閘極藉由相同的字元線而電性連接。例如，在相同分層裡的記憶胞 MC1 的閘極電性連接至第一字元線(first word line, WL1)。同樣地，在相同分層裡的第二至第七記憶胞 MC2~MC7 分別地電性連接至第二至第七字元線 WL2~WL7。

於圖 4 的實施例，第一位元線 WL1 相當於圖 1 的字元線 1221~1223。同樣地，圖 4 的第二至第七位元線 WL2~WL7 分別相當於圖 1 的字元線 1231~1233 至字元線 1291~1293。

在相同分層裡的接地選擇電晶體 GST 的閘極電性連接到延伸於第一方向的接地選擇線(ground select line, GSL)。例如，NAND 串 NS11~13 的接地選擇電晶體 GST 的閘極電性連接到延伸於第一方向的接地選擇線 GSL。同樣地，NAND 串 NS21~23 的接地選擇電晶體 GST 的閘極電性連接到接地選擇線 GSL，且 NAND 串 NS31~NS33 的接地選擇電晶體 GST 的閘極電性連接到接地選擇線 GSL。據此，接地選擇線 GSL 相當於圖 1 的字元線 1211~1213。

共用源極線 CSL 電性連接到 NAND 串 NS11~NS33，並相當於圖 1 的共用源極線 CSL1311~1314。

於多種的替代實施例中，可以改變每個 NAND 串的串選擇電晶體與電晶體結構 TS 的型式 (form) 與數量 (number)。也可以改變接地選擇線 GSL 的結構，例如，藉由電性隔離對應於接地選擇線 GSL 的字元線 1211~1213 的端點。進一步，可以更改連接至每條位元線 BL 或字元線 WL 的 NAND 串的數量。更進一步，可以改變半導體柱的形狀，例如除了圓形柱之外，還可利用四角形柱 (tetragon shape)。

圖 5 是依照圖 1 至圖 3 的三維記憶胞陣列 1000 之另一等效電路圖。

圖 5 的等效電路圖相似於圖 4 的等效電路圖。據此，以下描述將著重在與圖 4 等效電路圖不同的地方。

圖 5 顯示橫向電晶體(lateral transistors, LTR)。橫向電晶體 LTR 的閘極電性連接到各自的接地選擇電晶體 GST。接地選擇線 GSL 電性連接到接地選擇線 GSL 的閘極與橫向電晶體 LTR 的閘極。接地選擇線 GSL 啟動處，橫向電晶體 LTR 與接地選擇電晶體 GST 將 NAND 串電性連接到共用源極線 CSL。橫向電晶體 LTR 由圖 2 的共用源極線 1311~1313 與字元線 1211~1213 所形成，而基底 1111 與資料儲存層 1116 位於上述之間。

沒有施加電壓於字元線 1211~1213 之處，橫向電晶體 LTR 與接地選擇電晶體 GST 被關閉(turned off)。所以，第一基體 1114 與共用源極線 1311~1313 藉由基底 1111 與資料儲存層 1116 而相互隔離。

有施加電壓於字元線 1211~1213 之處，於第一基體 1114 產生一反轉區域。例如，第一基體 1114 摻雜有 P 型雜質，第一基體 1114 中產生一反轉區域。亦即，有施加電壓於字元線 1211~1213 之處，於基底 1111 能夠產生一反轉區域。例如，基底 1111 摻雜有 P 型雜質，鄰近於字元線 1211~1213 的基底 1111 的一部份產生一反轉區域。結果是，第一基體 1114 的反轉區域與基底 1111 的反向區域連接於共用源極線 1311~1313。

在第一基體 1114 產生反轉區域可視為開啟接地選擇電晶體 GST 的操作，也可稱為垂直式電晶體。在基底 1111 產生反轉區域可視為開啟橫向電晶體 LTR 的操作，也可稱為水平式電晶體。圖 5 的接地選擇線 GSL 相當於圖 2 的字元線 1211~1213，可視為開啟垂直式電晶體與水平式電晶體。

圖 6 是依照本發明實施例所繪示的三維記憶胞陣列 2000 之透視圖。

圖 6 的三維記憶胞陣列 2000 相似於圖 1 的三維記憶胞陣列 1000，因此，圖 6 的描述將著重在與圖 1 不同的地方。

請參照圖 6，共用源極線 2315 設置於基底 2111 上。在第一方向與第三方向裡，共用源極線 2315 形成為平面形。相比之下，圖 1 的共用源極線 1311~1314 延伸於第一方向，且平行在第三個方向上。換言之，圖 6 的共用源極線 2315 以平面結構形成，然而，圖 1 的共用源極線 1311~1314 以線結構形成。

圖 7 是沿圖 6 的線 II-II'所獲取的三維記憶胞陣列 2000 之剖面圖。

請參照圖 7，共用源極線 2315 形成為平面形於基底 2111 上，而且半導體柱 2113 連接至共用源極線 2315。

圖 8 是依照本發明實施例所繪示的三維記憶胞陣列 3000 之透視圖。

圖 8 的三維記憶胞陣列 3000 相似於圖 1 的三維記憶胞陣列 1000，因此，圖 8 的描述將著重在與圖 1 不同的地方。

請參照圖 8，半導體柱 3113 形成為四角形，而且介電材質 3120 設置於半導體柱 3113 之間。介電材質 3120 通常包括氧化矽、氮化矽或碳化矽。

三維記憶胞陣列 3000 配置成：將兩個 NAND 串結構對應於一個半導體柱。介電材質 3120 設置於半導體柱 3113 之間，使得共享相同半導體柱的字元線彼此電性隔離。例如，字

元線 3211a~3291a 與字元線 3211b~3291b 是藉由介電材質 3120 而彼此電性隔離。字元線 3211a~3291a 與對應的半導體柱 3113 形成第一 NAND 串結構。同樣地，字元線 3211b~3291b 與對應的半導體柱 3113 形成第二 NAND 串結構。所以，圖 8 的三維記憶胞陣列 3000 配置成：將兩個 NAND 串結構相對應於一個半導體柱。

相比之下，圖 1 的三維記憶胞陣列 1000 配置成：將一個 NAND 串結構對應於一個半導體柱。例如，字元線 1211~1291 與一個對應的半導體柱形成一個 NAND 串結構。

圖 9 是依照本發明實施例所繪示的三維記憶胞陣列 4000 之透視圖。

圖 9 的三維記憶胞陣列 4000 相似於圖 1 的三維記憶胞陣列 1000，因此，圖 9 的描述將著重在與圖 1 不同的地方。

請參照圖 9，三維記憶胞陣列 4000 包括：基底 4111、共用源極線 4315、半導體柱 4113、位元線 4331~4333、串選擇線 4291~4293 以及字元線 4211~4281。

串選擇線 4291~4293 延伸於第一方向、並在第三方向上重覆，相似於圖 1 的字元線 1291~1293。然而，字元線 4211~4281 以平面形狀延伸於第一方向與第三方向。相比之下，圖 1 的字元線 1211~1293 延伸於第一方向、並在第三方向上重覆。換言之，圖 1 的字元線 1211~1293 呈線形，被分為包括字元線 1211~1291 的第一字元組；包括字元線 1212~1292 的第二字元組；以及包括字元線 1213~1293 的第三字元組。

圖 9 的共用源極線 4315 延伸於第一方向與第三方向、並形成在基底 4111 上。然而，圖 1 的共用源極線 1311~1314 延伸於第一方向，並以平行的形式形成在第三方向上。

圖 10 是沿圖 9 的線 III-III' 所獲取的三維記憶胞陣列 4000 之剖面圖。

請參照圖 10，圖 9 的字元線 4211~4281 設置於半導體柱 4113 之間，且一個字元線設置成在一分層中的一線形。亦即，共用源極線 4315 形成為呈平面形，而半導體柱 4113 連接至共用源極線 4315。圖 10 的資料儲存層 1116 延伸於第二方向、並形成在半導體柱 4113 上。

如上所述，記憶胞陣列被形成為三維結構，以於小晶片範圍內創造大容量記憶體裝置。然而，具有一個三維結構的記憶胞陣列比具有兩個三維結構的記憶胞陣列更容易受到影響而發生錯誤。而且，具有一個三維結構的記憶胞陣列需要不同的修補操作去修補缺陷記憶胞。

圖 11 是依照本發明實施例所繪示的非揮發性記憶體裝置 100 之方塊圖。

請參照圖 11，非揮發性記憶體裝置 100 包括：主要記憶胞陣列 110、備份記憶胞陣列 120、頁緩衝區塊 130、輸入/輸出(I/O)介面 140、位址解碼器 150、保險絲區塊 160 以及控制邏輯電路 170。

主要記憶胞陣列 110 包括多數個記憶胞。主要記憶胞陣列 110 透過字元線 WL 連接至位址解碼器 150。主要記憶胞陣列 110 經由位元線 BL 連接至頁緩衝區塊 130。主要記憶胞陣

列 110 包括三維記憶胞陣列，例如圖 1 至圖 10 所示的實施例。

主要記憶胞陣列 110 的每個記憶胞儲存一位元資料或多重位元資料。能夠儲存一位元資料的記憶胞稱之為單階記憶胞 (single-level cell, SLC) 或單位元記憶胞；能夠儲存多重位元資料的記憶胞稱之為多階記憶胞 (multi level cell, MLC) 或多重位元記憶胞。

備份記憶胞陣列 120 包括多數個記憶胞。備份記憶胞陣列 120 透過字元線 WL 連接至主要記憶胞陣列 110。備份記憶胞陣列 120 透過備份位元線 (redundancy bit lines) RBL 連接至頁緩衝區塊 130。備份記憶胞陣列 120 包括三維記憶胞陣列，例如圖 1 至圖 10 所示的實施例。

在缺陷記憶胞存在於主要記憶胞陣列 110 之處，備份記憶胞陣列 120 的記憶胞取代此缺陷記憶胞。於一些實施例中，備份記憶胞陣列 120 在行分層 (column layer, CL) 的基礎上取代缺陷記憶胞，於圖 12 將作進一步的詳細描述。於一些實施例中，備份記憶胞陣列 120 在 NAND 串 NS 的基礎上取代缺陷記憶胞，於圖 13 將作進一步的詳細描述。

頁緩衝區塊 130 經由位元線 BL 連接至主要記憶胞陣列 110，以及透過備份位元線 RBL 連接至備份記憶胞陣列 120。頁緩衝區塊 130 包括多數個頁緩衝單元 PB1~PBm 與多數個備份頁緩衝單元 RPB1~RPBn。

於程式化操作時，頁緩衝區塊 130 從輸入/輸出介面 140 接收資料 (DATA)。由頁緩衝區塊 130 所接收的資料被選擇性地儲存於主要記憶胞陣列 110 或備份記憶胞陣列 120。例如，

在程式化操作要求主要記憶胞陣列 110 的缺陷記憶胞的對應位置之處，儲存於頁緩衝區塊 130 的資料透過備份位元線 RBL 而儲存於備份記憶胞陣列 120。另一方面，在程式化操作要求主要記憶胞陣列 110 的正常記憶胞的對應位置之處，儲存於頁緩衝區塊 130 的資料透過位元線 BL 而儲存於主要記憶胞陣列 110。

於讀取操作中，頁緩衝區塊 130 接收儲存於主要記憶胞陣列 110 與備份記憶胞陣列 120 的資料。由頁緩衝區塊 130 所接收的資料透過輸入/輸出介面 140 而傳送至外部裝置。例如，在讀取操作要求主要記憶胞陣列 110 的缺陷記憶胞之處，儲存於備份頁緩衝單元 RPB1~ RPBn 的資料透過輸入/輸出介面 140 而傳送至外部裝置。另一方面，在讀取操作要求主要記憶胞陣列 110 的正常記憶胞之處，儲存於頁緩衝單元 PB1~PBm 的資料透過輸入/輸出介面 140 傳送至外部裝置。

於程式化操作中，輸入/輸出介面 140 從外部裝置接收資料、且轉移至頁緩衝區塊 130。於讀取操作中，輸入/輸出介面 140 將儲存於頁緩衝區塊 130 的資料轉移至外部裝置。輸入/輸出介面 140 包括：行選擇器 141(column selector)、備份行選擇器 142(redundancy column selector)以及輸入/輸出多工器 (MUX) 143。

輸入/輸出多工器 143 從外部裝置接收資料(DATA)。輸入/輸出多工器 143 從保險絲區塊 160 接收代替訊號(replacement signal) REP。響應於代替訊號 REP，輸入/輸出多工器 143 選擇行選擇器 141 或備份行選擇器 142。例如，在代替訊號 REP

啟動之處，輸入/輸出多工器 143 選擇備份行選擇器 142。另一方面，在代替訊號 REP 停用之處，輸入/輸出多工器 143 選擇行選擇器 141。

行選擇器 141 連接至輸入/輸出多工器 143 與頁緩衝單元 PB1~PBm。在代替訊號 REP 停用之處，行選擇器 141 電性連接至頁緩衝單元 PB1~PBm 與輸入/輸出多工器 143。例如，在程式化操作中、代替訊號 REP 停用之處，由輸入/輸出多工器 143 所接收的資料經由行選擇器 141 而轉移至頁緩衝單元 PB1~PBm。另一方面，在讀取操作中、代替訊號 REP 停用之處，儲存於頁緩衝單元 PB1~PBm 的資料經由行選擇器 141 轉移至外部裝置。

備份行選擇器 142 連接至輸入/輸出多工器 143 與備份頁緩衝單元 RPB1~RPBn。在代替訊號 REP 啟動之處，備份行選擇器 142 電性連接至備份頁緩衝單元 RPB1~RPBn 與輸入/輸出多工器 143。例如，在程式化操作中、代替訊號 REP 啟動之處，由輸入/輸出多工器 143 所接收的資料經由備份行選擇器 142 而轉移至備份頁緩衝單元 RPB1~RPBn。另一方面，在讀取操作中、代替訊號 REP 啟動之處，儲存於備份頁緩衝單元 RPB1~RPBn 的資料經由備份行選擇器 142 轉移至外部裝置。

請參照圖 11，位址解碼器 150 從外部裝置接收位址 ADDR，且在控制邏輯電路 170 的控制之下進行位址 ADDR 的解碼。

位址 ADDR 包括：行分層位址 CL_ADDR、串選擇位址

SS_ADDR 以及列位址 ROW_ADDR。行分層位址 CL_ADDR 是用以選擇行分層 CL。串選擇位址 SS_ADDR 是用以選擇 NAND 串 NS 的串選擇電晶體 SST。列位址 ROW_ADDR 是用以選擇字元線 WL。

保險絲區塊 160 接收來自位址解碼器 150 的位址 ADDR，並比較該接收的位址 ADDR 與缺陷記憶胞的位址，來決定是否執行修補操作。例如，在該接收的位址 ADDR 等同於缺陷記憶胞的位址之處，保險絲區塊 160 轉移用以修補操作的保險絲資料 FD 給輸入/輸出介面 140。

於一些實施例中，在行分層基礎上執行修補操作。於上述實施例中，保險絲區塊 160 可以比較該接收的位址 ADDR 與缺陷記憶胞的位址，來決定是否執行修補操作，於圖 12 將作進一步的詳細描述。

於一些實施例中，在 NAND 串基礎上執行修補操作。於上述實施例中，保險絲區塊 160 可以比較從位址解碼器 150 所接收的串選擇位址 SS_ADDR 及行分層位址 CL_ADDR，與缺陷記憶胞的串選擇位址及行分層位址，來決定是否執行修補操作，於圖 13 將作進一步的詳細描述。

控制邏輯電路 170 控制非揮發性記憶體裝置 100 的整體運作。例如，控制邏輯電路 170 依據從外部裝置所接收的控制訊號 CTRL，而能控制程式化、讀取及抹除操作。

圖 12 是依照圖 11 本發明實施例所繪示的非揮發性記憶體裝置 100 之修補操作示意圖。圖 12 的修補操作在行分層基礎上執行。於圖 12 的描述，將假設缺陷記憶胞存在於第一行

分層 CL1。

請參照圖 12，保險絲區塊 160 包括多數個保險絲盒 FB_1~FB_n。每個保險絲盒 FB_1~FB_n 儲存缺陷記憶胞的位址資訊。例如，在行分層基礎上執行修補操作，保險絲盒 FB_1~FB_n 儲存缺陷記憶胞的行分層位址 CL_ADDR。特別是，缺陷記憶胞存在於第一行分層 CL1，保險絲盒 FB_1 可以儲存第一行分層的行分層位址。

保險絲區塊 160 從外部裝置接收行分層位址 CL_ADDR，並比較此接收的行分層位址 CL_ADDR、與儲存於保險絲盒 FB_1~FB_n 之缺陷記憶胞的行分層位址，來決定是否執行修補操作。例如，該接收的行分層位址 CL_ADDR 等同於儲存於保險絲盒 FB_1 之缺陷記憶胞的行分層位址，保險絲區塊 160 控制輸入/輸出多工器 143 與備份行選擇器 142，來選擇第一備份頁緩衝單元 RPB1。

於圖 12 的實施例，假設包含缺陷記憶胞的第一行分層 CL1 位址被儲存於保險絲盒 FB_1。進一步假設，該接收的行分層位址 CL_ADDR 等同於第一行分層 CL1 位址。

保險絲區塊 160 傳送一啟動代替訊號 REP 至輸入/輸出多工器 143。輸入/輸出多工器 143 響應於此啟動代替訊號 REP 而選擇備份行選擇器 142。另外，保險絲盒 FB_1 產生用於修補操作的保險絲資料 FD。例如，保險絲資料 FD<1> 包括：第一備份行分層 RCL1 的位址資訊，用以取代第一行分層 CL1。

備份行選擇器 142 響應於保險絲資料 FD，而選擇備份頁

緩衝單元 RPB1~RPBn。例如，備份行選擇器 142 響應於保險絲資料 FD<0>，而選擇第一備份頁緩衝單元 RPB1。據此，於程式化操作中，資料 DATA 透過輸入/輸出多工器 143、備份行選擇器 142 以及第一備份頁緩衝單元 RPB1，而儲存於第一備份行分層 RCL1。而且，於程式化操作中，資料 DATA 透過第一備份頁緩衝單元 RPB1、備份行選擇器 142 以及輸入/輸出多工器 143，而傳送至外部裝置。所以，第一行分層 CL1 代替第一備份行分層 RCL1。

另一方面，該接收的行分層位址 CL_ADDR 不等同於儲存於保險絲盒 FB_1 之缺陷記憶胞的行分層位址，保險絲區塊 160 控制輸入/輸出多工器 143 與行選擇器 141，來選擇對應於主要記憶胞陣列 110 之頁緩衝單元 PB1~PBm。

如上所述，三維記憶胞陣列 100 可以在行分層基礎上執行修補操作。在行分層基礎上執行修補操作，不考慮串選擇位址 SS_ADDR 而執行。

圖 13 是依照圖 11 本發明實施例所繪示的非揮發性記憶體裝置 100 之修補操作示意圖。圖 13 的修補操作是在 NAND 串基礎上執行。於圖 13 的實施例，假設缺陷記憶胞出現在 NAND 串 NS11 及 NS2m 的每一個。

請參照圖 13，保險絲區塊 160 包括多數個保險絲盒 FB_11~FB_n3。每個保險絲盒 FB_11~FB_n3 儲存缺陷記憶胞的位址資訊。在 NAND 串基礎上執行修補操作，每個保險絲盒 FB_11~FB_n3 儲存：包含缺陷記憶胞之 NAND 串的串選擇位址與行分層位址。

特別地，行分層位址 CL_ADDR 與串選擇位址 SS_ADDR 是必須的，以選擇一個 NAND 串 NS。例如，請參照圖 1 至圖 10，例如，一個位元線 BL 與一個串選擇線 SSL 被選擇，以選擇一個 NAND 串 NS。據此，在 NAND 串基礎上執行修補操作，每個保險絲盒 FB_11~FB_n3 儲存：缺陷記憶胞的串選擇位址 SS_ADDR 與行分層位址 CL_ADDR。

請參照圖 13，保險絲區塊 160 從外部裝置接收行分層位址 CL_ADDR 與串選擇位址 SS_ADDR。保險絲區塊 160 比較該接收的位址、與儲存於保險絲盒 FB_11~FB_n3 之缺陷記憶胞的位址，來決定是否執行修補操作。

於一些實施例中，儲存於保險絲盒 FB_11 的串選擇位址與 NAND 串 NS11 的行分層位址，以及從外部裝置所接收的串選擇位址 SS_ADDR 與行分層位址 CL_ADDR，等同於儲存於保險絲盒 FB_11 的串選擇位址與行分層位址。

於此實施例中，保險絲區塊 160 控制備份行選擇器 142 與輸入/輸出多工器 143，來選擇第一備份頁緩衝單元 RPB1。保險絲區塊 160 傳送一啟動代替訊號 REP 至輸入/輸出多工器 143，而輸入/輸出多工器 143 響應於此啟動代替訊號 REP 來選擇備份行選擇器 142。

保險絲盒 FB_11 產生用於修補操作的保險絲資料 FD<11>。例如，保險絲資料 FD<11> 可以包括：用以代替 NAND 串 NS11 之備份 NAND 串 RNS11 的串選擇位址與行分層位址。因此，在程式化操作與讀取操作執行之處，具有缺陷記憶胞的 NAND 串 NS11 被備份 NAND 串 RNS11 所代替。

於另一個實施例中，儲存於保險絲盒 FB_12 的串選擇位址與 NAND 串 NS2m 的行分層位址，以及從外部裝置接收的串選擇位址 SS_ADDR 與行分層位址 CL_ADDR，等同於儲存於保險絲盒 FB_12 的串選擇位址與行分層位址。

於此實施例中，保險絲區塊 160 傳送一啟動代替訊號 REP 至輸入/輸出多工器 143，而輸入/輸出多工器 143 響應於此啟動代替訊號 REP，來選擇備份行選擇器 142。

保險絲盒 FB_12 產生用於修補操作的保險絲資料 FD<12>。例如，保險絲資料 FD<12>可以包括：用以代替 NAND 串 NS2m 之備份 NAND 串 RNS21 的串選擇位址與行分層位址。因此，於程式化操作與讀取操作執行之處，具有缺陷記憶胞的 NAND 串 NS2m 被備份 NAND 串 RNS21 所代替。

如上所述，NAND 串 NS11 及 NS21，每個都具有缺陷記憶胞，各自被備份 NAND 串 RNS11 及 RNS21 所代替。備份 NAND 串 RNS11 及 RNS21 都位於相同的備份行分層。據此，在 NAND 串基礎上執行修補操作，產生於不同的行分層之缺陷記憶胞可被相同的備份行分層所代替。

於圖 11 至圖 13 的實施例中，假設每條位元線 BL 連接於三個 NAND 串。然而，於其他實施例中，每條位元線 BL 可以連接於至少兩個 NAND 串。而且，圖 12 保險絲盒 FB 的數量可以隨著連接於每條位元線 BL 之 NAND 串 NS 的數量而比例增加。

於圖 11 與圖 12 的實施例中，假設每個 NAND 串 NS 包括兩個記憶胞。然而，於其他實施例中，每個 NAND 串 NS

可以包括至少一個記憶胞。為了簡化例示，串選擇線 SSL 與字元線 WL 沒有繪示於圖 11 與圖 12 中。

於圖 10 至圖 12 的實施例中，假設主要記憶胞陣列 110 與備份記憶胞陣列 120 共享相同的字元線。亦即，假設主要記憶胞陣列 110 與備份記憶胞陣列 120 形成一個記憶體方塊。然而，於其他實施例中，主要記憶胞陣列 110 與備份記憶胞陣列 120 可以形成在不同的記憶體方塊中。

於圖 10 至圖 12 的實施例中，假設保險絲區塊 160 包括多數個保險絲盒。然而，於其他實施例中，保險絲盒可藉由施加強電流或雷射而能夠儲存資料。或者，保險絲盒可以被電子保險絲 (e-fuse) 所代替，該電子保險絲電性地儲存資料，或者，可以非揮發性記憶體來代替。

圖 14 是依照圖 13 本發明實施例所繪示的保險絲盒 FB_11 之電路圖。

請參照圖 14，保險絲盒 FB_11 包括：保險絲單元 161，用以儲存缺陷記憶胞的行分層位址，以及保險絲單元 162，用以儲存缺陷記憶胞的串選擇位址。在保險絲盒 FB_11 中的每個保險絲 F_10~ F_21 的程式狀態(或切斷狀態)等同於輸入位址之處，保險絲資料 FD<11>被啟動以選擇圖 11 的備份記憶胞陣列 120。

例如，在行分層基礎上執行修補操作，行分層位址 CL_ADDR 被施加至儲存有缺陷記憶胞的行分層位址的保險絲單元 161。在行分層位址 CL_ADDR 等同於缺陷記憶胞的行分層位址之處，保險絲盒 FB<11>被啟動以選擇備份記憶胞

陣列。

於另一個實施例中，在 NAND 串基礎上執行修補操作，行分層位址 CL_ADDR 與串選擇位址 SS_ADDR 被分別施加到儲存有缺陷記憶胞的行分層位址之保險絲單元 161 以及儲存有缺陷記憶胞的串選擇位址之保險絲單元 162。在行分層位址 CL_ADDR 等同於缺陷記憶胞的行分層位址之處，且在串選擇位址 SS_ADDR 等同於缺陷記憶胞的串選擇位址之處，保險絲盒 FB<11> 被啟動以選擇備份 NAND 串。

於圖 14 的實施例中，串選擇位址 SS_ADDR 對應於三位元之位址位元 A27~A29。然而，於其他實施例中，串選擇位址 SS_ADDR 可根據連接至每一條位元線的 NAND 串 NS 的數量而變化。

圖 15 是依照本發明實施例所繪示的非揮發性記憶體裝置 200 之方塊圖。

圖 15 的非揮發性記憶體裝置 200 之修補操作相似於圖 11 的非揮發性記憶體裝置 100 之修補操作。圖 15 的非揮發性記憶體裝置 200 與圖 11 的非揮發性記憶體裝置 100，不同在於：非揮發性記憶體裝置 200 在非揮發性記憶體中儲存缺陷記憶胞的位址資訊。因此，以下圖 15 的描述將著重於非揮發性記憶體裝置 200 與非揮發性記憶體裝置 100 之間不同的地方。

請參照圖 15，非揮發性記憶體裝置 200 包括：主要記憶胞陣列 211、備份記憶胞陣列 212、備用區塊 213 (spare block)、頁緩衝區塊 220、輸入/輸出介面 230、修補位置儲存

電路 240、位址解碼器 250、修補控制單元 260、控制邏輯電路 270 以及供電檢測器 280 (power-up detector)。

主要記憶胞陣列 211 包括多數個記憶胞，用以儲存資料。假設主要記憶胞陣列 211 包括圖 1 至圖 10 的三維記憶胞陣列中的其中一個。

備份記憶胞陣列 212 包括多數個記憶胞，用於代替主要記憶胞陣列 211 的缺陷記憶胞。假設備份記憶胞陣列 212 包括圖 1 至圖 10 的三維記憶胞陣列中的其中一個。

備用區塊 213 儲存主要記憶胞陣列 211 之缺陷記憶胞的位址資訊。藉由供電檢測器 280 檢測到供電操作，儲存於備用區塊 213 之缺陷記憶胞的位址資訊，透過頁緩衝區塊 220 及輸入/輸出介面 230 而轉移至修補位置儲存電路 240。

於一些實施例中，在行分層基礎上執行修補操作，備用區塊 213 儲存缺陷記憶胞的行分層位址。於另一個實施例中，在 NAND 串基礎上執行修補操作，備用區塊 213 儲存缺陷記憶胞的串選擇位址與行分層位址。

與圖 11 的保險絲區塊 160 不同，備用區塊 213 包括非揮發性記憶體。據此，缺陷記憶胞的位址資訊被儲存於備用區塊 213 的非揮發性記憶體。於一些實施例中，備用區塊 213 與主要記憶胞陣列 211 結合成一個方塊。據此，三維記憶胞陣列的一部份被分配給主要記憶胞陣列 211，而另一部份被分配給備用區塊 213。例如，於圖 6 的實施例中，對應於第一位元線 WL1 與第二位元線 WL2 的記憶胞可以被分配給備用區塊 213，且對應於第三位元線 WL3 至第五位元線 WL3~WL5

的記憶胞可以被分配給主要記憶胞陣列 211。

於一些實施例中，備用區塊 213 可形成為與主要記憶胞陣列 211 不同的方塊。於上述實施例中，備用區塊 213 可以取得圖 1 至圖 10 的三維記憶胞陣列中的其中一個的型式。一般來說，備用區塊 213 可以使用非揮發性記憶體的任何幾個類型來執行，例如，PRAM、RRAM、FRAM 以及快閃記憶體。

於圖 15 的實施例中，頁緩衝區塊 220 連接至備用區塊 213。亦即，頁緩衝區塊 220 連接至主要記憶胞陣列 211 與備份記憶胞陣列 212。頁緩衝區塊 220 相似於圖 11 的頁緩衝區塊 130，因此將省略詳細描述以避免重覆。

輸入/輸出介面 230 連接至頁緩衝區塊 220 與修補位置儲存電路 240。輸入/輸出介面 230 響應於修補控制單元 260 的控制，來選擇主要記憶胞陣列 211 或備份記憶胞陣列 212。輸入/輸出介面 230 相似於圖 11 的輸入/輸出介面 140，因此將省略詳細描述以避免重覆。

修補位置儲存電路 240 連接至輸入/輸出介面 230。藉由供電檢測器 280 檢測到供電操作，儲存於備用區塊 213 之缺陷記憶胞的儲存位址資訊，透過頁緩衝區塊 220 及輸入/輸出介面 230 而轉移至修補位置儲存電路 240。修補位置儲存電路 240 儲存陷記憶胞的接收位址。亦即，接收到用以讀/寫操作的要求，修補位置儲存電路 240 提供缺陷記憶胞的儲存位址資訊給修補控制單元 260。

位址解碼器 250 經由字元線 WL 連接至主要記憶胞陣列 211。位址解碼器 250 從外部裝置接收位址 ADDR、並轉移行

分層位址 CL_ADDR 與串選擇位址 SS_ADDR 至修補控制單元 260。位址解碼器 250 相似於圖 11 的位址解碼器 150，因此將省略詳細描述以避免重覆。

修補控制單元 260 從修補位置儲存電路 240 接收缺陷記憶胞的位址資訊。修補控制單元 260 從位址解碼器 250 接收行分層位址 CL_ADDR 與串選擇位址 SS_ADDR。基於此接收位址，修補控制單元 260 決定是否執行修補操作。

於一些實施例中，在行分層基礎上執行修補操作，修補控制單元 260 從位址解碼器 250 接收行分層位址 CL_ADDR。修補控制單元 260 比較此行分層位址 CL_ADDR 與從修補位置儲存電路 240 接收的缺陷記憶胞行分層位址。

從位址解碼器 250 接收的行分層位址 CL_ADDR 等同於缺陷記憶胞的行分層位址時，修補控制單元 260 控制輸入/輸出介面 230 來選擇備份記憶胞陣列 212。此操作相似於圖 10 與圖 11，因此將省略詳細描述以避免重覆。

於一些實施例中，在 NAND 串基礎上執行修補操作時，修補控制單元 260 從位址解碼器 250 接收串選擇位址 SS_ADDR 與行分層位址 CL_ADDR。修補控制單元 260 將串選擇位址 SS_ADDR 及行分層位址 CL_ADDR，與缺陷記憶胞的串選擇位址及行分層位址進行比較。

從位址解碼器 250 接收的串選擇位址 SS_ADDR 及行分層位址 CL_ADDR 等同於缺陷記憶胞的串選擇位址及行分層位址，修補控制單元 260 控制輸入/輸出介面 230 來選擇備份記憶胞陣列 212。此操作相似於圖 12 與圖 13，因此將省略詳

細描述以避免重覆。

供電檢測器 280 檢測非揮發性記憶體裝置 200 的供電操作。換言之，當非揮發性記憶體裝置 200 電源開啟時，供電檢測器 280 將轉移供電檢測訊號(power-up detection signal) PUSN 至控制邏輯電路 270。

控制邏輯電路 270 從外部裝置接收控制訊號 CTRL，以及從供電檢測器 280 接收供電檢測訊號 PUSN。控制邏輯電路 270 控制非揮發性記憶體裝置 200 的整體運作。依據從供電檢測器 280 接收的供電檢測訊號 PUSN，控制邏輯電路 270 控制修補位置儲存電路 240，以儲存包含於備用區塊 213 的資料。

圖 16 是依照圖 15 本發明實施例所繪示的非揮發性記憶體裝置 200 之修補操作流程圖。以下的描述，以括號表示實施例方法的步驟。

請參照圖 16，圖 15 的供電檢測器 280 檢測供電(步驟 S110)。例如，當供電電壓被施加到非揮發性記憶體裝置 200，供電解碼器 280 檢測供電電壓、並轉移供電檢測訊號 PUSN 至控制邏輯電路 270。

接著，從備用區塊 213 讀取缺陷記憶胞的位址資訊(步驟 S120)。例如，藉由供電檢測器 280 檢測到供電操作，將儲存於備用區塊 213 的缺陷記憶胞之位址資訊，透過頁緩衝區塊 220 及輸入/輸出介面 230 而傳送至修補位置儲存電路 240。在行分層基礎上執行修補操作，備用區塊 213 儲存缺陷記憶胞的行分層位址。據此，將儲存於備用區塊 213 的缺陷記憶胞之行分層位址轉移至修補位置儲存電路 240。或者，在 NAND 串

基礎上執行修補操作，備用區塊 213 儲存缺陷記憶胞的串選擇位址及行分層位址。據此，將儲存於備用區塊 213 之缺陷記憶胞的串選擇位址及行分層位址傳送至修補位置儲存電路 240。

接著，修補控制單元 260 比較從修補位置儲存電路 240 接收之缺陷記憶胞的位址，與從位址解碼器 250 接收的位址(步驟 S130)。在行分層基礎上執行修補操作，修補控制單元 260 比較缺陷記憶胞的行分層位址，與從位址解碼器 250 接收的行分層位址 CL_ADDR。或者，在 NAND 串基礎上執行修補操作，修補控制單元 260 比較缺陷記憶胞的串選擇位址及行分層位址，與從位址解碼器 250 接收的串選擇位址 SS_ADDR 及行分層位址 CL_ADDR。

再來，決定缺陷記憶胞的位址是否等同於從位址解碼器 250 接收的位址(步驟 S140)。缺陷記憶胞的位址等同於從位址解碼器 250 接收的位址(步驟 S140=Yes)，執行修補操作(步驟 S150)。否則(步驟 S140=No)，此方法結束。

在行分層基礎上執行修補操作，修補控制單元 260 控制輸入/輸出介面 230，以致於缺陷記憶胞的行分層被替換成備份記憶胞陣列 212 的行分層。或者，在 NAND 串基礎上執行修補操作，修補控制單元 260 控制輸入/輸出介面 230，以致於缺陷記憶胞的 NAND 串被替換成備份記憶胞陣列 212 的 NAND 串。

圖 17 是依照本發明實施例所繪示的、包括非揮發性記憶體裝置之 SSD 系統 10 的方塊圖。

請參照圖 17，SSD 系統 10 包括：主機 11 及 SSD12。SSD12

透過訊號連接器 12q 與主機 11 通訊，並透過電源連接器 12r 接收電源。SSD12 包括：多數個非揮發性記憶體(NVM)裝置 12a~12n、SSD 控制器 12o 以及輔助電源供應器單元 12p。

非揮發性記憶體裝置 12a~12n 被用作 SSD12 的儲存媒體。可以使用具有大儲存容量的快閃記憶體裝置來實施非揮發性記憶體 12a~12n。SSD12 通常使用快閃記憶體，也可以使用其他非揮發性記憶體裝置，例如，PRAMs、MRAMs、ReRAMs 以及 FRAMs。

於圖 17 中，非揮發性記憶體裝置 12a~12n 至少一個包括：於圖 11 的非揮發性記憶體裝置 100 或圖 15 的非揮發性記憶體裝置 200。據此，如上所述，非揮發性記憶體裝置可以包括三維記憶胞陣列。

非揮發性記憶體裝置 12a~12n 透過多數個通道 CH1~CHn 而連接至 SSD 控制器 12o。一個或多個記憶體裝置被連接至每個通道。連接至一個通道的記憶體裝置通常被連接到相同的資料匯流排。

SSD 控制器 12o 透過訊號連接器 12q 而與主機 11 交換訊號 SGL。訊號 SGL 通常包括指令、位址以及資料。為了響應來自於主機 11 的指令，SSD 控制器 12o 對於非揮發性記憶體 NVM 裝置 12a~12n 中的資料進行寫入與讀取。SSD 控制器 12o 的內部結構將參照圖 18 而進行描述。

輔助電源供應器單元 12p 透過電源連接器 12r 而連接至主機 11。輔助電源供應器單元 12p 從主機 11 接收電源 PWR 來充電。輔助電源供應器單元 12p 可以位於 SSD12 的內部或

外部。例如，輔助電源供應器單元 12p 可以位於主機板上，以提供輔助電源給 SSD12p。

圖 18 是 SSD 控制器 20 之方塊圖。圖 18 的 SSD 控制器 20 可以用作圖 17 的 SSD 控制器 12o。

請參照圖 18，SSD 控制器 20 包括：中央處理單元 (CPU)21、主機介面 (I/F) 22、揮發性記憶體 (VM) 裝置 23 以及非揮發性記憶體介面 (I/F) 24。

CPU21 分析與處理從主機 11 所接收的訊號 SGL。CPU21 透過主機介面 22 或非揮發性記憶體介面 24，來控制主機 11 或非揮發性記憶體裝置 12a~12n。CPU21 根據用來驅動 SSD12 的韌體，來控制非揮發性記憶體裝置 12a~12n 的操作。

根據主機 11 的協定，主機介面 22 提供位於主機 11 與 SSD12 之間的介面。舉例而言，主機介面 22 可以利用協定與主機 11 連繫，該協定例如是通用序列匯流排 (universal serial bus, USB)、小電腦系統介面 (small computer system interface, SCSI)、週邊元件互連 (peripheral component interconnect, PCI) 表示、進階技術連接 (serial advanced technology attachment, ATA)、平行進階技術連接 (parallel ATA, PATA)、序列進階技術連接 (serial ATA, SATA) 以及串列附加 SCSI (serial attached SCSI, SAS)。亦即，主機介面 22 可以執行磁碟模擬功能，使得主機 11 連接於 SSD12 作為硬碟機 (hard disk drive, HDD)。

揮發性記憶體裝置 23 暫時地儲存從主機 11 接收的寫入資料、或從非揮發性記憶體裝置 12a~12n 取回的讀取資料。

另外，揮發性記憶體裝置 23 儲存：快取資料、或被儲存於非揮發性記憶體裝置 12a~12n 的背景資料 (meta data)。突發的電源關閉操作時，快取資料或儲存於揮發性記憶體裝置 23 的背景資料，被儲存在於非揮發性記憶體裝置 12a~12n。揮發性記憶體裝置 23 例如可以藉由 DRAM 或 SRAM 而實施。

非揮發性記憶體介面 24 將從揮發性記憶體裝置 23 接收的資料分配到通道 CH1~CHn。非揮發性記憶體介面 24 也將從非揮發性記憶體裝置 12a~12n 所讀取的資料轉移至揮發性記憶體裝置 23。於一些實施例中，非揮發性記憶體介面 24 使用 NAND 快閃記憶體介面格式，且 SSD 控制器 20 依照 NAND 快閃記憶體介面格式來執行程式化、讀取及抹除操作。

圖 19 是依照本發明實施例包括非揮發性記憶體裝置的資料儲存裝置 30 之方塊圖。

請參照圖 19，資料儲存裝置 30 包括：記憶體控制器 31 及快閃記憶體裝置 32。例如，資料儲存裝置 30 的種類包括：可攜帶移動儲存裝置及記憶卡。

記憶體控制器 31 包括：CPU31a、主機介面 31b、RAM31c、快閃介面 31d 以及輔助電源供應器單元 31e。輔助電源供應器單元 31e 可以位於記憶體控制器 31 的內部或外部。

資料儲存裝置 30 在使用期間連接至主機。資料儲存裝置 30 透過主機介面 31b 與主機連繫、並透過快閃介面 31d 而提供資訊至快閃記憶體裝置 32。資料儲存裝置 30 從主機接收電源以執行內部操作。

快閃記憶體裝置 32 可以取得圖 11 或圖 15 所繪示的快

閃記憶體裝置 100 或 200 的型式。據此，如上所述，快閃記憶體裝置 32 可以包括三維記憶胞陣列。

圖 20 是依照本發明實施例所繪示的、包括非揮發性記憶體裝置之記憶卡的外部形狀示意圖。特別是，圖 20 繪示 SD 卡的外部形狀圖。

請參照圖 20，SD 卡包括九個接腳(pins)，包含：四個資料接腳 1、7、8 及 9，一個指令接腳 2，一個時脈接腳 5 以及三個電源接腳 3、4 及 6。指令訊號 (command signals) 與反應訊號 (response signals) 經由指令接腳 2 而在 SD 卡與主機之間轉移。

圖 21 是包括圖 20 所繪示的記憶卡之記憶卡系統 40 的方塊圖。

請參照圖 21，記憶卡系統 40 包括：主機 41 及記憶卡 42。主機 41 包括主機控制器 41a 及主機連接單元 41b。記憶卡 42 包括：記憶卡連接單元 42a、記憶卡控制器 42b 以及記憶體 42c。

主機連接單元 41b 與記憶卡連接單元 42a 每個都包括多數個接腳，例如，指令接腳、資料接腳、時脈接腳以及電源接腳。接腳的數量取決於記憶卡 42 的類型，例如，SD 卡有九個接腳。

主機 41 對於記憶卡 42 中的資料進行寫入與讀取。主機控制器 41a 透過主機連接單元 41b，而傳送指令 CMD、時脈訊號 CLK 以及資料 DAT 至記憶卡 42。

響應於經由記憶卡連接單元 42a 而接收的寫入指令，記

憶卡控制器 42b 將資料儲存在記憶體 42c 中，且與藉由記憶卡控制器 42b 中的時脈產生器產生之時脈訊號為同步。記憶體 42c 儲存從主機 41 接收的資料，例如，主機 41 為數位相機，記憶體 42c 儲存影像資料。

記憶體 42c 可以取得圖 11 或圖 15 所繪示的非揮發性記憶體裝置 100 或 200 的型式。據此，承上所述，記憶體 42c 可以包括三維記憶胞陣列。

圖 22 是依照本發明實施例包括非揮發性記憶體裝置的電子裝置 50 之方塊圖。例如，電子裝置 50 的種類包括個人電腦(PCs)以及攜帶型電子裝置，如筆記型電腦、行動電話、個人數位助理(PDAs)以及照相機。

請參照圖 22，電子裝置 50 包括：半導體記憶體裝置 51、電源供應器單元 53、輔助電源供應器單元 52、CPU54、RAM55 以及使用者介面 56。半導體記憶體裝置 51 包括快閃記憶體裝置 51a 以及記憶體控制器 51b。電子裝置 50 的特徵藉由匯流排而互相連接。

快閃記憶體裝置 51a 可以取得從圖 11 或圖 15 所繪示的非揮發性記憶體裝置 100 或 200 的型式。據此，承上所述，快閃記憶體裝置 51a 可以包括三維記憶胞陣列。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是依照本發明實施例所繪示的三維記憶胞陣列 1000 之透視圖。

圖 2 是沿圖 1 的線 I-I' 所獲取三維記憶胞陣列 1000 之剖面圖。

圖 3 繪示圖 2 的電晶體結構 TS 之剖面圖。

圖 4 是圖 1 至圖 3 的三維記憶胞陣列 1000 之等效電路圖。

圖 5 是依照圖 1 至圖 3 的三維記憶胞陣列 1000 之另一等效電路圖。

圖 6 是依照本發明實施例所繪示的三維記憶胞陣列 2000 之透視圖。

圖 7 是沿圖 6 的線 II-II' 所獲取的三維記憶胞陣列 2000 之剖面圖。

圖 8 是依照本發明實施例所繪示的三維記憶胞陣列 3000 之透視圖。

圖 9 是依照本發明實施例所繪示的三維記憶胞陣列 4000 之透視圖。

圖 10 是沿圖 9 的線 III-III' 所獲取的三維記憶胞陣列 4000 之剖面圖。

圖 11 是依照本發明實施例所繪示的非揮發性記憶體裝置 100 之方塊圖。

圖 12 是依照圖 11 本發明實施例所繪示的非揮發性記憶體裝置 100 之修補操作示意圖。

圖 13 是依照圖 11 本發明實施例所繪示的非揮發性記憶體裝置 100 之修補操作示意圖。

圖 14 是依照圖 13 本發明實施例所繪示的保險絲盒 FB_11 之電路圖。

圖 15 是依照本發明實施例所繪示的非揮發性記憶體裝置 200 之方塊圖。

圖 16 是依照圖 15 本發明實施例所繪示的非揮發性記憶體裝置 200 之修補操作流程圖。

圖 17 是依照本發明實施例所繪示的、包括非揮發性記憶體裝置之 SSD 系統 10 的方塊圖。

圖 18 是依照圖 17 所繪示的 SSD 控制器 20 之方塊圖。

圖 19 是依照本發明實施例包括非揮發性記憶體裝置的資料儲存裝置 30 之方塊圖。

圖 20 是依照本發明實施例所繪示的、包括非揮發性記憶體裝置之記憶卡的外部形狀示意圖。

圖 21 是包括圖 20 所繪示的記憶卡之記憶卡系統的方塊圖。

圖 22 是依照本發明實施例包括非揮發性記憶體裝置的電子裝置 50 之方塊圖。

【主要元件符號說明】

10：SSD 系統

11：主機

12：SSD

12a~12n：非揮發性記憶體裝置

12p：輔助電源供應器單元

12q：訊號連接器

- 12r：電源控制器
- 20：SSD 控制器
- 21：CPU
- 22：主機介面
- 23：揮發性記憶體裝置
- 24：非揮發性記憶體介面
- 30：資料儲存裝置
- 31：記憶體控制器
- 31a：CPU
- 31b：主機介面
- 31c：RAM
- 31d：快閃介面
- 31e：輔助電源供應器單元
- 32：快閃記憶體裝置
- 40：記憶卡系統
- 41：主機
- 41a：主機控制器
- 41b：主機連接單元
- 42：記憶卡
- 42a：記憶卡連接單元
- 42b：記憶卡控制器
- 42c：記憶體
- 50：電子裝置
- 51：導體記憶體裝置

- 51a：快閃記憶體裝置
- 51b：記憶體控制器
- 52：輔助電源供應器單元
- 53：電源供應器單元
- 54：CPU
- 55：RAM
- 56：使用者介面
- 100：非揮發性記憶體裝置
- 110：主要記憶胞陣列
- 120：備份記憶胞陣列
- 130：頁緩衝區塊
- 140：輸入/輸出介面
- 141：行選擇器
- 142：備份選擇器
- 143：輸入/輸出多工器
- 150：位址解碼器
- 160：保險絲區塊
- 161、162：保險絲單元
- 170：控制邏輯電路
- 200：非揮發性記憶體裝置
- 211：主要記憶胞陣列
- 212：備份記憶胞陣列
- 213：備用區塊
- 220：頁緩衝區塊

- 230：輸入/輸出介面
- 240：修補位置儲存電路
- 250：位址解碼器
- 260：修補控制單元
- 270：控制邏輯電路
- 280：供電檢測器
- 1000：三維記憶胞陣列
- 1111：基底
- 1112：介電層
- 1113：半導體柱
- 1114：第一基體
- 1115：第二基體
- 1116：資料儲存層
- 1117：穿隧絕緣層
- 1118：電荷儲存層
- 1119：阻擋絕緣層
- 1211、1221、1231、1241、1251、1261、1271、1281、
1291：字元線
- 1212、1222、1232、1242、1252、1262、1272、1282、
1292：字元線
- 1213、1223、1233、1243、1253、1263、1273、1283、
1293：字元線
- 1233：字元線
- 1311~1314：共源極線

1320：汲極

1331~1333：位元線

1st Direction~3rd Direction：第一方向~第三方向

2000：三維記憶胞陣列

2111：基底

2113：半導體柱

2211、2221、2231、2241、2251、2261、2271、2281、

2291：字元線

2212、2222、2232、2242、2252、2262、2272、2282、

2292：字元線

2213、2223、2233、2243、2253、2263、2273、2283、

2293：字元線

2116：資料儲存層

2315：共用源極線

2331~2333：位元線

3000：三維記憶胞陣列

3116：資料儲存層

3211a、3221a、3231a、3241a、3251a、3261a、3271a、

3281a、3291a：字元線

3213b、3223b、3233b、3243b、3253b、3263b、3273b、

3283b、3293b：字元線

3331~3333：位元線

4000：三維記憶胞陣

4111：基底

4113：半導體柱
4116：資料儲存層
4211、4221、4231、4241、4251、4261、4271、4281：
字元線
4291~4293：串選擇線
4315：共用源極線
4331~4333：位元線
ADDR：位址
BL、BL1~BLm：位元線
CH1~CHn：通道
CL_ADDR：行分層位址
CL：行分層
CLK：時脈訊號
CMD：指令
CSL：共用源極線
CTRL：控制訊號
DAT、DATA：資料
FB_1~FB_n：保險絲盒
FD<1>、FD<11>、FD<12>：保險絲資料
GSL：接地選擇線
GST：接地選擇電晶體
LTR：橫向電晶體
MC1~MC7：記憶胞
NS11~NS1m、NS21~NS2m、NS31~NS3m：NAND 串

PB1~PBm：頁緩衝單元

RCL：行分層

RBL：備份位元線

REP：代替訊號

RNS11~RNS1n、RNS21~RNS2n、RNS31~RNS3n：備份 NAND 串

RPB1~RPBn：備份頁緩衝單元

S110~S150：步驟

SS_ADDR：串選擇位址

SSL1：串選擇線

SST：串選擇電晶體

TS：電晶體結構

WL：字元線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： **100105091**

※ 申請日期： 100.2.16

※IPC 分類： G11C 29/04 2006.01

一、發明名稱：(中文/英文)

執行缺陷記憶胞之修補操作的非揮發性記憶體裝置與系統

NONVOLATILE MEMORY DEVICE AND SYSTEM
PERFORMING REPAIR OPERATION FOR DEFECTIVE
MEMORY CELL

二、中文發明摘要：

一種非揮發性記憶體裝置，包括：主要記憶胞陣列、備份記憶胞陣列以及控制器。主要記憶胞陣列包括多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於基底。備份記憶胞陣列包括：多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於所述基底。控制器配置成用以控制所述備份位元線的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。

三、英文發明摘要：

A nonvolatile memory device comprises a main memory cell array, a redundancy memory cell array, and a controller. The main memory cell array comprises a plurality of bit lines each connected to a plurality of strings arranged perpendicular to a substrate. The redundancy memory cell array comprises a plurality of redundancy bit lines each connected to a plurality of redundancy strings arranged perpendicular to the substrate. The controller is configured to control one of the redundancy bit lines to repair strings in the main memory cell array.

四、指定代表圖：

(一) 本案之指定代表圖：圖 11

(二) 本代表圖之元件符號簡單說明：

100：非揮發性記憶體裝置

110：主要記憶胞陣列

120：備份記憶胞陣列

130：頁緩衝區塊

140：輸入/輸出介面

141：行選擇器

142：備份選擇器

143：輸入/輸出多工器

150：位址解碼器

七、申請專利範圍：

1. 一種非揮發性記憶體裝置，包括：

一主要記憶胞陣列，包括：多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於一基底；

一備份記憶胞陣列，包括：多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於所述基底；以及

一控制器，配置成用以控制所述備份位元線的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。

2. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述控制器包括：

一行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述位元線其中之一。

3. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，該控制器包括：

一備份行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述備份位元線其中之一。

4. 如申請專利範圍第 3 項所述的非揮發性記憶體裝置，其中，所述備份行選擇器儲存：具有一缺陷記憶胞的串的一串選擇位址與一行分層位址。

5. 如申請專利範圍第 4 項所述的非揮發性記憶體裝置，其中，具有所述缺陷記憶胞的所述串之所述串選擇位

址及所述行分層位址被儲存於一保險絲盒中。

6. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，更包括：

一備用區塊，包括：多數個記憶胞；且

所述備用區塊儲存具有一缺陷記憶胞的串的一串選擇位址及一行分層位址。

7. 如申請專利範圍第 6 項所述的非揮發性記憶體裝置，其中，所述控制器包括一儲存電路，設置成：用以接收包含一缺陷記憶胞的所述串的一串選擇位址與一行分層位址，將所述串選擇位址與所行分層位址儲存於所述備用區塊、且所述儲存電路響應於一供電檢測訊號。

8. 如申請專利範圍第 7 項所述的非揮發性記憶體裝置，其中，該控制器更包括一電源供應檢測器，設置成：依據檢測到電源被提供到所述非揮發性記憶體裝置，而產生所述供電檢測訊號。

9. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述記憶胞陣列中的所述串與所述備份記憶胞陣列中的所述備份串共享相同的字元線。

10. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述位元線與所述備份位元線排列在平行於所述基底的一方向中。

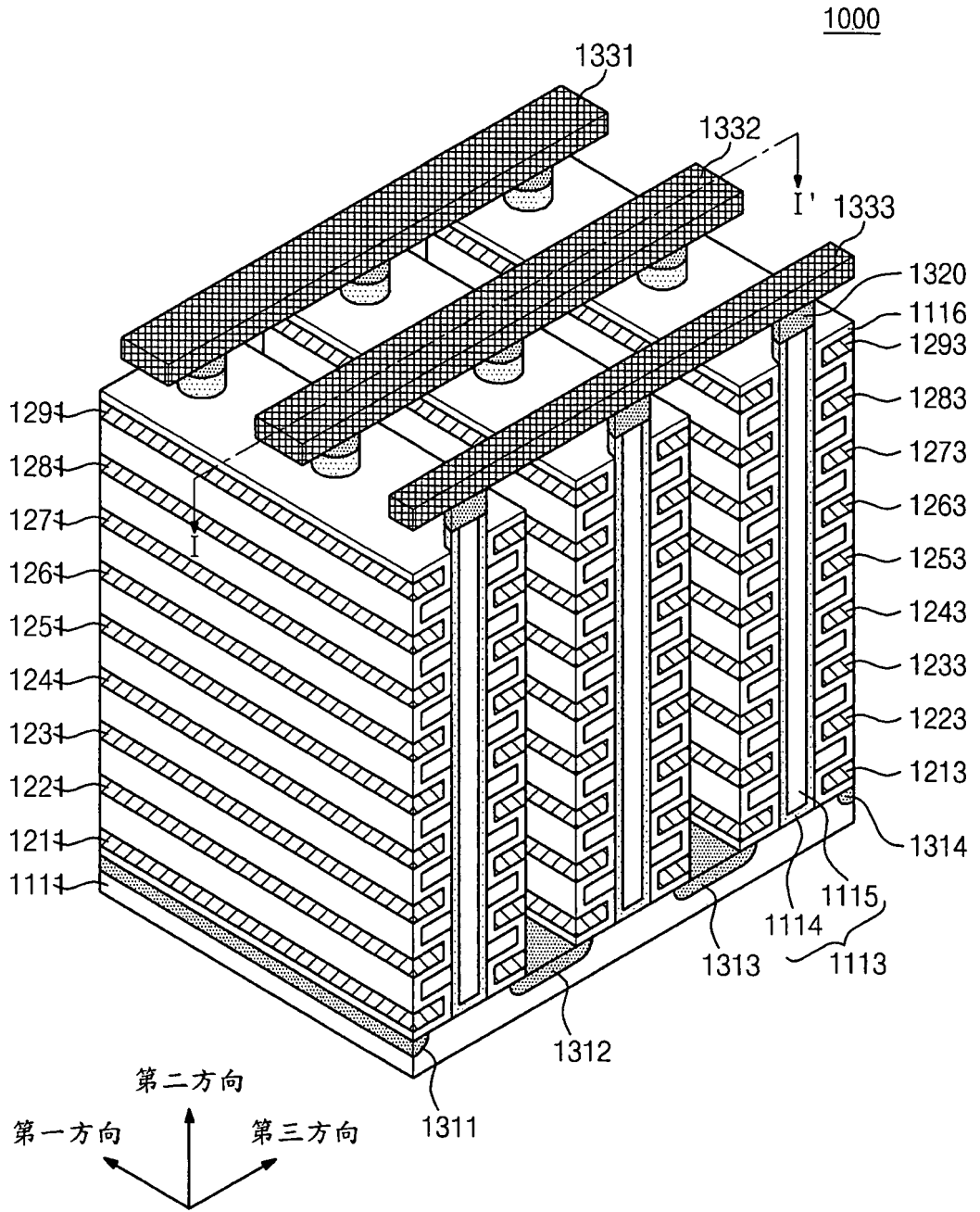


圖 1

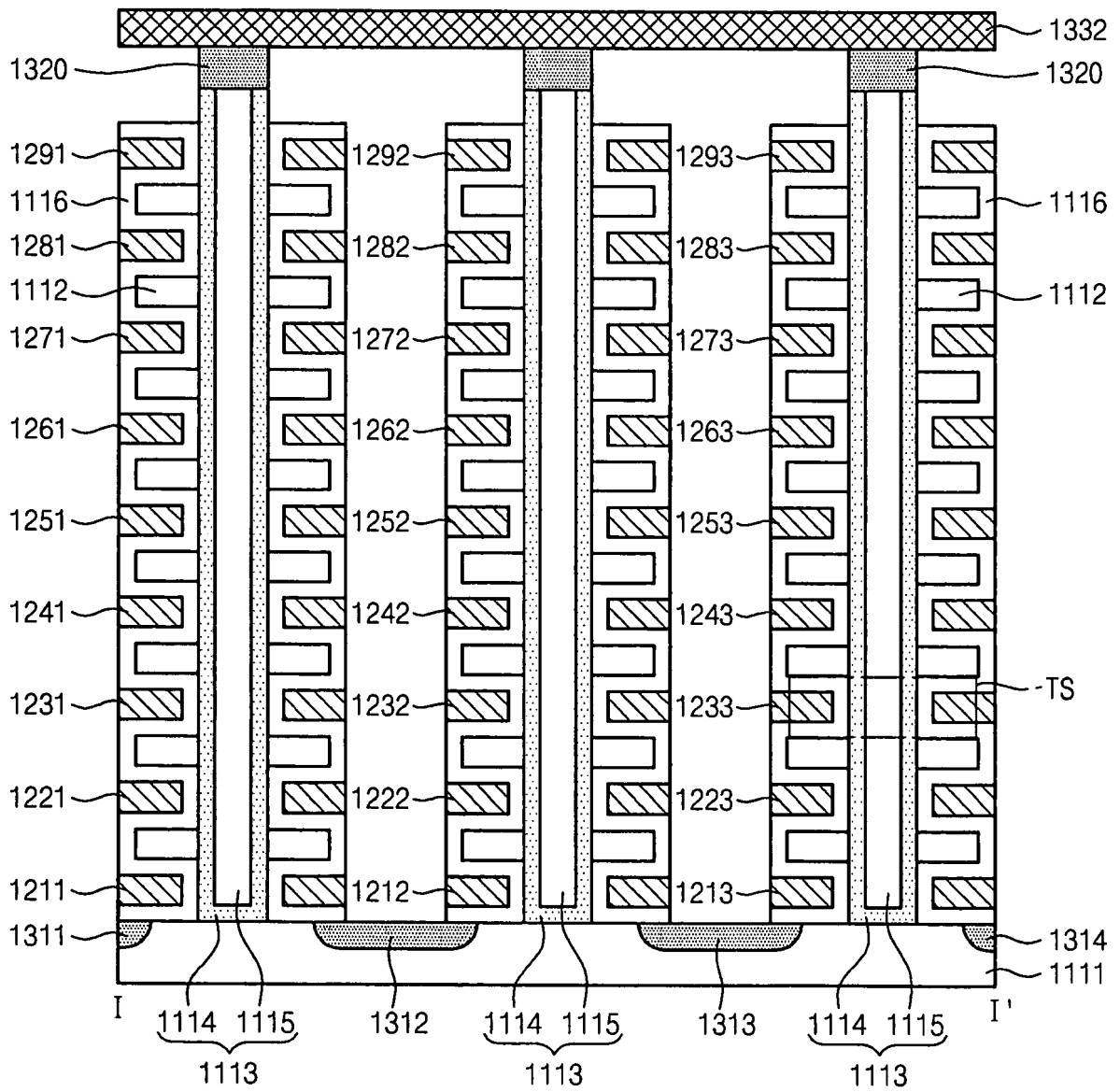


圖 2

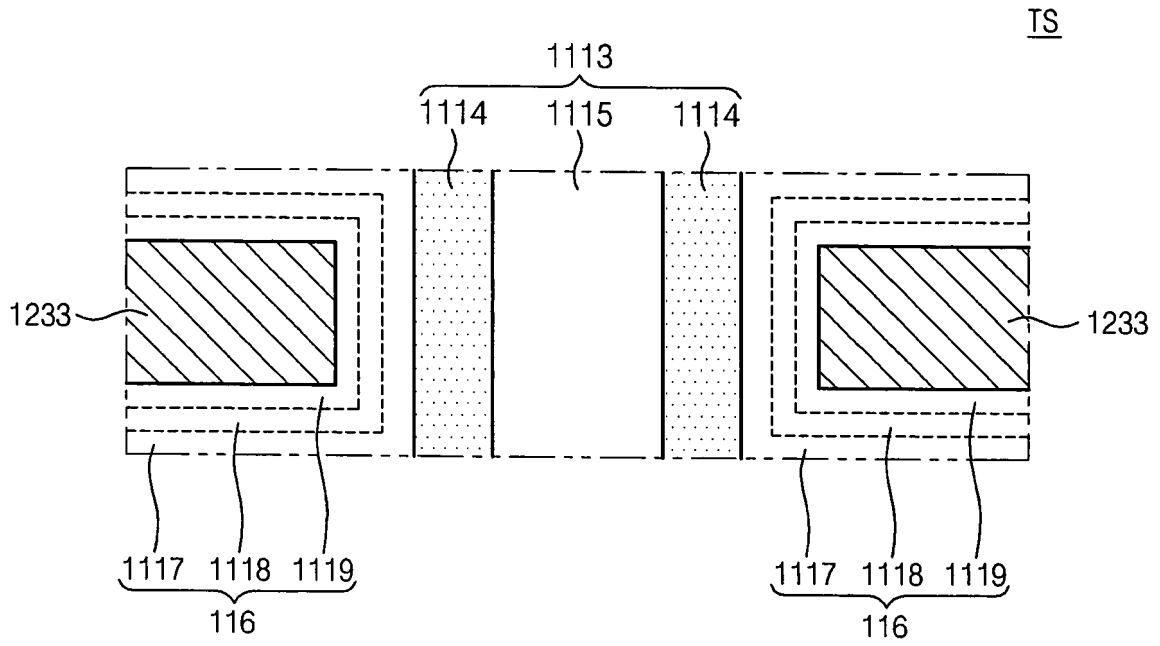


圖 3

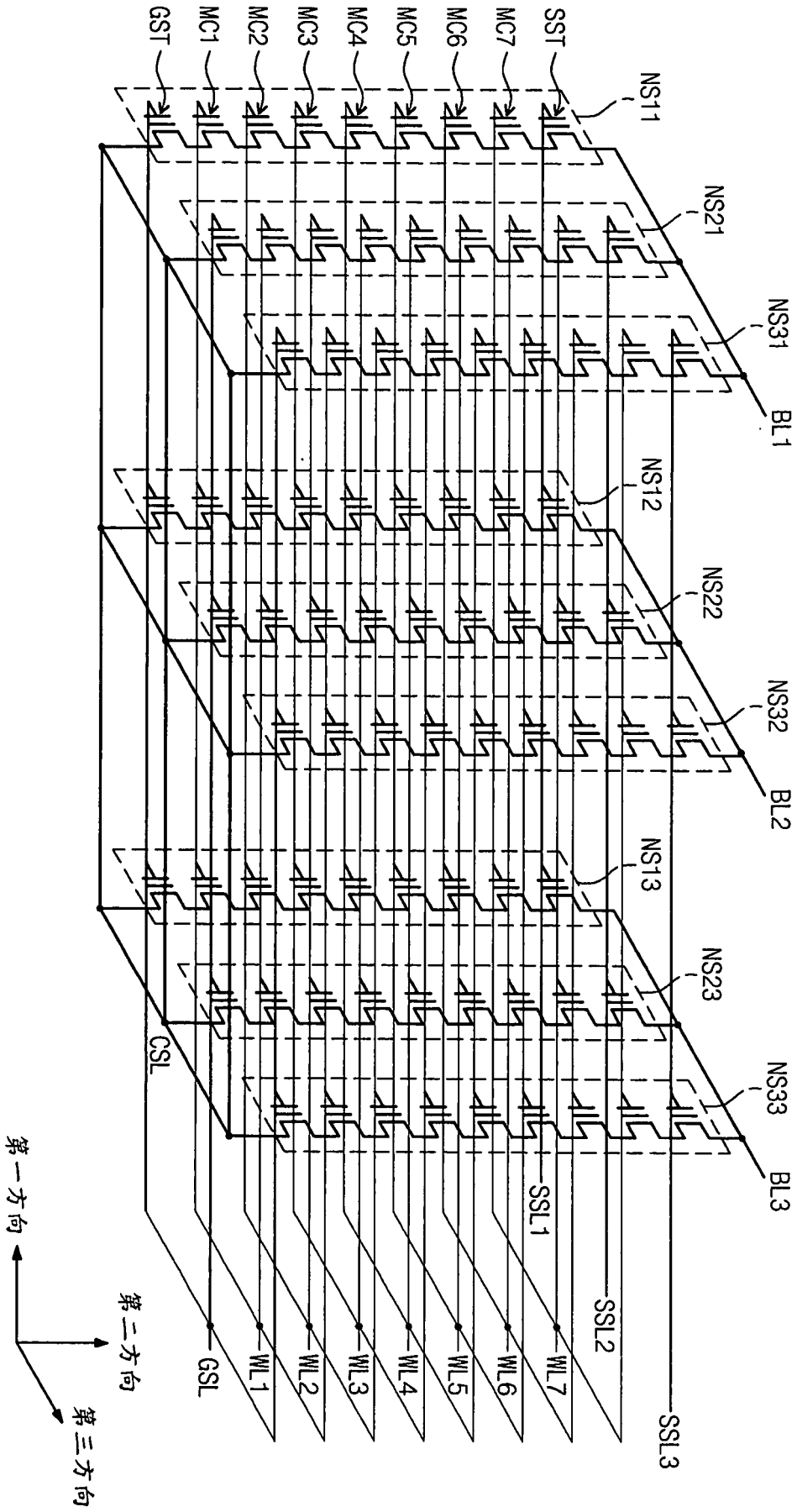


圖 4

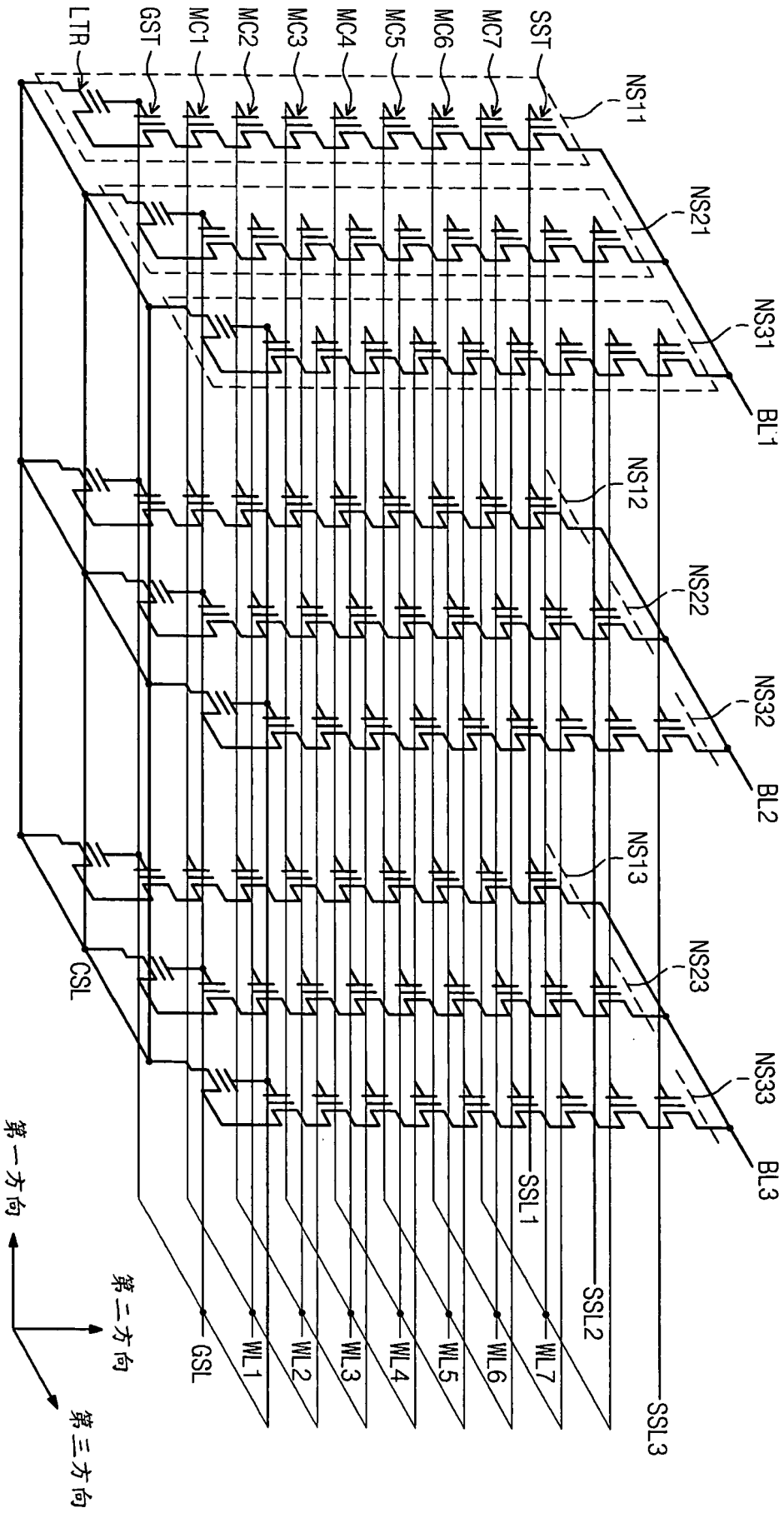


圖 5

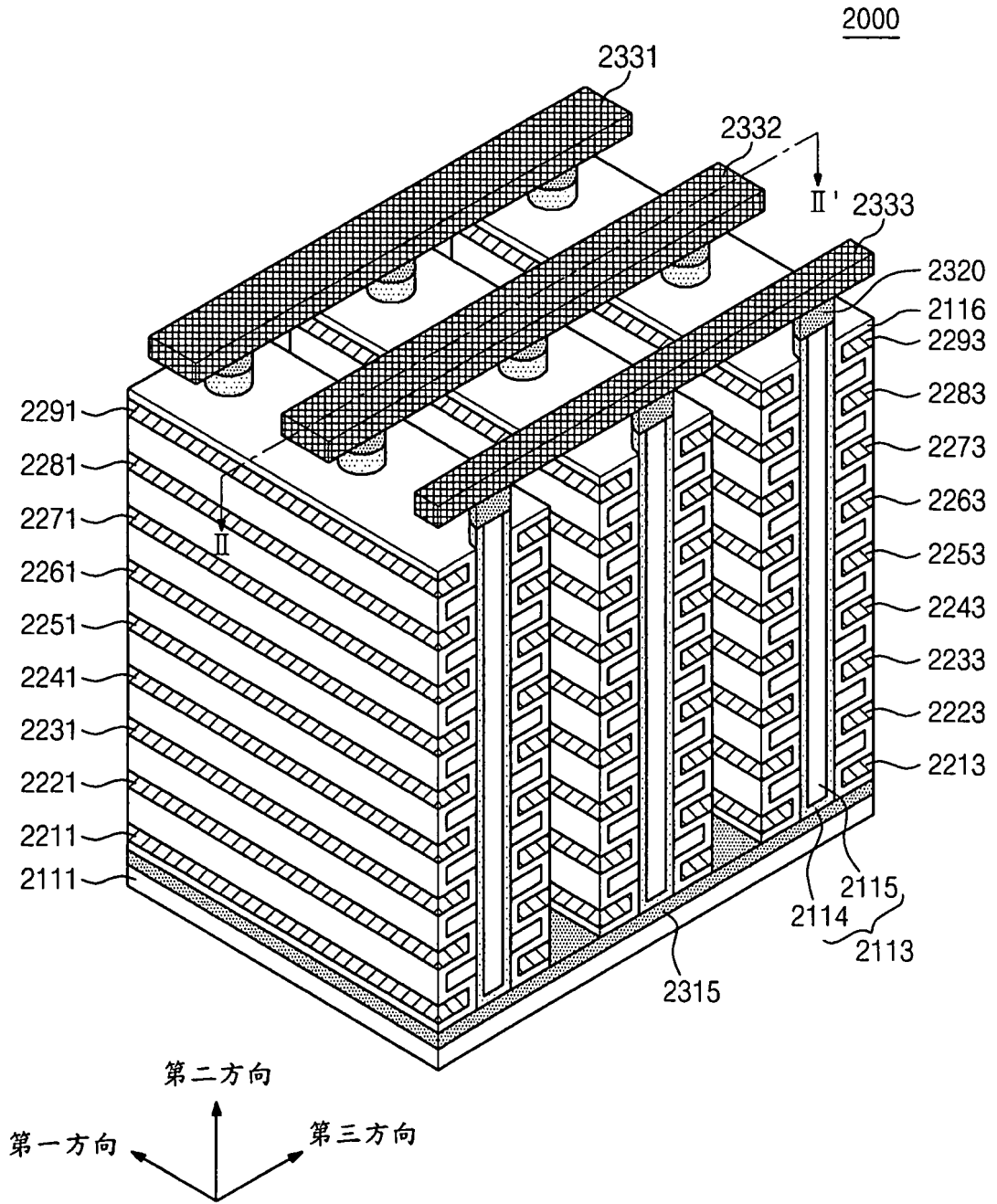


圖 6

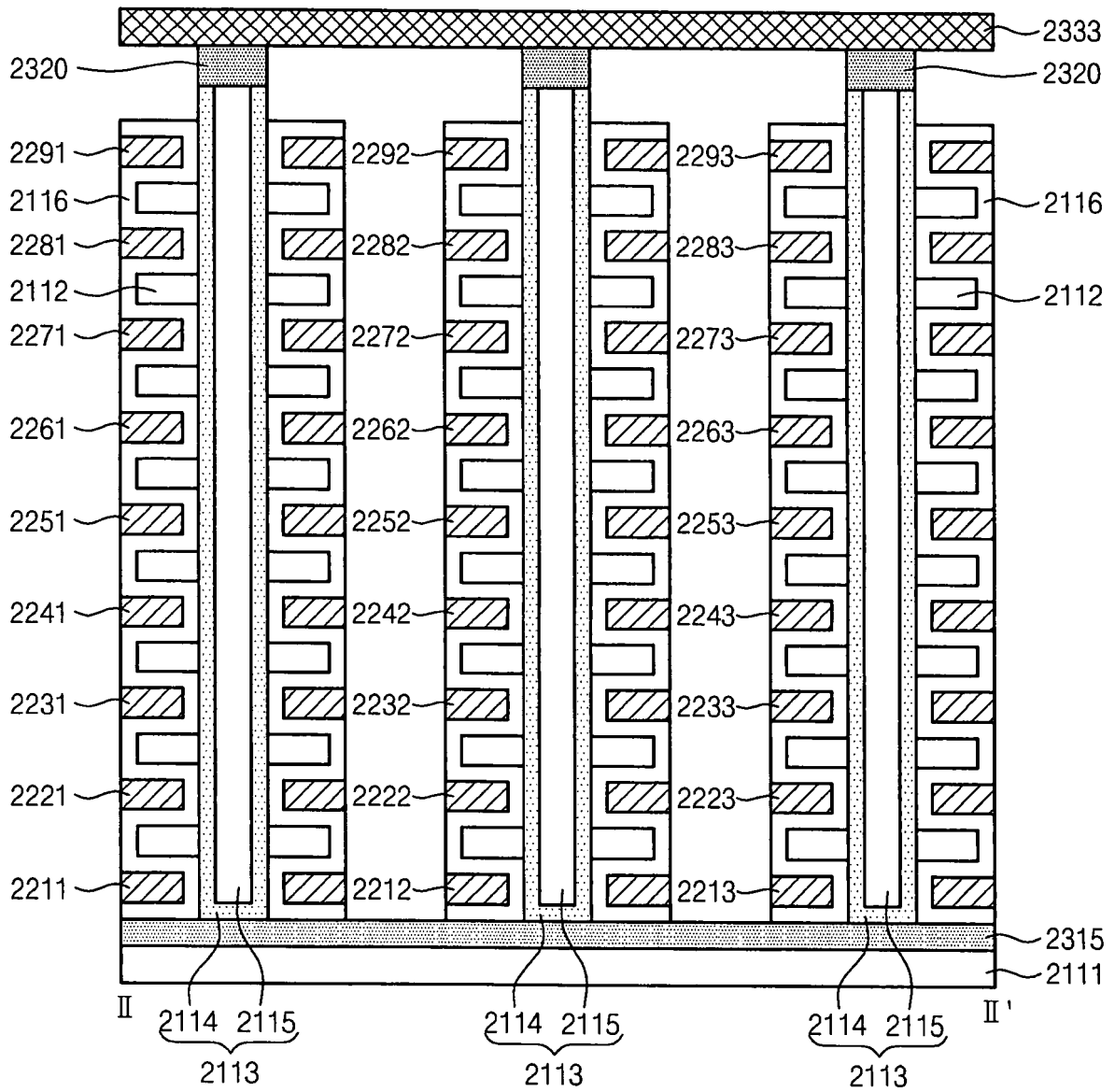


圖 7

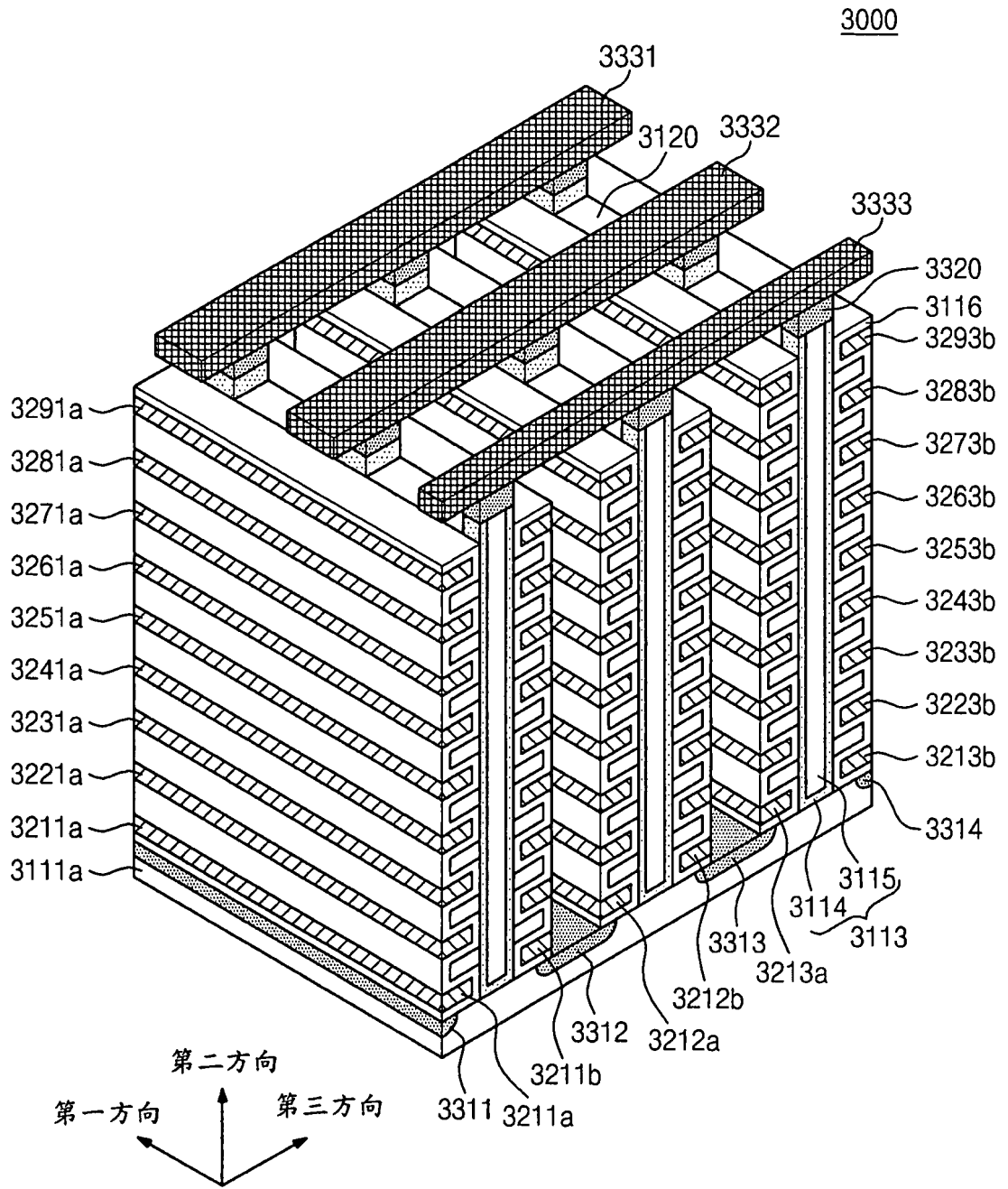


圖 8

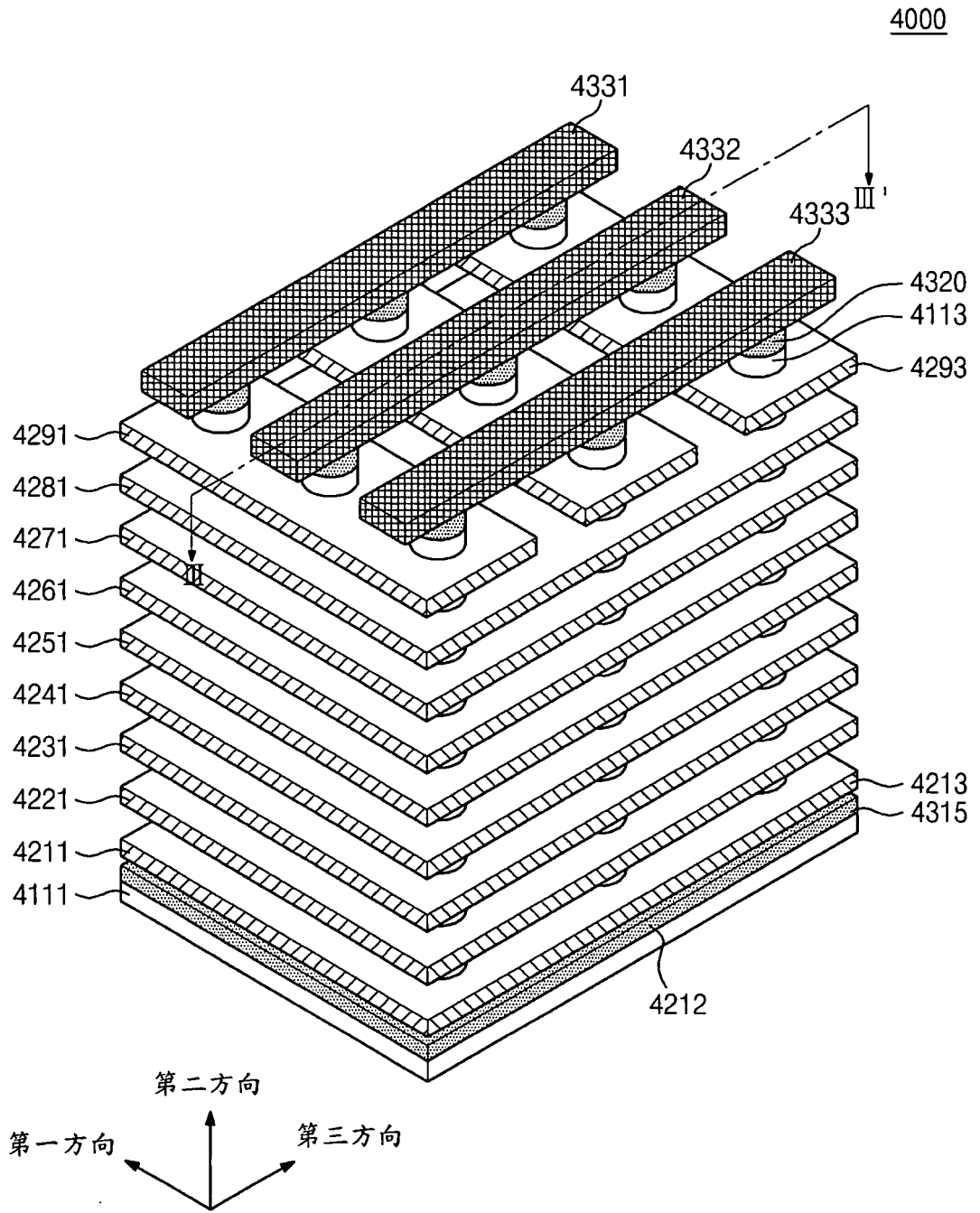


圖 9

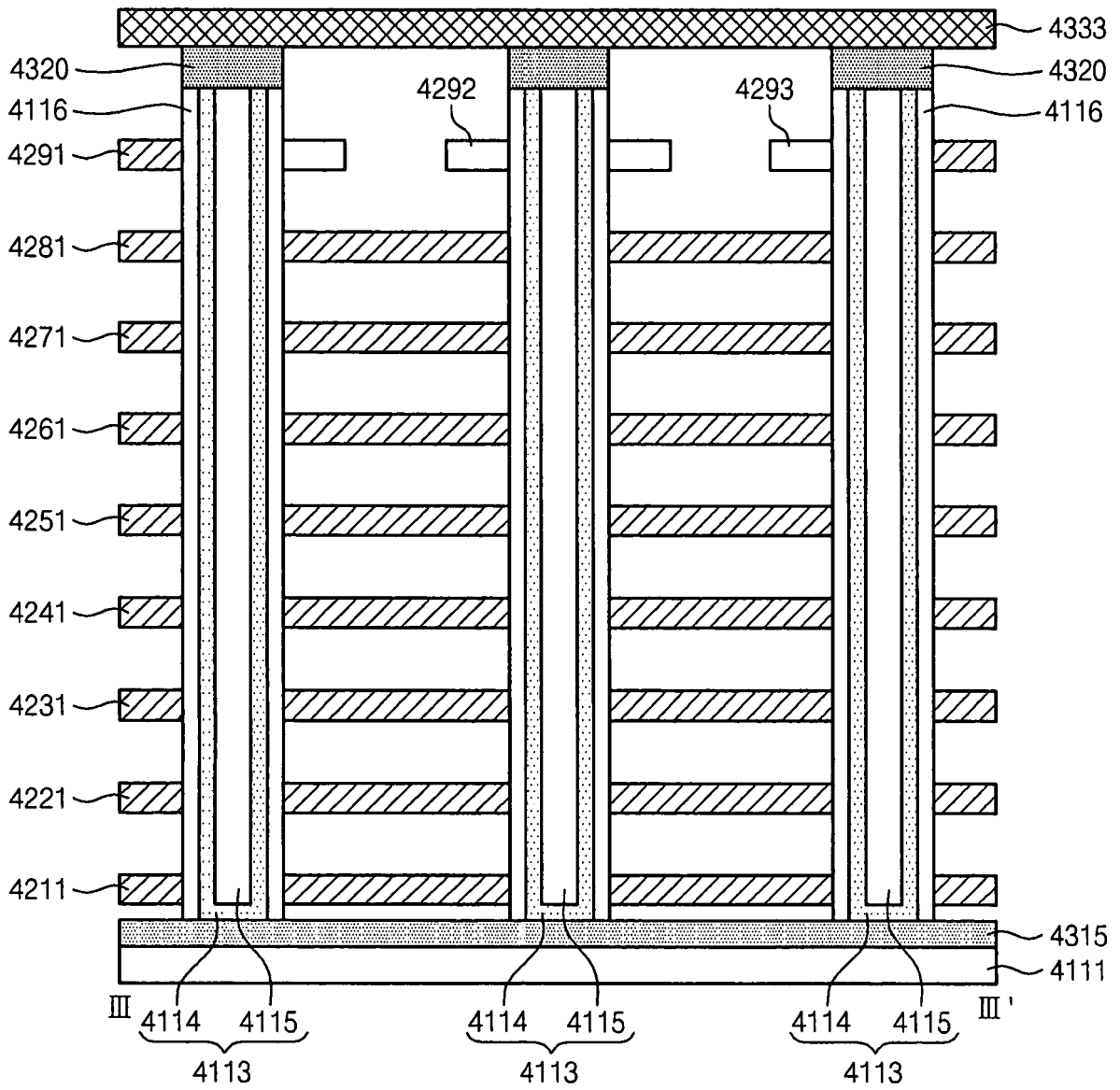


圖 10

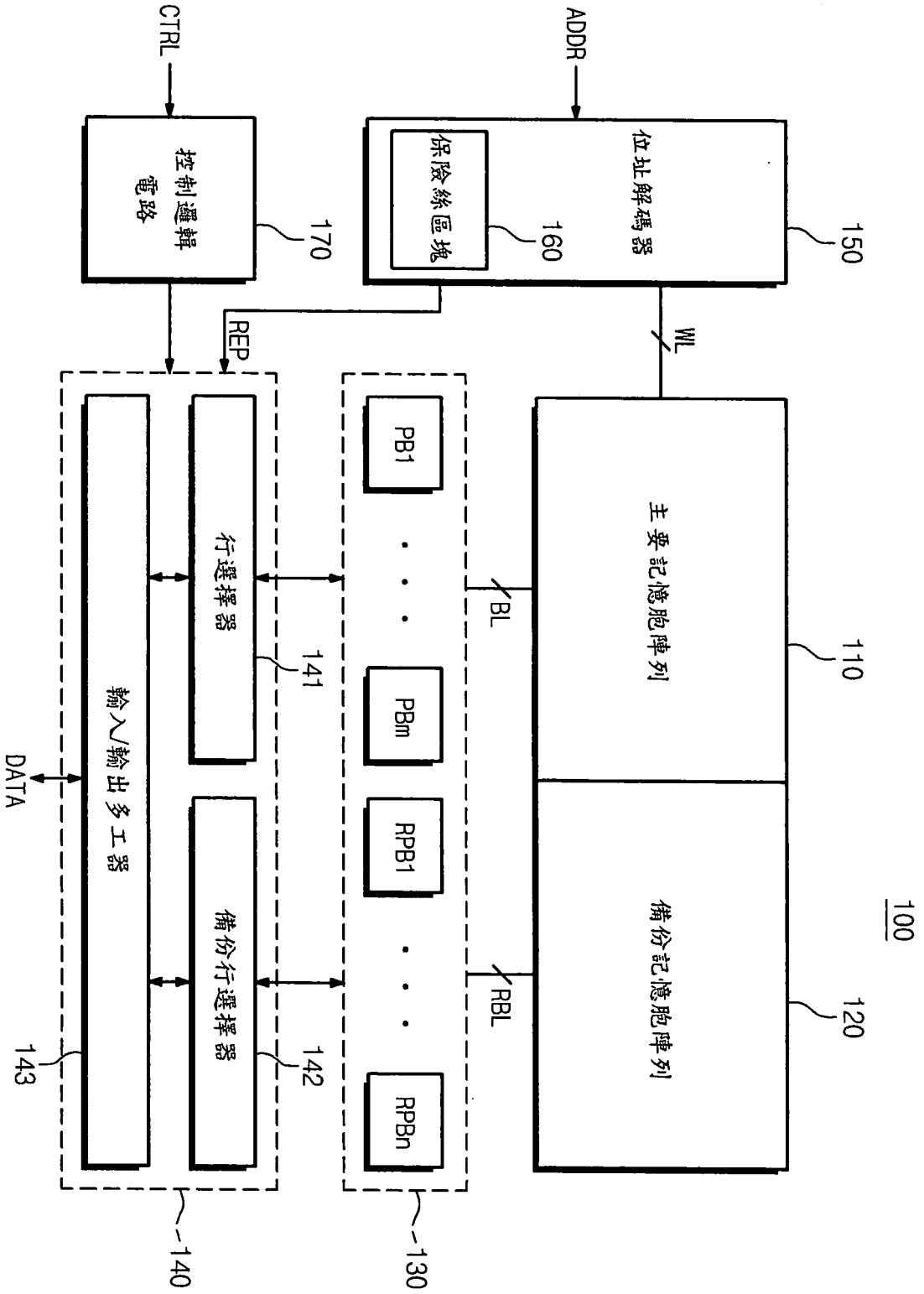


圖 11

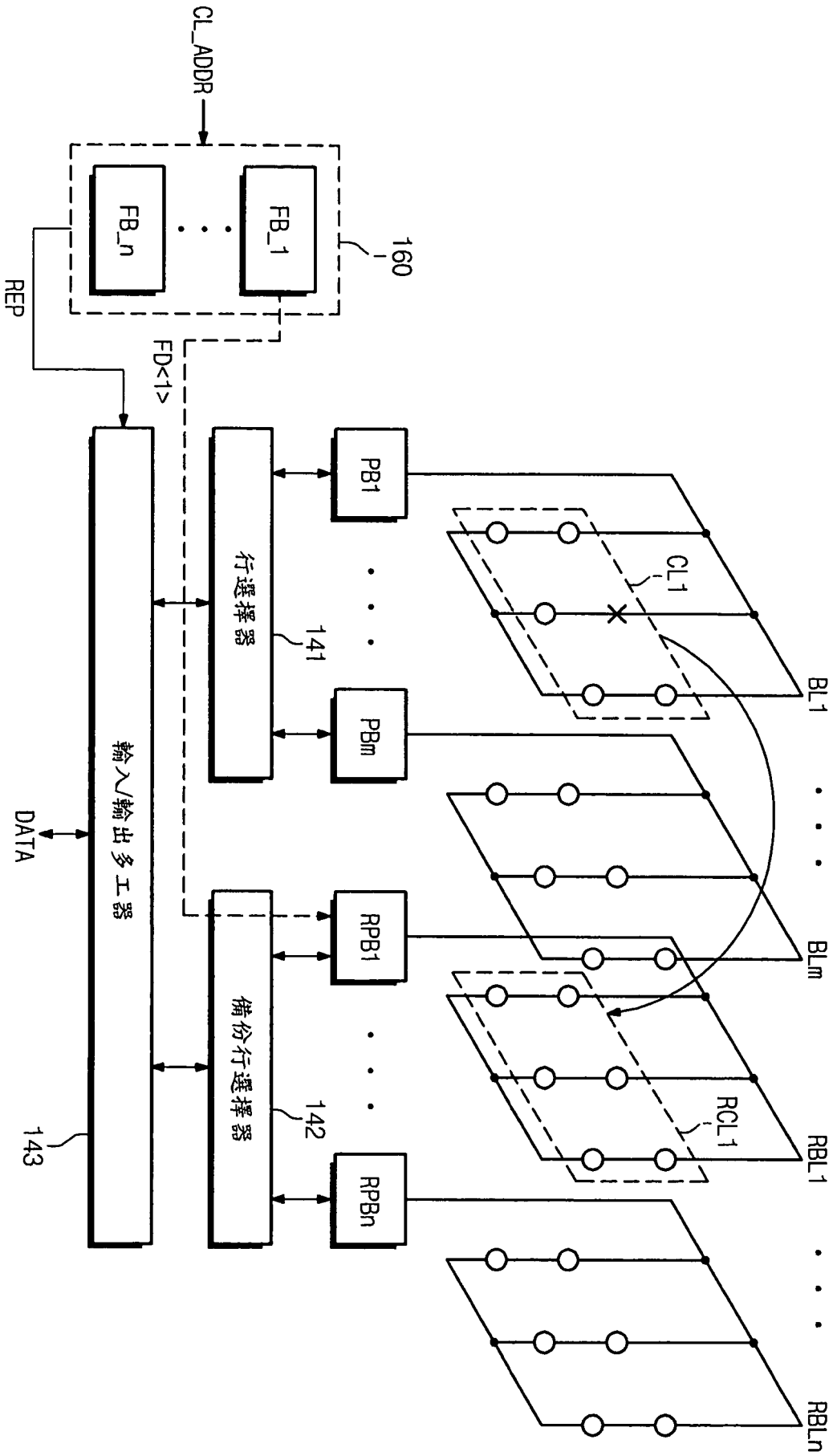


圖 12

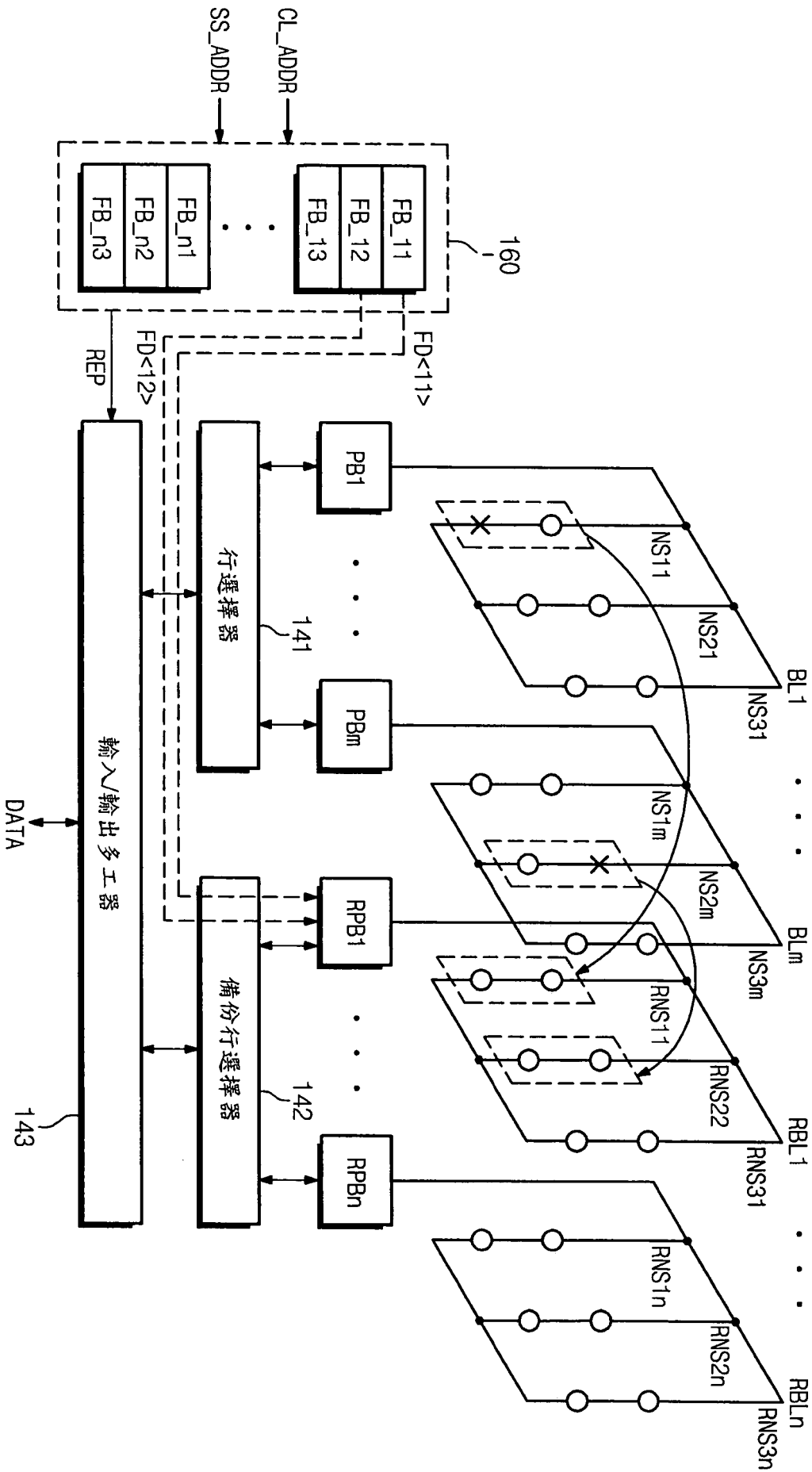


圖 13

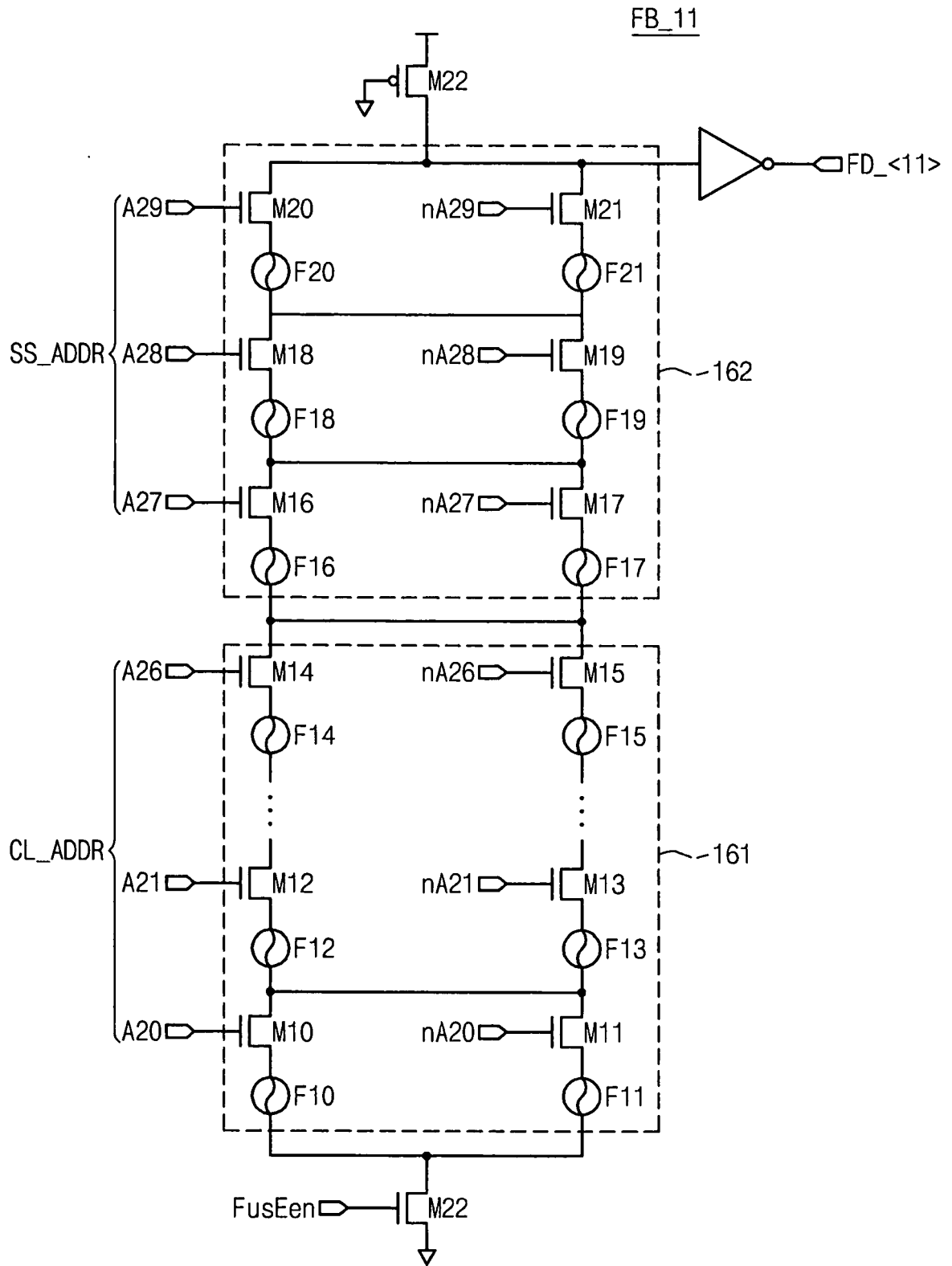


圖 14

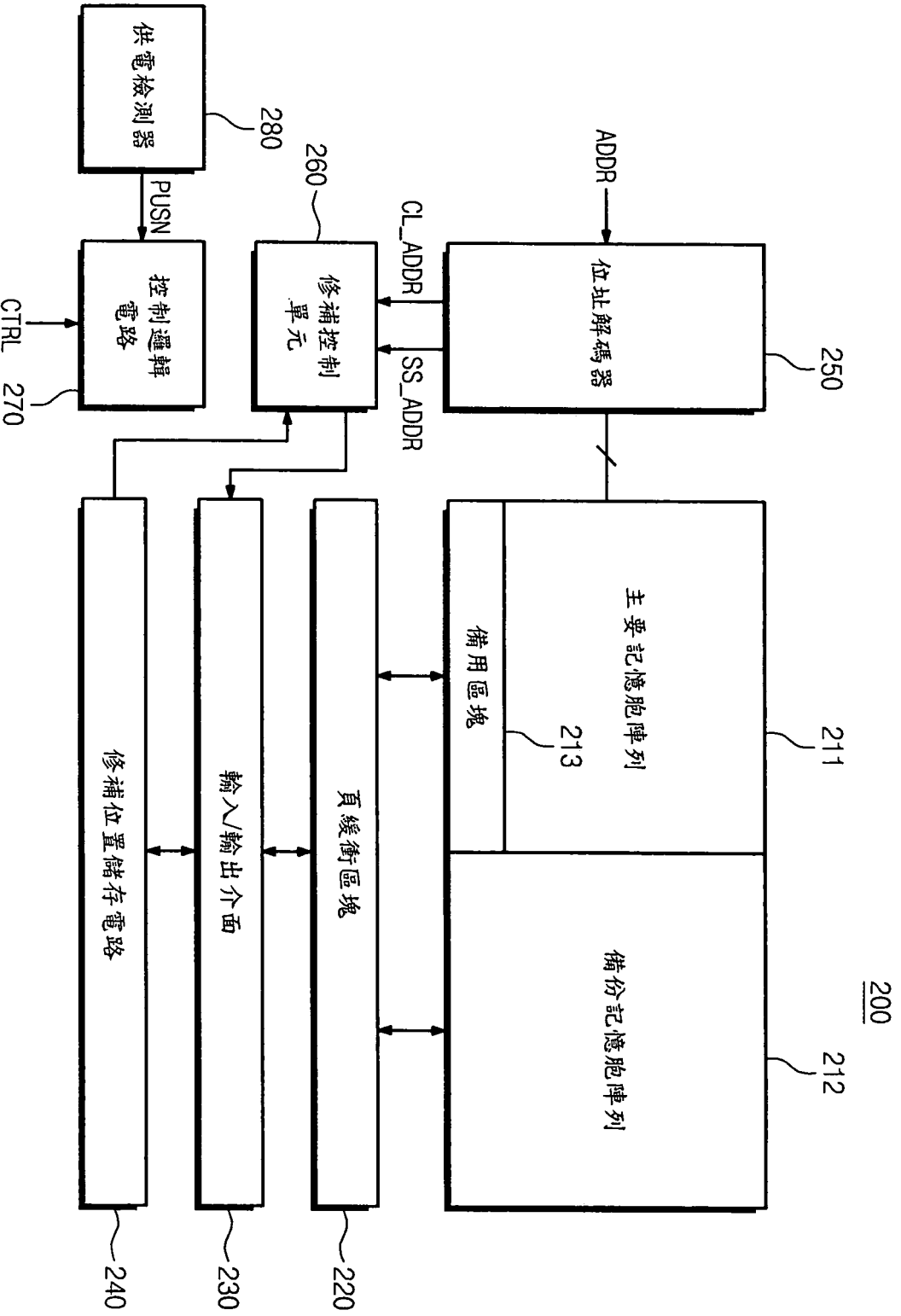


圖 15

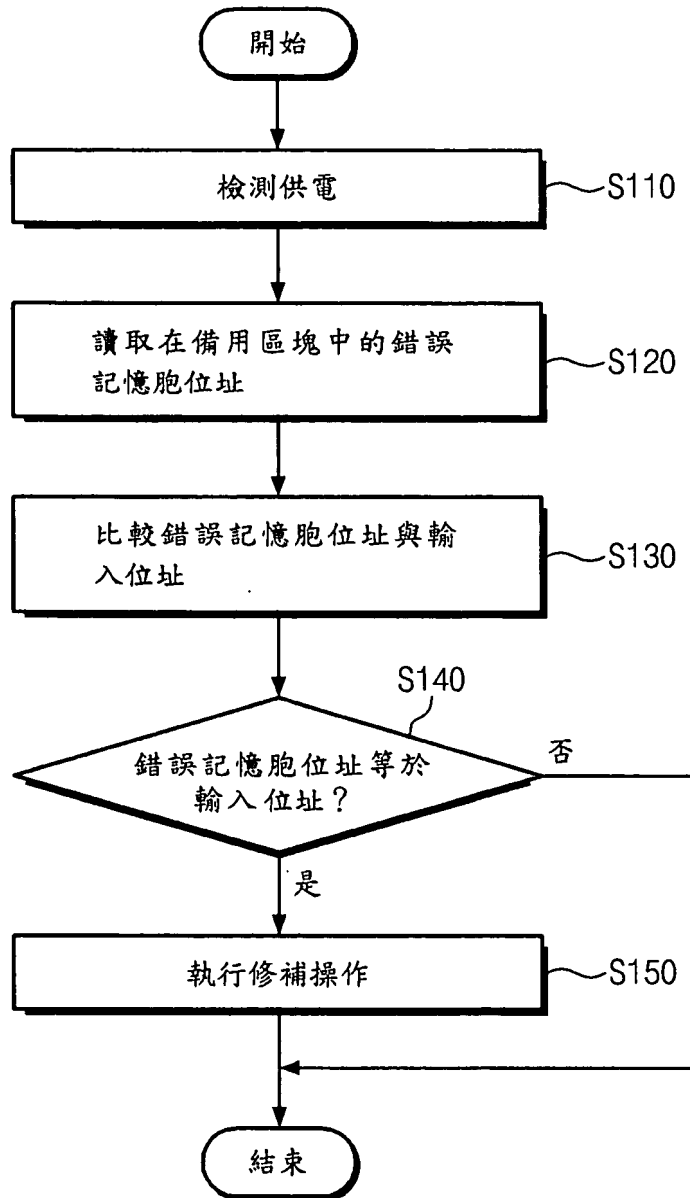


圖 16

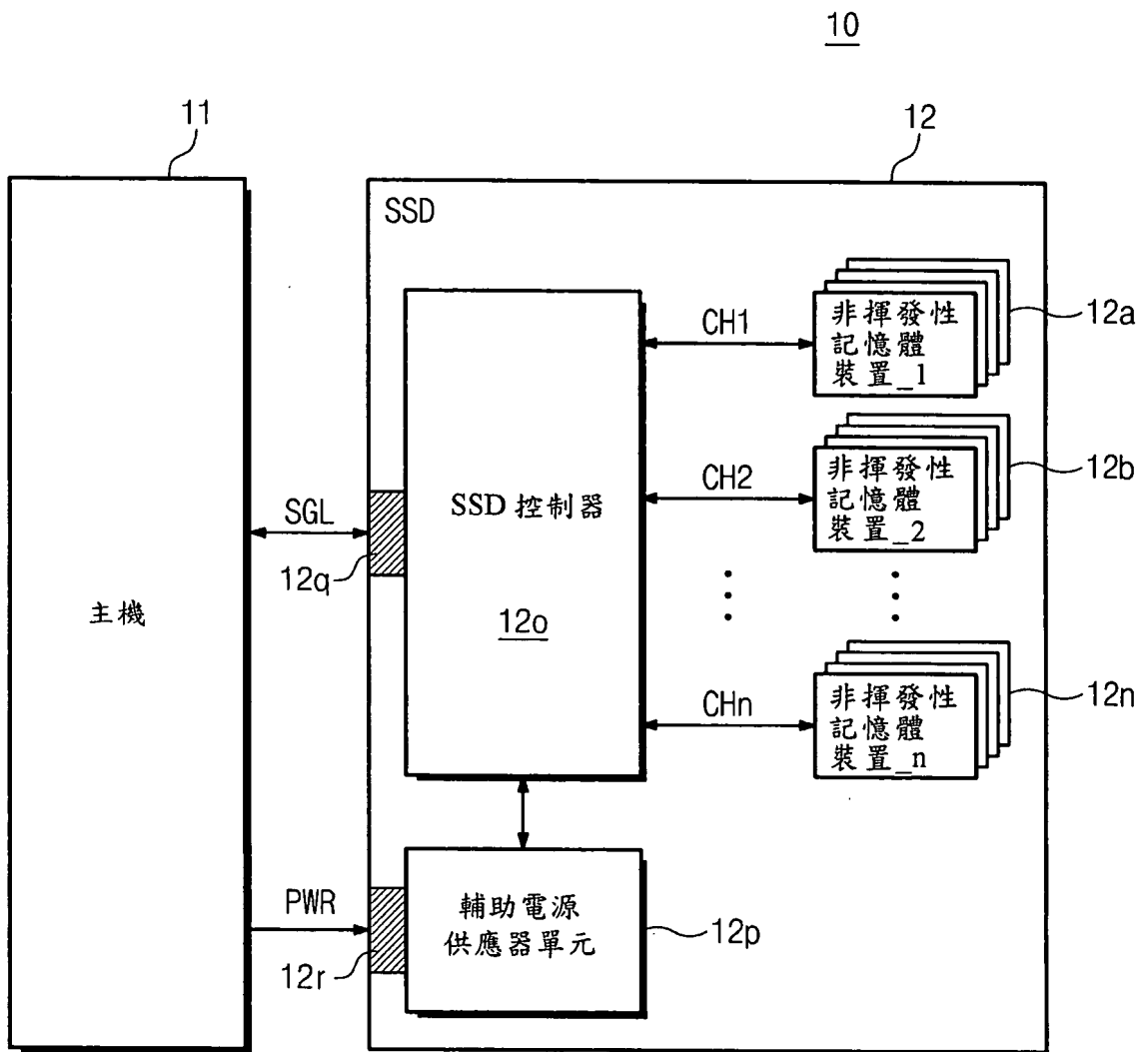


圖 17

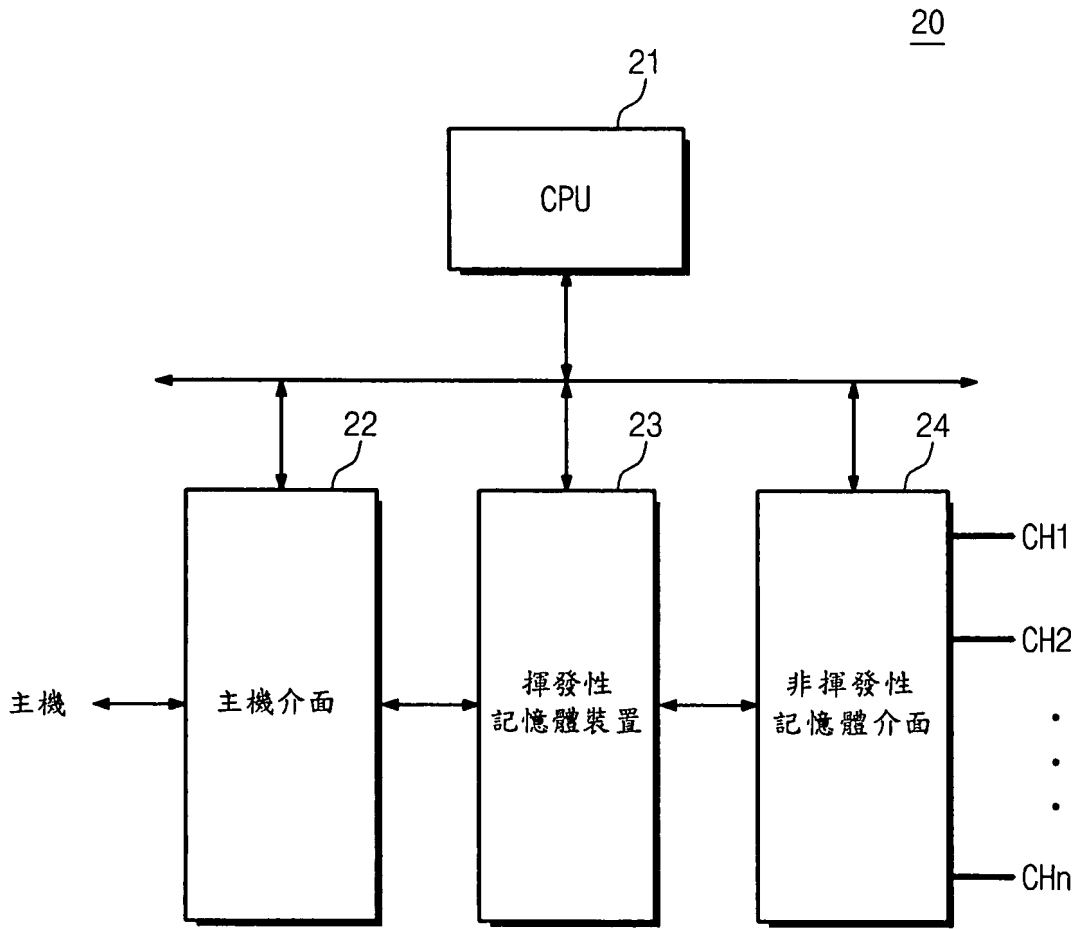


圖 18

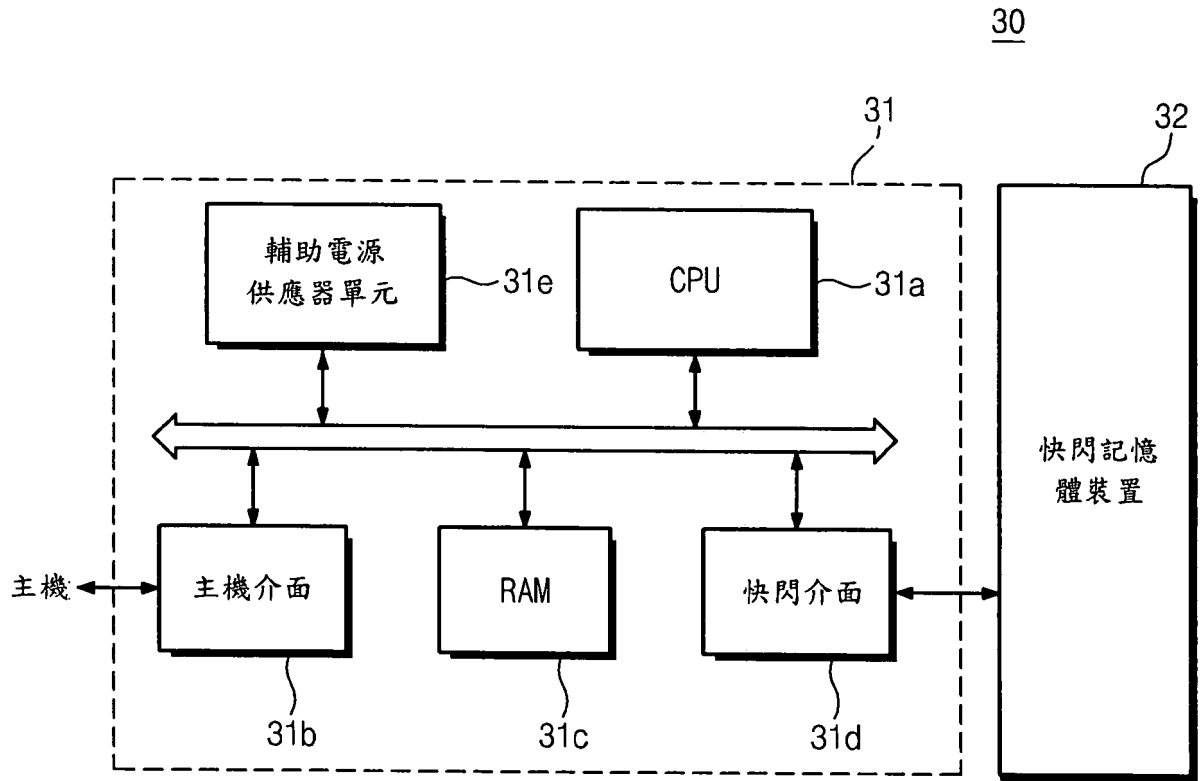


圖 19

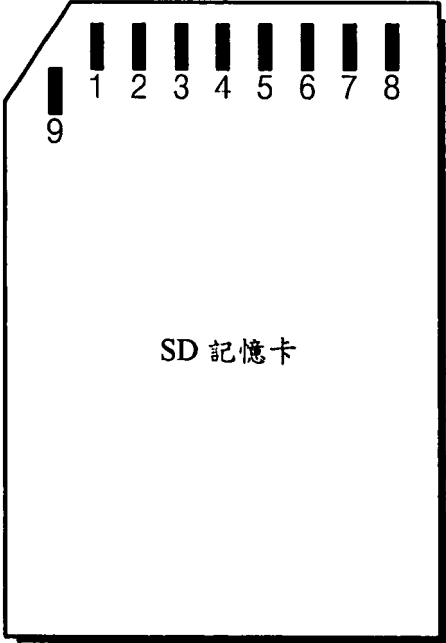


圖 20

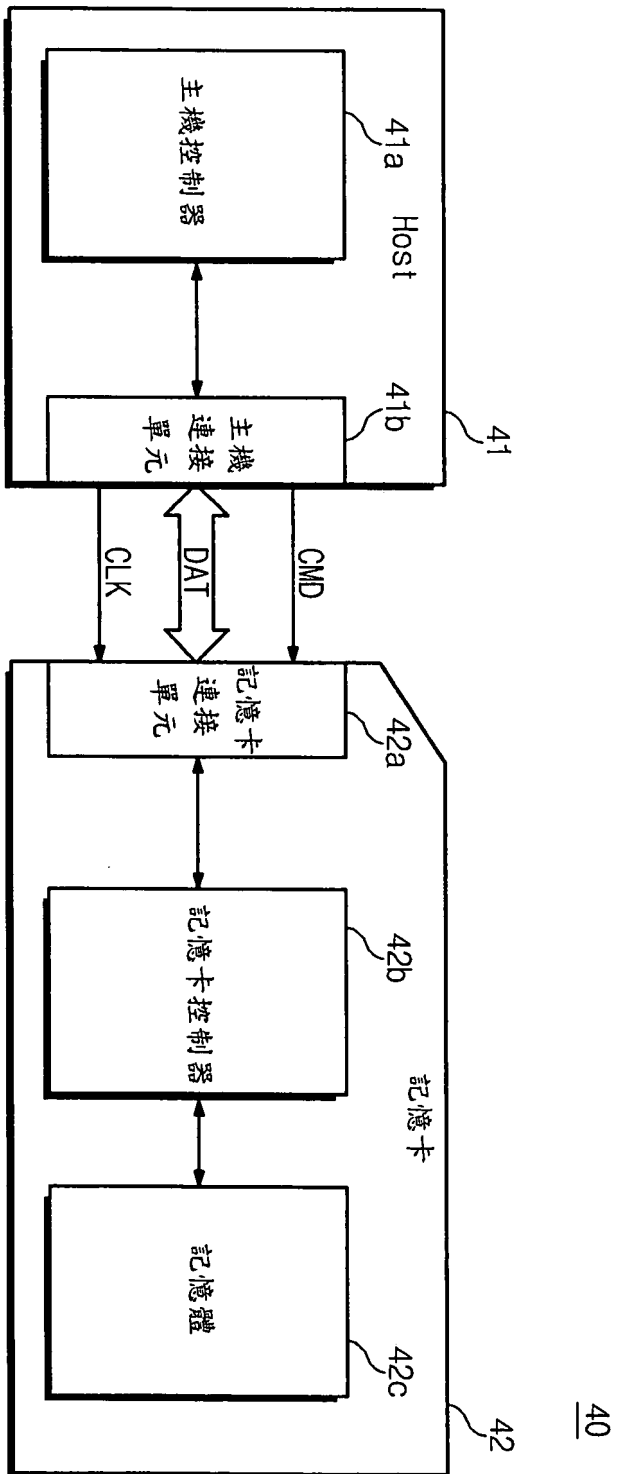


圖 21

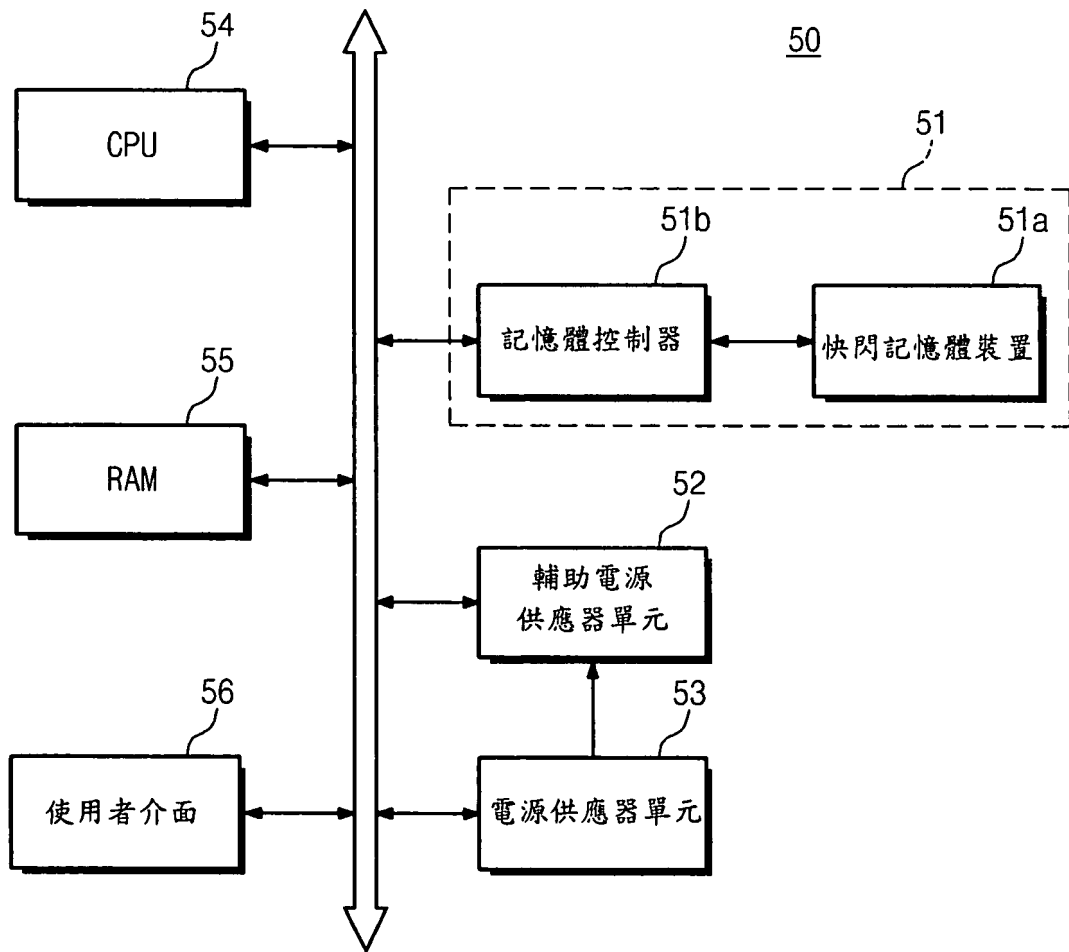


圖 22

三、英文發明摘要：

A nonvolatile memory device comprises a main memory cell array, a redundancy memory cell array, and a controller. The main memory cell array comprises a plurality of bit lines each connected to a plurality of strings arranged perpendicular to a substrate. The redundancy memory cell array comprises a plurality of redundancy bit lines each connected to a plurality of redundancy strings arranged perpendicular to the substrate. The controller is configured to control one of the redundancy bit lines to repair strings in the main memory cell array.

四、指定代表圖：

(一) 本案之指定代表圖：圖 11

(二) 本代表圖之元件符號簡單說明：

100：非揮發性記憶體裝置

110：主要記憶胞陣列

120：備份記憶胞陣列

130：頁緩衝區塊

140：輸入/輸出介面

141：行選擇器

142：備份選擇器

143：輸入/輸出多工器

150：位址解碼器

160：保險絲區塊

170：控制邏輯電路

ADDR：位址

BL：位元線

CTRL：控制訊號

DATA：資料

PB1~PBm：頁緩衝單元

RBL：備份位元線

REP：代替訊號

RPB1~RPBn：備份頁緩衝單元

WL：字元線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【相關申請案】

本申請案主張韓國專利申請號為 10-2010-0015310，申請日為 2010 年 2 月 19 日之優先權，以及美國臨時專利申請號為 61/354,748，申請日為 2010 年 6 月 15 日之優先權。所述韓國專利申請案揭示內容以全文引用方式併入本文。

【發明所屬之技術領域】

本發明是關於一種半導體記憶體的技術，且特別是有關於一種能夠執行缺陷記憶體胞之修補操作的非揮發性記憶體裝置與系統。

【先前技術】

半導體記憶體裝置可依據斷電時其是否保留住所儲存的資料，而大致上分為兩種類型。這些類型包含：揮發性記憶體裝置 (volatile memory devices)，當斷電時其喪失所儲存的資料；以及非揮發性記憶體裝置 (nonvolatile memory devices)，當斷電時其保留住所儲存的資料。

揮發性記憶體裝置之實例包含：靜態隨機存取記憶體 (static random-access memory, SRAM) 裝置、動態隨機存取記憶體 (dynamic random-access memory, DRAM) 裝置、以及同步動態隨機存取記憶體 (synchronous dynamic random-access memory, SDRAM) 裝置。非揮發性記憶體裝置之實例包含：唯讀記憶體 (read-only memory, ROM) 裝置、可程式唯讀記憶體 (programmable read-only memory, PROM) 裝置、可抹拭可程式唯讀記憶體 (erasable programmable read-only

memory, EPROM)裝置、電性可抹拭可程式唯讀記憶體 (electrically erasable and programmable read-only memory, EEPROM)裝置、快閃記憶體裝置 (flash memory device)、相變隨機存取記憶體(phase-change random-access memory, PRAM)裝置、磁性隨機存取記憶體(magnetic random-access memory, MRAM)裝置、電阻式隨機存取記憶體(resistive random-access memory, RRAM)裝置以及鐵電隨機存取記憶體(ferroelectric random-access memory, FRAM)裝置。快閃記憶體裝置可進一步分類為：反或型(NOR-type)快閃記憶體裝置、和反及型(NAND-type)快閃記憶體裝置。

在過去的幾年裡，研究人員已經發展出無數的技術來改善各種記憶體元件的尺寸、容量及性能。這些技術的其中之一為：將記憶胞排列於三維陣列結構裡，以形成記憶體裝置。此類的陣列結構可能改善資料的數量儲存於有限的晶片區域內。

【發明內容】

依照本發明的一實施例中，非揮發性記憶體裝置包括：主要記憶胞陣列、備份記憶胞陣列以及控制器。主要記憶胞陣列包括多數條位元線，每條位元線連接至多數個串(strings)，所述串排列成垂直於基底；備份記憶胞陣列包括每多數條備份位元線，每條備份位元線連接至多數個備份串(redundancy strings)，所述備份串排列成垂直於所述基底；控制器配置成用以控制所述備份位元線中的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。

於本發明的一實施例中，控制器包括：一行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述位元線其中之一。

於本發明的一實施例中，控制器包括一備份行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述備份位元線其中之一。

於本發明的一實施例中，備份行選擇器儲存：具有一缺陷記憶胞的串的一串選擇位址與一行分層位址。

於本發明的一實施例中，具有所述缺陷記憶胞的所述串之所述串選擇位址及所述行分層位址被儲存於一保險絲盒中。

於本發明的一實施例中，控制器包括一行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述位元線其中之一；備份行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述備份位元線其中之一；一輸入/輸出選擇器，配置成：響應於一代替訊號而選擇所述行選擇器或所述備份行選擇器；以及一代替訊號產生器，配置成：響應於從外部裝置所接收的串選擇位址及行分層位址，來產生代替訊號。

於本發明的一實施例中，在所述串包含缺陷記憶胞之處，代替訊號產生器儲存所述串的串選擇位址及行分層位址。

於本發明的一實施例中，具有所述缺陷記憶胞的所述串

之所述串選擇位址及所述行分層位址被儲存於一保險絲盒中。

於本發明的一實施例中，非揮發性記憶體裝置更包括一備用區塊，備用區塊包含多數個記憶胞，且所述備用區塊儲存具有一缺陷記憶胞的串的串選擇位址及行分層位址。

於本發明的一實施例中，控制器包括一儲存電路，設置成：用以接收包含一缺陷記憶胞的所述串的一串選擇位址與一行分層位址，將所述串選擇位址與所行分層位址儲存於所述備用區塊、且所述儲存電路響應於一供電檢測訊號。

於本發明的一實施例中，控制器更包括一電源供應檢測器，設置成：依據檢測到電源被提供到所述非揮發性記憶體裝置，而產生供電檢測訊號。

於本發明的一實施例中，控制器更包括：電源供應檢測器，設置成：依據檢測到電源被提供到所述非揮發性記憶體裝置而產生供電檢測訊號；儲存電路，設置成：響應於供電檢測訊號，而接收包含一缺陷記憶胞的所述串的一串選擇位址與一行分層位址；一修補控制單元，設置成：藉由比較具有缺陷記憶胞的一 NAND 串的串選擇位址及行分層位址，與從外部裝置接收的串選擇位址及行分層位址，來選擇主要記憶胞陣列或備份記憶胞陣列。

於本發明的一實施例中，控制器更包括一行選擇器，配置成：在從一外部裝置所接收的一行分層位址的基礎上，而選擇所述位元線其中之一。

於本發明的一實施例中，控制器更包括一備份行選擇

器，配置成：在從一外部裝置所接收的一行分層位址的基礎上，而選擇所述備份位元線其中之一。

於本發明的一實施例中，主要記憶胞陣列之串與備份記憶胞陣列之備份串共享相同的字元線。

於本發明的一實施例中，位元線與備份位元線排列在平行於基底的一方向中。

依照本發明的另一實施例中，記憶體系統包括：非揮發性記憶體裝置以及控制器。所述控制器配置成用以控制所述非揮發性記憶體裝置。非揮發性記憶體裝置包括：第一區域，具有多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於一基底；第二區域，具有多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於基底；第三區域，設置成：相應於具有缺陷記憶胞的第一區域中的串，而儲存串選擇位址及行分層位址；以及控制器，設置成：在儲存於第三區域中的串選擇位址及行分層位址的基礎上，控制備份串分享相同的備份位元線，來修補第一區域之所述串。

於本發明的一實施例中，第一區域之串與第二區域之備份串排列在垂直於基底的一方向中。

於本發明的一實施例中，第一區域之串與第二區域之備份串分享一共用字元線。

於本發明的一實施例中，非揮發性記憶體裝置與控制器為固態硬碟的元件。

為讓本發明之上述和其他目的、特徵和優點能更明顯易

分層 CL1。

請參照圖 12，保險絲區塊 160 包括多數個保險絲盒 FB₁~FB_n。每個保險絲盒 FB₁~FB_n 儲存缺陷記憶胞的位址資訊。例如，在行分層基礎上執行修補操作，保險絲盒 FB₁~FB_n 儲存缺陷記憶胞的行分層位址 CL_ADDR。特別是，缺陷記憶胞存在於第一行分層 CL1，保險絲盒 FB₁ 可以儲存第一行分層的行分層位址。

保險絲區塊 160 從外部裝置接收行分層位址 CL_ADDR，並比較此接收的行分層位址 CL_ADDR、與儲存於保險絲盒 FB₁~FB_n 之缺陷記憶胞的行分層位址，來決定是否執行修補操作。例如，該接收的行分層位址 CL_ADDR 等同於儲存於保險絲盒 FB₁ 之缺陷記憶胞的行分層位址，保險絲區塊 160 控制輸入/輸出多工器 143 與備份行選擇器 142，來選擇第一備份頁緩衝單元 RPB1。

於圖 12 的實施例，假設包含缺陷記憶胞的第一行分層 CL1 位址被儲存於保險絲盒 FB₁。進一步假設，該接收的行分層位址 CL_ADDR 等同於第一行分層 CL1 位址。

保險絲區塊 160 傳送一啟動代替訊號 REP 至輸入/輸出多工器 143。輸入/輸出多工器 143 響應於此啟動代替訊號 REP 而選擇備份行選擇器 142。另外，保險絲盒 FB₁ 產生用於修補操作的保險絲資料 FD。例如，保險絲資料 FD<1> 包括：第一備份行分層 RCL1 的位址資訊，用以取代第一行分層 CL1。

備份行選擇器 142 響應於保險絲資料 FD，而選擇備份頁

緩衝單元 RPB1~RPBn。例如，備份行選擇器 142 響應於保險絲資料 FD<0>，而選擇第一備份頁緩衝單元 RPB1。據此，於程式化操作中，資料 DATA 透過輸入/輸出多工器 143、備份行選擇器 142 以及第一備份頁緩衝單元 RPB1，而儲存於第一備份行分層 RCL1。而且，於程式化操作中，資料 DATA 透過第一備份頁緩衝單元 RPB1、備份行選擇器 142 以及輸入/輸出多工器 143，而傳送至外部裝置。所以，第一行分層 CL1 代替第一備份行分層 RCL1。

另一方面，該接收的行分層位址 CL_ADDR 不等同於儲存於保險絲盒 FB_1 之缺陷記憶胞的行分層位址，保險絲區塊 160 控制輸入/輸出多工器 143 與行選擇器 141，來選擇對應於主要記憶胞陣列 110 之頁緩衝單元 PB1~PBm。

如上所述，三維記憶胞陣列 1000 可以在行分層基礎上執行修補操作。在行分層基礎上執行修補操作，不考慮串選擇位址 SS_ADDR 而執行。

圖 13 是依照圖 11 本發明實施例所繪示的非揮發性記憶體裝置 100 之修補操作示意圖。圖 13 的修補操作是在 NAND 串基礎上執行。於圖 13 的實施例，假設缺陷記憶胞出現在 NAND 串 NS11 及 NS2m 的每一個。

請參照圖 13，保險絲區塊 160 包括多數個保險絲盒 FB_11~FB_n3。每個保險絲盒 FB_11~FB_n3 儲存缺陷記憶胞的位址資訊。在 NAND 串基礎上執行修補操作，每個保險絲盒 FB_11~FB_n3 儲存：包含缺陷記憶胞之 NAND 串的串選擇位址與行分層位址。

外部。例如，輔助電源供應器單元 12p 可以位於主機板上，以提供輔助電源給 SSD12。

圖 18 是 SSD 控制器 20 之方塊圖。圖 18 的 SSD 控制器 20 可以用作圖 17 的 SSD 控制器 12o。

請參照圖 18，SSD 控制器 20 包括：中央處理單元 (CPU)21、主機介面 (I/F) 22、揮發性記憶體 (VM) 裝置 23 以及非揮發性記憶體介面 (I/F) 24。

CPU21 分析與處理從主機 11 所接收的訊號 SGL。CPU21 透過主機介面 22 或非揮發性記憶體介面 24，來控制主機 11 或非揮發性記憶體裝置 12a~12n。CPU21 根據用來驅動 SSD12 的韌體，來控制非揮發性記憶體裝置 12a~12n 的操作。

根據主機 11 的協定，主機介面 22 提供位於主機 11 與 SSD12 之間的介面。舉例而言，主機介面 22 可以利用協定與主機 11 連繫，該協定例如是通用序列匯流排 (universal serial bus, USB)、小電腦系統介面 (small computer system interface, SCSI)、週邊元件互連 (peripheral component interconnect, PCI) 表示、進階技術連接 (serial advanced technology attachment, ATA)、平行進階技術連接 (parallel ATA, PATA)、序列進階技術連接 (serial ATA, SATA) 以及串列附加 SCSI (serial attached SCSI, SAS)。亦即，主機介面 22 可以執行磁碟模擬功能，使得主機 11 連接於 SSD12 作為硬碟機 (hard disk drive, HDD)。

揮發性記憶體裝置 23 暫時地儲存從主機 11 接收的寫入資料、或從非揮發性記憶體裝置 12a~12n 取回的讀取資料。

另外，揮發性記憶體裝置 23 儲存：快取資料、或被儲存於非揮發性記憶體裝置 12a~12n 的背景資料 (meta data)。突發的電源關閉操作時，快取資料或儲存於揮發性記憶體裝置 23 的背景資料，被儲存在於非揮發性記憶體裝置 12a~12n。揮發性記憶體裝置 23 例如可以藉由 DRAM 或 SRAM 而實施。

非揮發性記憶體介面 24 將從揮發性記憶體裝置 23 接收的資料分配到通道 CH1~CHn。非揮發性記憶體介面 24 也將從非揮發性記憶體裝置 12a~12n 所讀取的資料轉移至揮發性記憶體裝置 23。於一些實施例中，非揮發性記憶體介面 24 使用 NAND 快閃記憶體介面格式，且 SSD 控制器 20 依照 NAND 快閃記憶體介面格式來執行程式化、讀取及抹除操作。

圖 19 是依照本發明實施例包括非揮發性記憶體裝置的資料儲存裝置 30 之方塊圖。

請參照圖 19，資料儲存裝置 30 包括：記憶體控制器 31 及快閃記憶體裝置 32。例如，資料儲存裝置 30 的種類包括：可攜帶移動儲存裝置及記憶卡。

記憶體控制器 31 包括：CPU31a、主機介面 31b、RAM31c、快閃介面 31d 以及輔助電源供應器單元 31e。輔助電源供應器單元 31e 可以位於記憶體控制器 31 的內部或外部。

資料儲存裝置 30 在使用期間連接至主機。資料儲存裝置 30 透過主機介面 31b 與主機連繫、並透過快閃介面 31d 而提供資訊至快閃記憶體裝置 32。資料儲存裝置 30 從主機接收電源以執行內部操作。

快閃記憶體裝置 32 可以取得圖 11 或圖 15 所繪示的非

揮發性記憶體裝置 100 或 200 的型式。據此，如上所述，快閃記憶體裝置 32 可以包括三維記憶胞陣列。

圖 20 是依照本發明實施例所繪示的、包括非揮發性記憶體裝置之記憶卡的外部形狀示意圖。特別是，圖 20 繪示 SD 卡的外部形狀圖。

請參照圖 20，SD 卡包括九個接腳(pins)，包含：四個資料接腳 1、7、8 及 9，一個指令接腳 2，一個時脈接腳 5 以及三個電源接腳 3、4 及 6。指令訊號 (command signals) 與反應訊號 (response signals) 經由指令接腳 2 而在 SD 卡與主機之間轉移。

圖 21 是包括圖 20 所繪示的記憶卡之記憶卡系統 40 的方塊圖。

請參照圖 21，記憶卡系統 40 包括：主機 41 及記憶卡 42。主機 41 包括主機控制器 41a 及主機連接單元 41b。記憶卡 42 包括：記憶卡連接單元 42a、記憶卡控制器 42b 以及記憶體 42c。

主機連接單元 41b 與記憶卡連接單元 42a 每個都包括多數個接腳，例如，指令接腳、資料接腳、時脈接腳以及電源接腳。接腳的數量取決於記憶卡 42 的類型，例如，SD 卡有九個接腳。

主機 41 對於記憶卡 42 中的資料進行寫入與讀取。主機控制器 41a 透過主機連接單元 41b，而傳送指令 CMD、時脈訊號 CLK 以及資料 DAT 至記憶卡 42。

響應於經由記憶卡連接單元 42a 而接收的寫入指令，記

憶卡控制器 42b 將資料儲存在記憶體 42c 中，且與藉由記憶卡控制器 42b 中的時脈產生器產生之時脈訊號為同步。記憶體 42c 儲存從主機 41 接收的資料，例如，主機 41 為數位相機，記憶體 42c 儲存影像資料。

記憶體 42c 可以取得圖 11 或圖 15 所繪示的非揮發性記憶體裝置 100 或 200 的型式。據此，承上所述，記憶體 42c 可以包括三維記憶胞陣列。

圖 22 是依照本發明實施例包括非揮發性記憶體裝置的電子裝置 50 之方塊圖。例如，電子裝置 50 的種類包括個人電腦(PCs)以及攜帶型電子裝置，如筆記型電腦、行動電話、個人數位助理(PDAs)以及照相機。

請參照圖 22，電子裝置 50 包括：半導體記憶體裝置 51、電源供應器單元 53、輔助電源供應器單元 52、CPU54、RAM55 以及使用者介面 56。半導體記憶體裝置 51 包括快閃記憶體裝置 51a 以及記憶體控制器 51b。電子裝置 50 的特徵藉由匯流排而互相連接。

快閃記憶體裝置 51a 可以取得從圖 11 或圖 15 所繪示的非揮發性記憶體裝置 100 或 200 的型式。據此，承上所述，快閃記憶體裝置 51a 可以包括三維記憶胞陣列。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

七、申請專利範圍：

1. 一種非揮發性記憶體裝置，包括：

一主要記憶胞陣列，包括：多數條位元線，每條位元線連接至多數個串，所述串排列成垂直於一基底；

一備份記憶胞陣列，包括：多數條備份位元線，每條備份位元線連接至多數個備份串，所述備份串排列成垂直於所述基底；以及

一控制器，配置成用以控制所述備份位元線的其中之一，以執行在所述主要記憶胞陣列中的所述串的修補操作。

2. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述控制器包括：

一行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述位元線其中之一。

3. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，該控制器包括：

一備份行選擇器，配置成：在從一外部裝置所接收的一串選擇位址與一行分層位址的基礎上，而選擇所述備份位元線其中之一。

4. 如申請專利範圍第 3 項所述的非揮發性記憶體裝置，其中，所述備份行選擇器儲存：具有一缺陷記憶胞的串的一串選擇位址與一行分層位址。

5. 如申請專利範圍第 4 項所述的非揮發性記憶體裝置，其中，具有所述缺陷記憶胞的所述串之所述串選擇位

址及所述行分層位址被儲存於一保險絲盒中。

6. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，更包括：

一備用區塊，包括：多數個記憶胞；且

所述備用區塊儲存具有一缺陷記憶胞的串的一串選擇位址及一行分層位址。

7. 如申請專利範圍第 6 項所述的非揮發性記憶體裝置，其中，所述控制器包括一儲存電路，設置成：用以接收包含一缺陷記憶胞的所述串的一串選擇位址與一行分層位址，將所述串選擇位址與所行分層位址儲存於所述備用區塊、且所述儲存電路響應於一供電檢測訊號。

8. 如申請專利範圍第 7 項所述的非揮發性記憶體裝置，其中，該控制器更包括一電源供應檢測器，設置成：依據檢測到電源被提供到所述非揮發性記憶體裝置，而產生所述供電檢測訊號。

9. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述該主要記憶胞陣列中的所述串與所述備份記憶胞陣列中的所述備份串共享相同的字元線。

10. 如申請專利範圍第 1 項所述的非揮發性記憶體裝置，其中，所述位元線與所述備份位元線排列在平行於所述基底的一方向中。

160：保險絲區塊
170：控制邏輯電路
ADDR：位址
BL：位元線
CTRL：控制訊號
DATA：資料
PB1~PBm：頁緩衝單元
RBL：備份位元線
REP：代替訊號
RPB1~RPBn：備份頁緩衝單元
WL：字元線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無