

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5080174号  
(P5080174)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int. Cl.	F I				
H03K 5/00 (2006.01)	H03K	5/00		V	
H03L 7/081 (2006.01)	H03L	7/08		J	
H03L 7/08 (2006.01)	H03L	7/08		H	
H03L 7/00 (2006.01)	H03L	7/00		D	
H03K 5/14 (2006.01)	H03K	5/14			

請求項の数 20 (全 19 頁)

(21) 出願番号	特願2007-224001 (P2007-224001)	(73) 特許権者	310024033
(22) 出願日	平成19年8月30日 (2007.8.30)		エスケーハイニックス株式会社
(65) 公開番号	特開2008-154210 (P2008-154210A)		SK hynix Inc.
(43) 公開日	平成20年7月3日 (2008.7.3)		大韓民国京畿道利川市夫鉢邑京忠大路2091
審査請求日	平成22年8月10日 (2010.8.10)		2091, Gyeongchung-aero, Bubal-eub, Icheon-si, Gyeonggi-do, Korea
(31) 優先権主張番号	10-2006-0129582	(74) 代理人	100117514
(32) 優先日	平成18年12月18日 (2006.12.18)		弁理士 佐々木 敦朗
(33) 優先権主張国	韓国 (KR)	(72) 発明者	沈 錫 輔
			大韓民国京畿道利川市夫鉢邑牙美里山136-1

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の遅延ロックループ回路

(57) 【特許請求の範囲】

【請求項1】

内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、

外部クロックのクロックパルス幅を検出してパルス幅検出信号を出力するクロックパルス幅検出手段と、

前記デューティサイクル補正手段の出力の位相を分離し、前記パルス幅検出信号に相応するように前記位相分離された2つの信号のうち少なくとも1つのパルス幅を調節して、遅延ロックループクロックとして出力するドライブ手段と

を備えることを特徴とする半導体記憶装置の遅延ロックループ回路。

10

【請求項2】

前記クロックパルス幅検出手段は、  
前記外部クロックの周波数を分割する分周部と、  
前記分周部の出力を遅延させる遅延部と、  
前記分周部の出力と前記遅延部の出力が入力される第1論理回路と、  
前記第1論理回路の出力が入力されて前記パルス幅検出信号を出力するラッチと  
を備えることを特徴とする請求項1に記載の半導体記憶装置の遅延ロックループ回路。

【請求項3】

前記第1論理回路は、論理積演算を行うように構成されることを特徴とする請求項2に記載の半導体記憶装置の遅延ロックループ回路。

20

## 【請求項 4】

前記ラッチは、

第 1 入力端に電源が印加され、出力端を介して前記パルス幅検出信号を出力する第 1 論理素子と、

前記第 1 論理回路の出力が入力される反転素子と、

第 1 入力端には前記第 1 論理素子の出力が入力され、第 2 入力端には前記反転素子の出力が入力され、出力端は前記第 1 論理素子の第 2 入力端と接続された第 2 論理素子とを備えることを特徴とする請求項 2 又は 3 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 5】

前記ドライブ手段は、

前記デューティサイクル補正部の出力を第 1 および第 2 位相信号に分離して出力する位相分離部と、

前記第 1 および第 2 位相信号のうち少なくとも 1 つのパルス幅を前記パルス幅検出信号によって調節して出力するパルス幅調節部とを備えることを特徴とする請求項 1 又は 4 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 6】

前記パルス幅調節部は、

前記第 1 位相信号のパルス幅を前記パルス幅検出信号に該当する幅だけ減少させて出力する第 1 パルス幅調節部と、

前記第 2 位相信号のパルス幅を前記パルス幅検出信号に該当する幅だけ減少させて出力する第 2 パルス幅調節部と

を備えることを特徴とする請求項 5 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 7】

前記第 1 パルス幅調節部は、

前記第 1 位相信号を前記パルス幅検出信号に相応する時間だけ遅延させて出力する可変遅延部と、

前記第 1 位相信号と前記可変遅延部の出力を演算する論理素子と、

前記論理素子の出力と前記第 1 位相信号を演算する第 2 論理回路とを備えることを特徴とする請求項 6 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 8】

前記可変遅延部は、

前記パルス幅検出信号によって前記第 1 位相信号を通過させる複数のスイッチング素子と、

前記複数のスイッチング素子の出力を互いに異なる時間だけ遅延させる複数の遅延素子と、

前記複数の遅延素子の出力を演算する第 3 論理回路と

を備えることを特徴とする請求項 7 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 9】

前記複数のスイッチング素子は、パスゲートであることを特徴とする請求項 8 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 10】

前記第 3 論理回路は、前記複数の遅延素子の出力を論理和するように構成されることを特徴とする請求項 8 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 11】

前記第 2 論理回路は、前記論理素子の出力と前記第 1 位相信号を論理積するように構成されることを特徴とする請求項 7 に記載の半導体記憶装置の遅延ロックスループ回路。

## 【請求項 12】

前記第 2 パルス幅調節部は、前記第 1 パルス幅調節部と同一に構成されることを特徴と

10

20

30

40

50

する請求項 6 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 13】

前記ドライブ手段は、前記パルス幅調節部の出力と前記位相分離部の出力をドライブするための第 1 および第 2 ドライバをさらに備えることを特徴とする請求項 5 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 14】

内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、  
前記デューティサイクル補正部の出力の位相を分離し、前記位相分離された 2 つの信号のうち少なくとも 1 つのパルス幅を調節して、遅延ロックループクロックとして出力するドライブ手段と  
を備えることを特徴とする半導体記憶装置の遅延ロックループ回路。

10

【請求項 15】

前記ドライブ手段は、  
前記デューティサイクル補正部の出力を第 1 および第 2 位相信号に分離して出力する位相分離部と、  
前記第 1 および第 2 位相信号のうち少なくとも 1 つのパルス幅を調節して出力するパルス幅調節部と  
を備えることを特徴とする請求項 14 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 16】

前記パルス幅調節部は、  
前記第 1 位相信号のパルス幅を減少させて出力する第 1 パルス幅調節部と、  
前記第 2 位相信号のパルス幅を減少させて出力する第 2 パルス幅調節部と  
を備えることを特徴とする請求項 15 に記載の半導体記憶装置の遅延ロックループ回路。

20

【請求項 17】

前記第 1 パルス幅調節部は、  
前記第 1 位相信号を定められた時間だけ遅延させて出力する遅延部と、  
前記第 1 位相信号と前記遅延部の出力を演算する論理素子と、  
前記論理素子の出力と前記第 1 位相信号を演算する第 4 論理回路と  
を備えることを特徴とする請求項 16 に記載の半導体記憶装置の遅延ロックループ回路。

30

【請求項 18】

前記第 4 論理回路は、前記論理素子の出力と前記第 1 位相信号を論理積するように構成されることを特徴とする請求項 17 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 19】

前記第 1 パルス幅調節部は、前記第 2 パルス幅調節部と同一に構成されることを特徴とする請求項 16 に記載の半導体記憶装置の遅延ロックループ回路。

【請求項 20】

前記ドライブ手段は、前記パルス幅調節部の出力と前記位相分離部の出力をドライブするための第 1 および第 2 ドライバをさらに備えることを特徴とする請求項 15 に記載の半導体記憶装置の遅延ロックループ回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に半導体記憶装置の遅延ロックループ回路に関するものである。

【背景技術】

【0002】

遅延ロックループ (Delay Locked Loop: DLL) 回路は、半導体記憶装置の外部から供給される外部クロック CLK と半導体記憶装置の内部で用いられる内部クロック iclk の位相を同期させるための遅延ロックループクロック RCLKDLL, FCLKDLL を生

50

成する回路である。

【 0 0 0 3 】

前記遅延ロックループクロック R C L K D L L は、前記外部クロック C L K の立ち上がりエッジに同期したクロックであり、前記遅延ロックループクロック F C L K D L L は前記外部クロック C L K の立ち下がりエッジに同期したクロックである。

【 0 0 0 4 】

図 1 に示すように、前記半導体記憶装置の遅延ロックループ回路 1 0 から出力された遅延ロックループクロック R C L K D L L , F C L K D L L は、信号線を介して第 1 データ入出力部 1 1 および第 2 データ入出力部 1 2 に供給される。

【 0 0 0 5 】

前記第 1 および第 2 データ入出力部 1 1 , 1 2 は、前記遅延ロックループクロック R C L K D L L , F C L K D L L を用いて全体入出力データを半分に分けて処理するための構成である。例えば、一度の入力又は出力命令に応じて出力される全体データが 1 6 ビットであれば、第 1 データ入出力部 1 1 は 0 ~ 7 番に該当する 8 個のデータを処理し、残りのデータは第 2 データ入出力部 1 2 で処理する。

【 0 0 0 6 】

半導体記憶装置がさらに高速化してデータ処理量が増加するにつれて、円滑なデータ入出力のために上記のようなデータ入出力部を複数用いる方式が使われている。

【 0 0 0 7 】

前記第 1 および第 2 データ入出力部 1 1 , 1 2 は、遅延ロックループクロック R C L K D L L , F C L K D L L のスキューを考慮して、クロック C L K が発生した時点からデータをアクセスするのに必要な時間  $t_{AC}$  と  $CAS$  レイテンシに合うように前記遅延ロックループクロック R C L K D L L , F C L K D L L に対する遅延およびタイミングの調整を行う。

【 0 0 0 8 】

従来の技術に係る遅延ロックループ回路 1 0 は、図 2 に示すようにデューティサイクル補正部 2 0 および遅延ロックループクロックドライバ 3 0 を備えている。

前記遅延ロックループクロックドライバ 3 0 は、位相分離部 4 0、第 1 ドライバ 5 0、および第 2 ドライバ 6 0 を備えている。

このように構成された従来技術に係る遅延ロックループ回路の動作を説明すれば次の通りである。

【 0 0 0 9 】

前記デューティサイクル補正部 2 0 は、遅延ロックループ回路 1 0 の内部の遅延ループ ( 図示せず ) によって遅延ロックされた内部クロック  $i R C L K$  ,  $i F C L K$  のデューティサイクルを補正して出力する。

【 0 0 1 0 】

前記遅延ロックループクロックドライバ 3 0 の位相分離部 4 0 は、前記デューティサイクル補正部 2 0 の出力 D C C O U T の位相を分離した位相分離信号 R O U T , F O U T を出力する。

【 0 0 1 1 】

前記遅延ロックループクロックドライバ 3 0 の第 1 ドライバ 5 0 は、前記位相分離信号 R O U T を前記遅延ロックループクロック R C L K D L L でドライブして遅延ロックループ回路 1 0 の外部の信号線に出力する。

【 0 0 1 2 】

前記第 2 ドライバ 6 0 は、前記位相分離信号 F O U T を前記遅延ロックループクロック F C L K D L L でドライブして遅延ロックループ回路 1 0 の外部の信号線に出力する。

【 0 0 1 3 】

従来の技術に係る半導体記憶装置では、前記遅延ロックループクロック R C L K D L L , F C L K D L L は、図 1 に示すように長い信号線を介して伝送され、上述したスキューを有するようになる。

10

20

30

40

50

図1の第1および第2データ入出力部11, 12においては、前記遅延ロックループクロックRCLKDLL, FCLKDLLのスキューを補償するようになっている。

【0014】

しかし、従来の技術に係る半導体記憶装置は、図1に示すように第1および第2データ入出力部11, 12と接続された信号線が非対称的であるため、上述した遅延ロックループクロックRCLKDLL, FCLKDLLのスキュー補償がなされないだけでなく、むしろスキューをより深刻化させ得る。

【0015】

このような従来の技術に係る半導体記憶装置では、遅延ロックループクロックRCLKDLL, FCLKDLLのスキューによってタイミングエラーを誘発する。すなわち、正常な場合、2つの遅延ロックループクロックRCLKDLLとFCLKDLLには互いに重なる区間が存在してはいけない。しかし、図3のA区間のように2つの遅延ロックループクロックRCLKDLLとFCLKDLLには重なる区間が存在するので、タイミングエラーを誘発する。

【0016】

DDR DRAM (Double Data Rate Dynamic RAM) の場合、クロックの立ち上がりエッジと立ち下がりエッジの各々のタイミングでデータが入力されたりデータを出力したりする。したがって、図3のA区間のように重なる区間が存在すれば、それをを用いるデータ入出力構成の誤動作により深刻なデータ入出力のエラーが誘発される問題点がある。

【0017】

詳述した従来技術の問題は、図3に示すように遅延ロックループクロックRCLKDLL, FCLKDLLのハイレベル区間の幅が異なるために生じるものである。したがって、単に遅延ロックループクロックRCLKDLL, FCLKDLLのうちいずれか1つを遅延させるだけでは上述した従来の問題を解決することはできない。また、遅延ロックループクロックRCLKDLL, FCLKDLLを遅延させることは、前記第1および第2データ入出力部において前記データアクセス時間 $t_{AC}$ の調整を困難にするという新たな問題を生じさせる。いため適用範囲が制限されるという問題点がある。これに似ている技術はアメリカ登録特許7,103,133 (特許文献1) に開示されている。

【特許文献1】米国特許7,103,133号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

本発明は、遅延ロックループクロックが伝送される過程で発生するタイミングエラーを未然に防止できるようにした半導体記憶装置の遅延ロックループ回路を提供することにその目的がある。

【課題を解決するための手段】

【0019】

本発明に係る半導体記憶装置の遅延ロックループ回路は、内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、外部クロックのクロックパルス幅を検出してパルス幅検出信号を出力するクロックパルス幅検出手段と、前記デューティサイクル補正手段の出力の位相を分離し、前記パルス幅検出信号に相応するように前記位相分離された2つの信号のうち少なくとも1つのパルス幅を調節して、遅延ロックループクロックとして出力するドライブ手段とを備えることを特徴とする。

【0020】

本発明に係る半導体記憶装置の遅延ロックループ回路は、内部クロックのデューティサイクルを補正して出力するデューティサイクル補正手段と、前記デューティサイクル補正部の出力の位相を分離し、前記位相分離された2つの信号のうち少なくとも1つのパルス幅を調節して、遅延ロックループクロックとして出力するドライブ手段とを備えることを他の特徴とする。

【発明の効果】

## 【 0 0 2 1 】

本発明に係る半導体記憶装置の遅延ロックスループ回路は、遅延ロックスループ回路の外部に出力され、非対称信号線を介する場合に備えて遅延ロックスループクロックのパルス幅を調節して出力するため、伝送経路上で生じ得る遅延ロックスループクロックのタイミングエラーの問題を未然防止して、半導体記憶装置の性能を向上させられる効果がある。

## 【 0 0 2 2 】

また、本発明に係る半導体記憶装置の遅延ロックスループ回路は、外部クロックのパルス幅の可変に対応して遅延ロックスループクロックのパルス幅を調節するため、半導体記憶装置の動作周波数の変動にも完璧に対応できる効果がある。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 3 】

以下、添付された図面を参照して本発明に係る半導体記憶装置の遅延ロックスループ回路の好ましい実施形態を説明すれば次の通りである。

## 【 0 0 2 4 】

本発明に係る半導体記憶装置の遅延ロックスループ回路 1 0 0 は、図 4 に示すように、内部クロック  $i R C L K$ 、 $i F C L K$  のデューティサイクルを補正して出力するデューティサイクル補正部 2 0、外部クロック  $C L K$  のクロックパルス幅を検出してパルス幅検出信号  $D E T W$  を出力するクロックパルス幅検出部 4 0 0、および前記デューティサイクル補正部 2 0 の出力の位相を分離し、前記パルス幅検出信号  $D E T W$  に相応するように前記位相分離された 2 つの信号  $R O U T$ 、 $F O U T$  のうち少なくとも 1 つのパルス幅を調節して、遅延ロックスループクロック  $R C L K D L L$ 、 $F C L K D L L$  として出力する遅延ロックスループクロックドライバ 2 0 0 を備えている。

## 【 0 0 2 5 】

前記遅延ロックスループクロックドライバ 2 0 0 は、前記デューティサイクル補正部 2 0 の出力を第 1 および第 2 位相信号  $R O U T$ 、 $F O U T$  に分離して出力する位相分離部 4 0、前記第 1 および第 2 位相信号  $R O U T$ 、 $F O U T$  のうち少なくとも 1 つのパルス幅を前記パルス幅検出信号  $D E T W$  に応じて調節して出力するパルス幅調節部 3 0 0、および前記パルス幅調節部 3 0 0 の出力をドライブするための第 1 および第 2 ドライバ 5 0、6 0 を備えている。

## 【 0 0 2 6 】

前記パルス幅調節部 3 0 0 は、前記第 1 位相信号  $R O U T$  および第 2 位相信号  $F O U T$  のうちいずれか 1 つ又は 2 つとものパルス幅を調節するように構成することができる。

前記パルス幅調節部 3 0 0 を前記第 1 および第 2 位相信号  $R O U T$ 、 $F O U T$  のパルス幅全てを調節するように構成した場合、その構成は図 4 に示す通りである。前記パルス幅調節部 3 0 0 は、前記第 1 位相信号  $R O U T$  のパルス幅を前記パルス幅検出信号  $D E T W$  に該当する幅だけ減少させて出力する第 1 パルス幅調節部 3 1 0、および前記第 2 位相信号  $F O U T$  のパルス幅を前記パルス幅検出信号  $D E T W$  に該当する幅だけ減少させて出力する第 2 パルス幅調節部 3 2 0 を備えている。

## 【 0 0 2 7 】

前記第 1 パルス幅調節部 3 1 0 は、図 5 に示すように、前記第 1 位相信号  $R O U T$  を前記パルス幅検出信号  $D E T W$  に相応する時間だけ遅延させて出力する可変遅延部 3 1 1、前記第 1 位相信号  $R O U T$  と前記可変遅延部 3 1 1 の出力を演算する第 1 ナンドゲート  $N D 3 1$ 、および前記第 1 ナンドゲート  $N D 3 1$  の出力と前記第 1 位相信号  $R O U T$  を論理積演算する第 2 ナンドゲート  $N D 3 2$  とインバータ  $I V 3 1$  を備えている。

## 【 0 0 2 8 】

前記可変遅延部 3 1 1 は、図 6 に示すように前記パルス幅検出信号  $D E T W$  が入力される第 1 インバータ  $I V 4 1$ 、前記パルス幅検出信号  $D E T W$  と前記第 1 インバータ  $I V 4 1$  の出力により前記第 1 位相信号  $R O U T$  を通過させる第 1 パスゲート  $P G 4 1$ 、前記第 1 インバータ  $I V 4 1$  の出力と前記パルス幅検出信号  $D E T W$  により前記第 2 位相信号  $F O U T$  を通過させる第 2 パスゲート  $P G 4 2$ 、前記第 1 パスゲート  $P G 4 1$  の出力を第 1

10

20

30

40

50

遅延時間だけ遅延させて出力する第1ディレイ素子312、前記第2パスゲートPG42の出力を第2遅延時間だけ遅延させて出力する第2ディレイ素子313、および前記第1および第2パスゲートPG41、PG42の出力を論理和演算するノアゲートNR41と第2インバータIV42を備えている。前記第1ディレイ素子312に比べて第2ディレイ素子313の遅延時間はより大きく設定される。

【0029】

図4の第2パルス幅調節部320は、前記第1パルス幅調節部310と同一に構成される。

一方、前記パルス幅調節部300を前記第1位相信号ROUTのパルス幅だけを調節するように構成した場合、図4で第2パルス幅調節部320を削除して第2位相信号FOUTが直接第2ドライバ60に印加されるようにすればよい。

10

【0030】

前記パルス幅調節部300を前記第2位相信号FOUTのパルス幅だけを調節するように構成した場合、図4で第1パルス幅調節部310を削除して第1位相信号ROUTが直接第1ドライバ50に印加されるようにすればよい。

【0031】

前記クロックパルス幅検出部400は、図7に示すように前記外部クロックCLKの周波数を分割する分周部410、前記分周部410の出力を遅延させる遅延部420、前記分周部410の出力と前記遅延部420の出力とが入力される第1ナンドゲートND51、前記第1ナンドゲートND51の出力が入力される第1インバータIV51、および前記第1インバータIV51の出力が入力されるラッチ430を備えている。前記クロックパルス幅検出部400では、分周部410が外部クロックCLKの周波数を所定倍率（例えば、1/2）に分けて出力する。前記遅延部420は、前記分周部410の出力を定められた時間だけ遅延させて出力する。前記第1ナンドゲートND51と第1インバータIV51とは、前記分周部410の出力と前記遅延部420の出力とを論理積演算して、その演算の結果を出力する。

20

【0032】

前記ラッチ430は、第1入力端に電源VDDが印加され、出力端を介して前記パルス幅検出信号DETWを出力する第2ナンドゲートND52、前記第1インバータIV51の出力が入力される第2インバータIV52、および第1入力端に前記第2ナンドゲートND52の出力が入力され、第2入力端に前記第2インバータIV52の出力が入力され、出力端が前記第2ナンドゲートND52の第2入力端と接続された第3ナンドゲートND53を備えている。前記ラッチ430は、初期動作時から前記第1インバータIV51の出力がローレベルの区間中、前記パルス幅検出信号DETWをローレベルで出力し、前記第1インバータIV51の出力がハイレベルに遷移すれば、前記パルス幅検出信号DETWをハイレベルで出力する。

30

【0033】

例えば、外部クロックCLKの周波数が高くてクロックパルス幅が狭い場合、図8aに示すように前記分周部410の出力C1と前記遅延部420の出力C2とを論理積すれば、第1インバータIV51の出力C3はローレベルを維持するために、ラッチ430を介してパルス幅検出信号DETWはローレベルで出力される。したがって、パルス幅検出信号DETWがローレベルである場合、クロックパルス幅の狭いものを検出することができる。一方、外部クロックCLKの周波数が低くてクロックパルス幅が広い場合、図8bに示すように前記分周部410の出力C1と前記遅延部420の出力C2を論理積すれば、第1インバータIV51の出力C3はハイレベル区間が繰り返されるパルス形状を示すため、ラッチ430を介してパルス幅検出信号DETWはハイレベルで出力される。したがって、パルス幅検出信号DETWがハイレベルである場合、クロックパルス幅の広いものを検出することができる。

40

【0034】

このように構成された本発明の実施形態に係る半導体記憶装置の遅延ロックスルー回路

50

の動作を説明すれば次の通りである。

【 0 0 3 5 】

前記デューティサイクル補正部 2 0 は、内部クロック  $i R C L K$  ,  $i F C L K$  のデューティサイクルを補正した信号  $D C D C O U T$  を出力する。

前記クロックパルス幅検出部 4 0 0 は、図 8 a および図 8 b に示すように外部クロック  $C L K$  のパルス幅に応じたパルス幅検出信号  $D E T W$  を出力する。

前記位相分離部 4 0 は、前記信号  $D C D C O U T$  の位相を分離して、第 1 および第 2 位相信号  $R O U T$  ,  $F O U T$  を出力する。

前記パルス幅調節部 3 0 0 は、前記パルス幅検出信号  $D E T W$  により、第 1 および第 2 位相信号  $R O U T$  ,  $F O U T$  のパルス幅を調節して出力する。

前記第 1 および第 2 パルス幅調節部 3 1 0 , 3 2 0 のパルス幅調節動作は同一であり、第 1 パルス幅調節部 3 1 0 の動作を説明すれば次の通りである。

前記パルス幅検出信号  $D E T W$  がハイレベルである場合、すなわち外部クロック  $C L K$  の周波数が低くて外部クロック  $C L K$  のパルス幅が広い場合について説明すれば次の通りである。

【 0 0 3 6 】

図 9 a に示すように、図 6 の可変遅延部 3 1 1 は、前記第 1 位相信号  $R O U T$  を前記第 1 ディレイ素子 3 1 2 の遅延時間に比べて長い第 2 ディレイ素子 3 1 3 の遅延時間だけ遅延させて出力する。図 5 の第 1 ナンドゲート  $N D 3 1$  は、前記可変遅延部 3 1 1 の出力  $B 1$  と前記第 1 位相信号  $R O U T$  を演算した信号  $B 2$  を出力する。前記第 2 ナンドゲート  $N D 3 2$  とインバータ  $I V 3 1$  は、前記信号  $B 2$  と前記第 1 位相信号  $R O U T$  を論理積することにより、前記第 1 位相信号  $R O U T$  のパルス幅を前記第 2 ディレイ素子 3 1 3 の遅延時間だけ減少させた信号  $R O U T C$  を出力する。

前記パルス幅検出信号  $D E T W$  がローレベルである場合、すなわち外部クロック  $C L K$  の周波数が高くて外部クロック  $C L K$  のパルス幅が狭い場合について説明すれば次の通りである。

【 0 0 3 7 】

図 9 b に示すように、図 6 の可変遅延部 3 1 1 は、前記第 1 位相信号  $R O U T$  を前記第 1 ディレイ素子 3 1 2 の遅延時間だけ遅延させて出力する。図 5 の第 1 ナンドゲート  $N D 3 1$  は、前記可変遅延部 3 1 1 の出力  $B 1$  と前記第 1 位相信号  $R O U T$  を演算した信号  $B 2$  を出力する。前記第 2 ナンドゲート  $N D 3 2$  とインバータ  $I V 3 1$  とは、前記信号  $B 2$  と前記第 1 位相信号  $R O U T$  とを論理積することにより、前記第 1 位相信号  $R O U T$  のパルス幅を前記第 1 ディレイ素子 3 1 2 の遅延時間だけ減少させた信号  $R O U T C$  を出力する。

つまり、第 1 パルス幅調節部 3 1 0 および第 2 パルス幅調節部 3 2 0 は、外部クロック  $C L K$  のパルス幅を検出してパルス幅の調節量を異にすることにより、外部クロック  $C L K$  のパルス幅が異なっても信号  $R O U T C$  ,  $F O U T C$  のパルス幅が一定になるようにする。

前記第 1 および第 2 ドライバ 5 0 , 6 0 は、前記信号  $R O U T C$  ,  $F O U T C$  を各々ドライブして遅延ロックスループクロック  $R C L K D L L$  ,  $F C L K D L L$  として出力する。

【 0 0 3 8 】

前記出力された遅延ロックスループクロック  $R C L K D L L$  ,  $F C L K D L L$  は、前記パルス幅調節部 3 0 0 を経由しないで生成された場合に比べてハイレベル区間の幅が減少した。周波数が異なることによって外部クロック  $C L K$  のパルス幅が可変しても、前記遅延ロックスループクロック  $R C L K D L L$  ,  $F C L K D L L$  のハイレベル区間の幅は一定に維持される。前記遅延ロックスループクロック  $R C L K D L L$  ,  $F C L K D L L$  は遅延ロックスループ回路の外部に出力され、非対称信号線を経てスキューが発生しても互いに重なる区間が存在しなくなる。

【 0 0 3 9 】

本発明の他の実施形態に係る半導体記憶装置の遅延ロックスループ回路 5 0 0 は、図 1 0

10

20

30

40

50

に示すように、内部クロック  $iRCLK$  ,  $iFCLK$  のデューティサイクルを補正して出力するデューティサイクル補正部 20、および前記デューティサイクル補正部 20 の出力の位相を分離し、前記位相分離された 2 つの信号  $ROUT$  ,  $FOUT$  のうち少なくとも 1 つのパルス幅を調節して、遅延ロックスループクロック  $RCLKDLL$  ,  $FCLKDLL$  として出力する遅延ロックスループクロックドライバ 600 を備えている。

【0040】

前記遅延ロックスループクロックドライバ 600 は、前記デューティサイクル補正部 20 の出力を第 1 および第 2 位相信号  $ROUT$  ,  $FOUT$  に分離して出力する位相分離部 40、前記第 1 および第 2 位相信号  $ROUT$  ,  $FOUT$  のうち少なくとも 1 つのパルス幅を調節して出力するパルス幅調節部 700、および前記パルス幅調節部 700 の出力をドライブするための第 1 および第 2 ドライバ 50 , 60 を備えている。前記パルス幅調節部 700 が前記第 1 位相信号  $ROUT$  のパルス幅を調節する場合、図 10 の第 2 パルス幅調節部 720 は削除され、第 2 位相信号  $FOUT$  は直接第 2 ドライバ 60 に印加される。一方、前記パルス幅調節部 700 が前記第 2 位相信号  $FOUT$  のパルス幅を調節する場合、図 10 の第 1 パルス幅調節部 710 は削除され、第 1 位相信号  $ROUT$  は直接第 1 ドライバ 50 に印加される。

10

【0041】

前記パルス幅調節部 700 は、前記第 1 位相信号  $ROUT$  および第 2 位相信号  $FOUT$  のうちいずれか 1 つ又は両方のパルス幅を調節するように構成することができる。

前記パルス幅調節部 700 を前記第 1 および第 2 位相信号  $ROUT$  ,  $FOUT$  のパルス幅を調節するように構成する場合、その構成は図 10 に示す通りである。前記パルス幅調節部 700 は、前記第 1 位相信号  $ROUT$  のパルス幅を定められた幅だけ減少させて出力する第 1 パルス幅調節部 710、および前記第 2 位相信号  $FOUT$  のパルス幅を定められた幅だけ減少させて出力する第 2 パルス幅調節部 720 を備えている。

20

【0042】

前記第 1 パルス幅調節部 710 は、図 11 に示すように、前記第 1 位相信号  $ROUT$  を定められた時間だけ遅延させて出力するディレイ素子 711、前記第 1 位相信号  $ROUT$  と前記ディレイ素子 711 の出力を演算する第 1 ナンドゲート  $ND61$ 、および前記第 1 ナンドゲート  $ND61$  の出力と前記第 1 位相信号  $ROUT$  を論理積演算する第 2 ナンドゲート  $ND62$  とインバータ  $IV61$  を備えている。

30

【0043】

図 10 の第 2 パルス幅調節部 720 は、前記第 1 パルス幅調節部 710 と同一に構成される。但し、第 1 パルス幅調節部 710 のディレイ素子 711 と第 2 パルス幅調節部 720 のディレイ素子の遅延時間は、回路設計によって同一であるか異なり得る。

【0044】

一方、前記パルス幅調節部 700 が前記第 1 位相信号  $ROUT$  のパルス幅だけを調節するように構成された場合、図 10 で第 2 パルス幅調節部 720 は削除し、第 2 位相信号  $FOUT$  は直接第 2 ドライバ 60 に印加されるようにすればよい。

【0045】

前記パルス幅調節部 700 が前記第 2 位相信号  $FOUT$  のパルス幅だけを調節するように構成された場合、図 10 で第 1 パルス幅調節部 710 は削除し、第 1 位相信号  $ROUT$  は直接第 1 ドライバ 50 に印加されるようにすればよい。

40

【0046】

このように構成された本発明の他の実施形態に係る半導体記憶装置の遅延ロックスループ回路の動作を説明すれば次の通りである。

前記デューティサイクル補正部 20 は、内部クロック  $iRCLK$  ,  $iFCLK$  のデューティサイクルを補正した信号  $DCDCOUT$  を出力する。

前記位相分離部 40 は、前記信号  $DCDCOUT$  の位相を分離して第 1 および第 2 位相信号  $ROUT$  ,  $FOUT$  を出力する。

前記パルス幅調節部 700 は、前記第 1 および第 2 位相信号  $ROUT$  ,  $FOUT$  のパル

50

ス幅を調節して出力する。

【0047】

前記第1および第2パルス幅調節部710, 720のパルス幅調節動作は同一であり、第1パルス幅調節部710の動作を説明すれば次の通りである。図11に示すように、ディレイ素子711は前記第1位相信号ROUTを既に設定された遅延時間だけ遅延させて出力する。前記第1ナンドゲートND61は、前記ディレイ素子711の出力と前記第1位相信号ROUTを演算して出力する。前記第2ナンドゲートND62とインバータIV61は、前記第1ナンドゲートND61の出力と前記第1位相信号ROUTを論理積して、前記第1位相信号ROUTのパルス幅を前記ディレイ素子711の遅延時間だけ減少させた信号ROUTCを出力する。

10

【0048】

つまり、第1パルス幅調節部710および第2パルス幅調節部720は、第1および第2位相信号ROUTおよびFOUTのパルス幅を各々一定量だけ減少させた信号ROUTCおよびFOUTCを出力する。

【0049】

前記第1および第2ドライバ50, 60は、前記信号ROUTCとFOUTCを各々ドライブして、遅延ロックループクロックRCLKDLL, FCLKDLLとして出力する。

前記出力された遅延ロックループクロックRCLKDLL, FCLKDLLは、前記パルス幅調節部700を介さずに生成された場合に比べてハイレベル区間の幅が減少した。したがって、前記遅延ロックループクロックRCLKDLL, FCLKDLLは遅延ロックループ回路の外部に出力され、非対称信号線を経てスキューが発生しても互いに重なる区間が存在しなくなる。

20

【0050】

本発明が属する技術分野の当業者は、本発明がその技術的思想や必須の特徴を変更せず、他の具体的な形態によって実施することができるため、以上で記述した実施形態はすべての面で例示的なものであり、限定的なものではないことを理解しなければならない。本発明の範囲は、前記詳細な説明よりは後述する特許請求の範囲によって表され、特許請求の範囲の意味および範囲そしてその等価概念から導き出されるすべての変更又は変形された形態が本発明の範囲に含まれると解釈しなければならない。

30

【図面の簡単な説明】

【0051】

【図1】従来の技術に係る半導体記憶装置の遅延ロックループクロックの伝送経路を示すブロック図である。

【図2】従来の技術に係る半導体記憶装置の遅延ロックループ回路のブロック図である。

【図3】従来の技術に係る半導体記憶装置の遅延ロックループクロックのエラー発生を示すタイミング図である。

【図4】本発明の実施形態に係る半導体記憶装置の遅延ロックループ回路のブロック図である。

【図5】図4の第1パルス幅調節部の回路図である。

40

【図6】図5の可変遅延部の回路図である。

【図7】図4のクロックパルス幅検出部の回路図である。

【図8a】図7のクロックパルス幅検出部の動作タイミング図である。

【図8b】図7のクロックパルス幅検出部の動作タイミング図である。

【図9a】図5の第1パルス幅調節部の動作タイミング図である。

【図9b】図5の第1パルス幅調節部の動作タイミング図である。

【図10】本発明の他の実施形態に係る半導体記憶装置の遅延ロックループ回路のブロック図である。

【図11】図10の第1パルス幅調節部の回路図である。

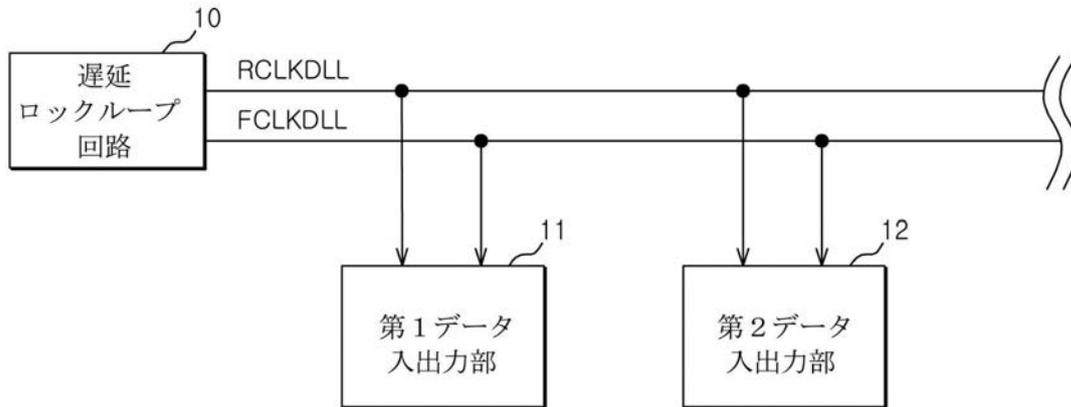
【符号の説明】

50

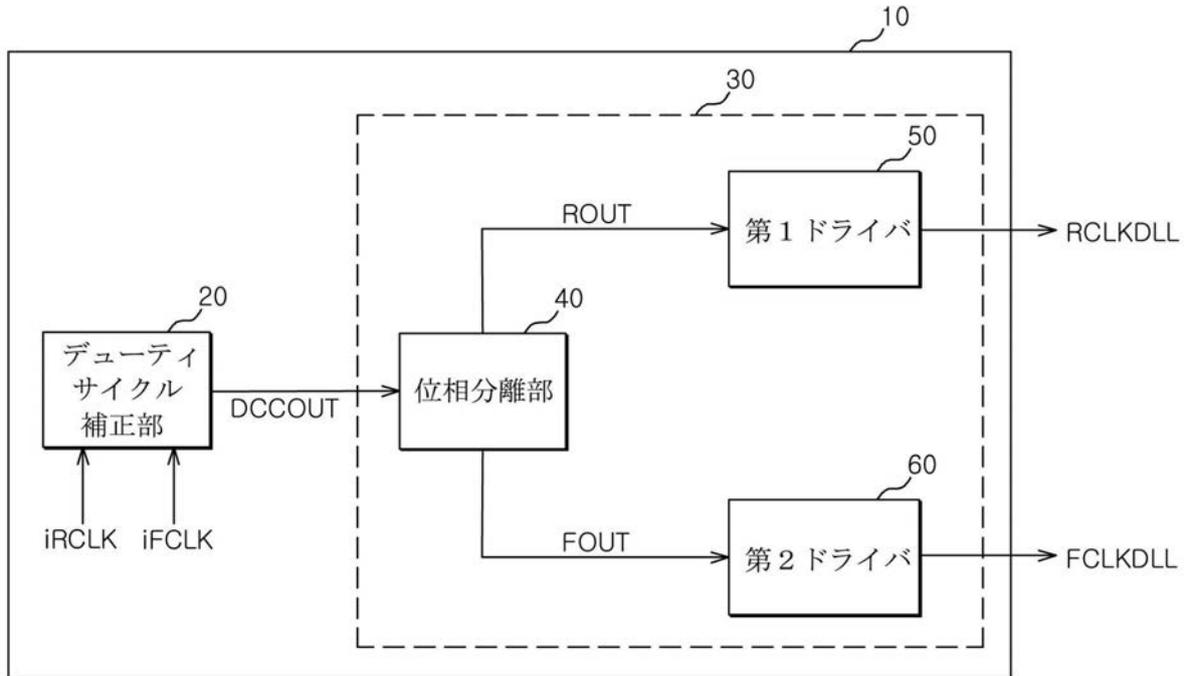
【 0 0 5 2 】

- 2 0 ... デューティサイクル補正部
- 4 0 ... 位相分離部
- 5 0 ... 第 1 ドライバ
- 6 0 ... 第 2 ドライバ
- 1 0 0 , 5 0 0 ... 遅延ロックループ回路
- 2 0 0 , 6 0 0 ... 遅延ロックループクロックドライバ
- 3 0 0 , 7 0 0 ... パルス幅調節部
- 3 1 0 ... 第 1 パルス幅調節部
- 3 1 1 ... 可変遅延部
- 3 1 2 ... 第 1 デイレイ素子
- 3 1 3 ... 第 2 デイレイ素子
- 3 2 0 , 7 2 0 ... 第 2 パルス幅調節部
- 4 1 0 ... 分周部
- 4 2 0 ... 遅延部
- 4 3 0 ... ラッチ
- 7 1 0 ... 第 1 パルス幅調節部
- 7 1 1 ... デイレイ素子

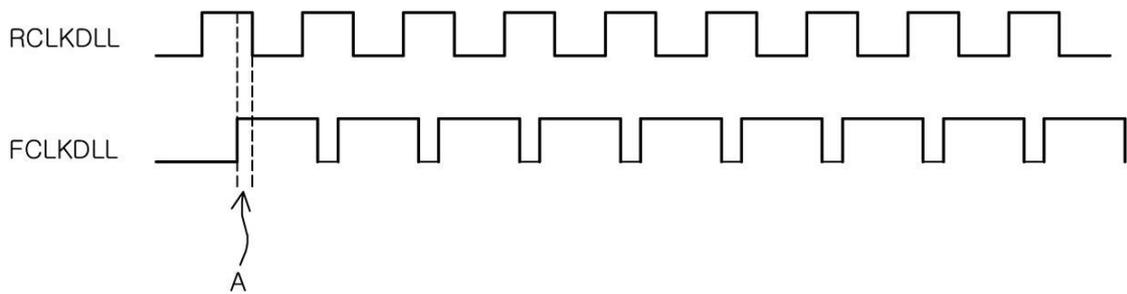
【 図 1 】



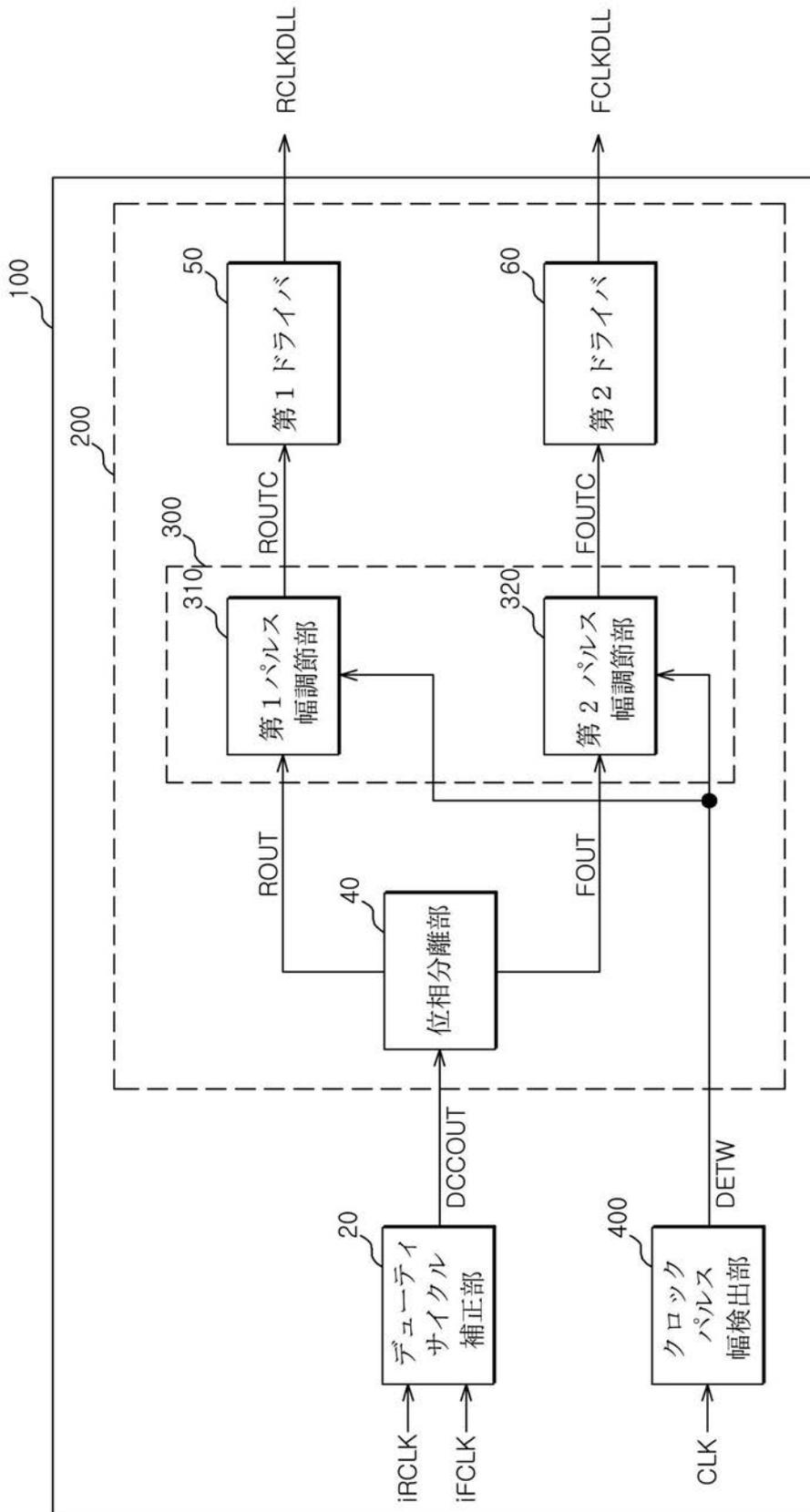
【図2】



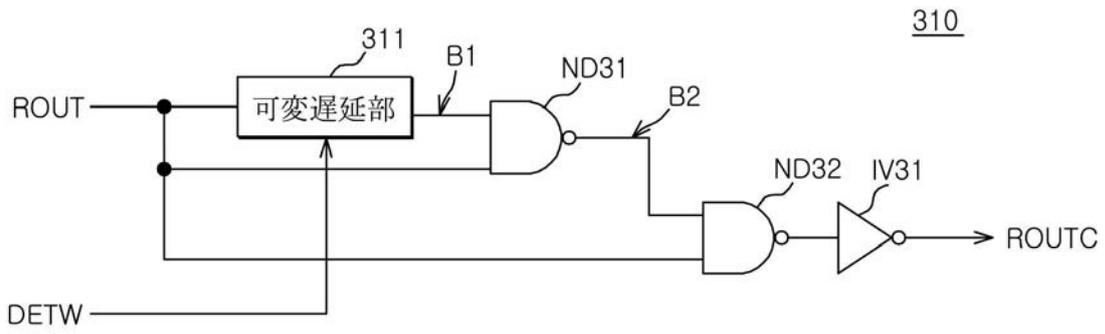
【図3】



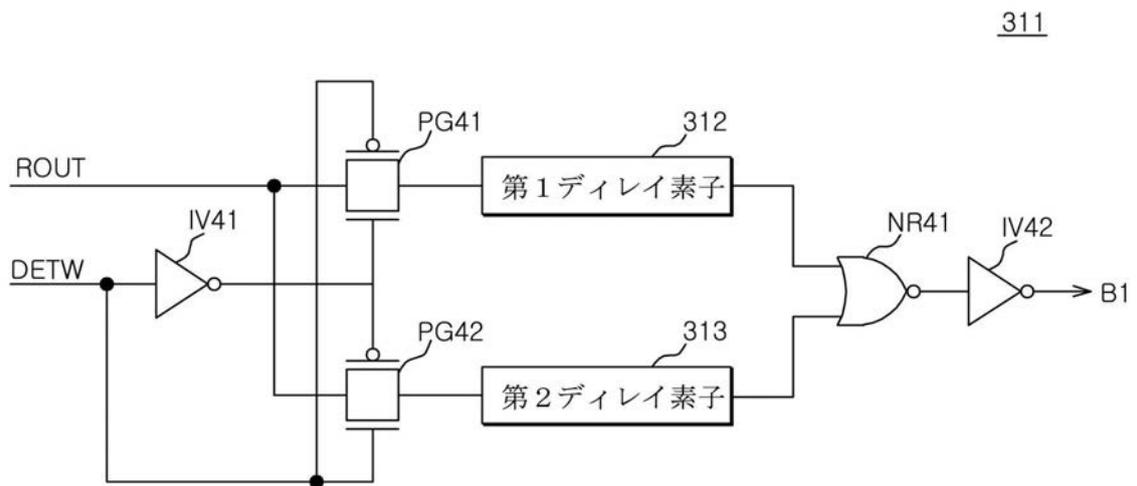
【 図 4 】



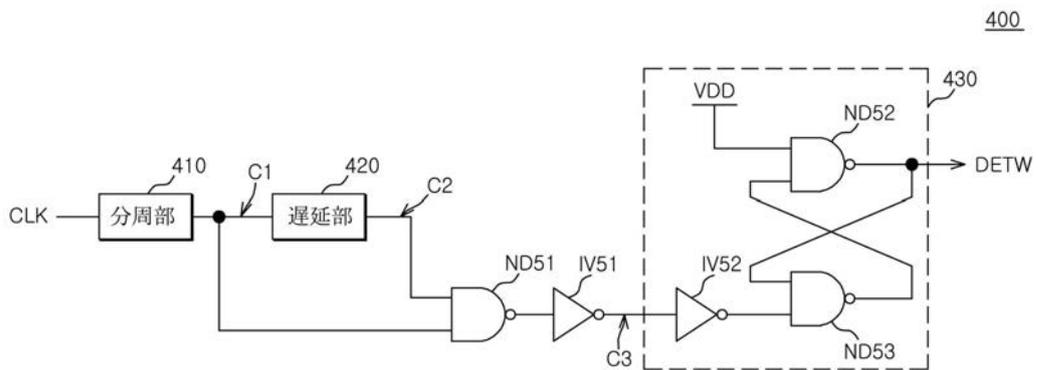
【図5】



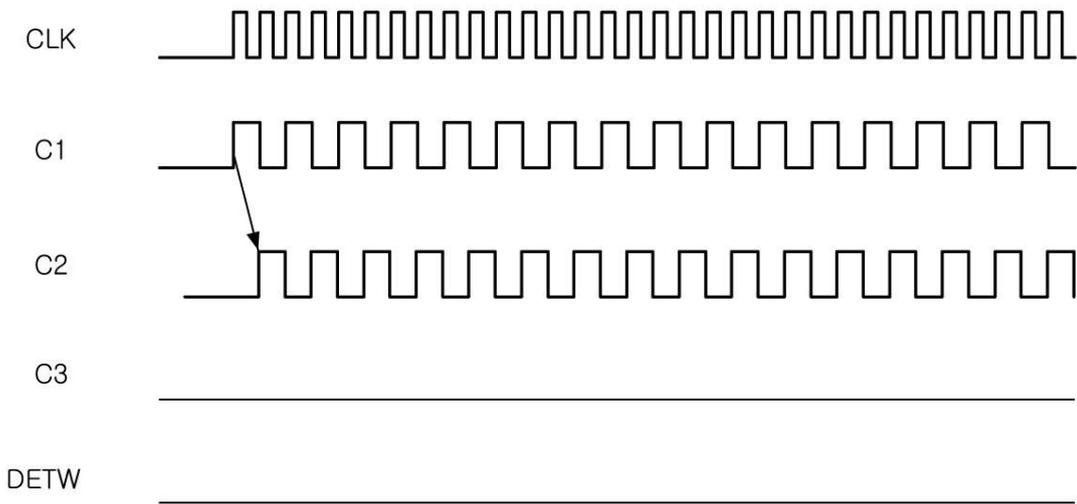
【図6】



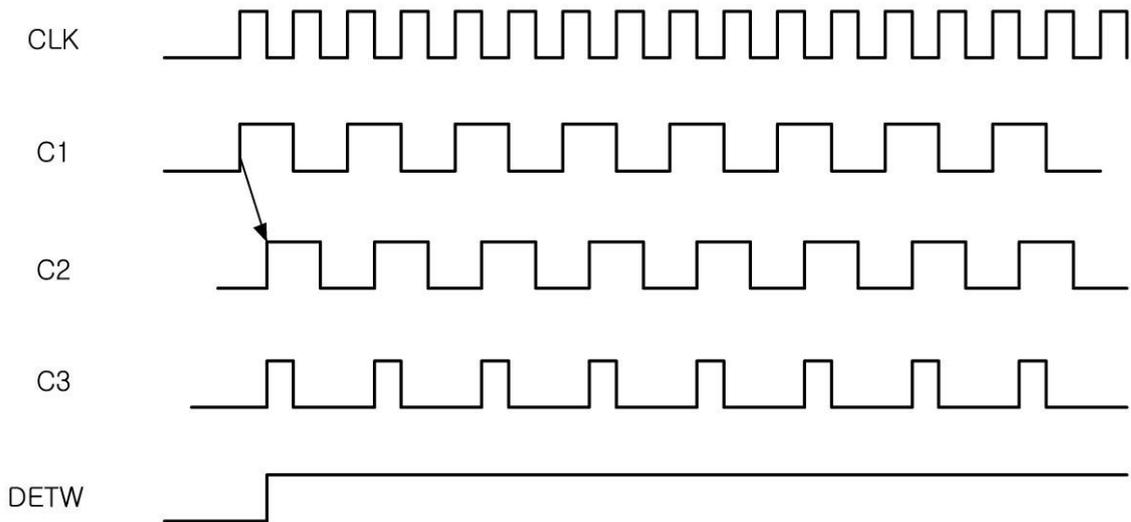
【図7】



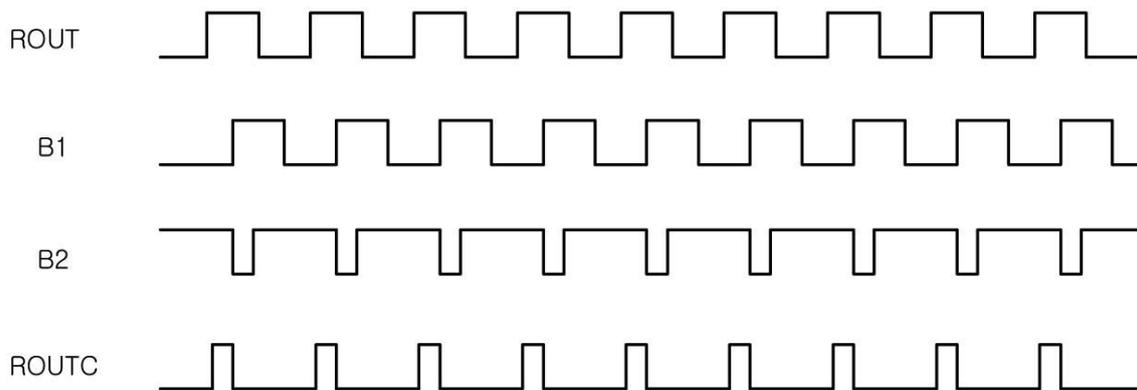
【 8 a 】



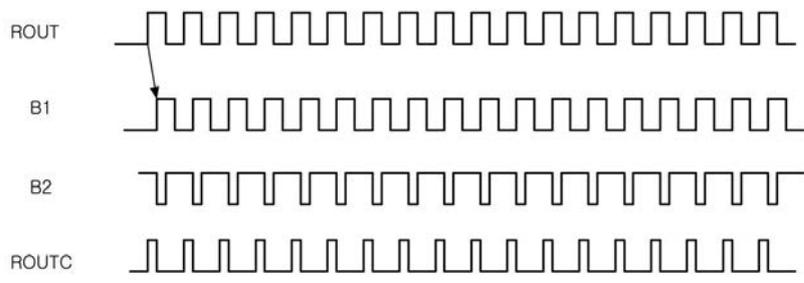
【 8 b 】



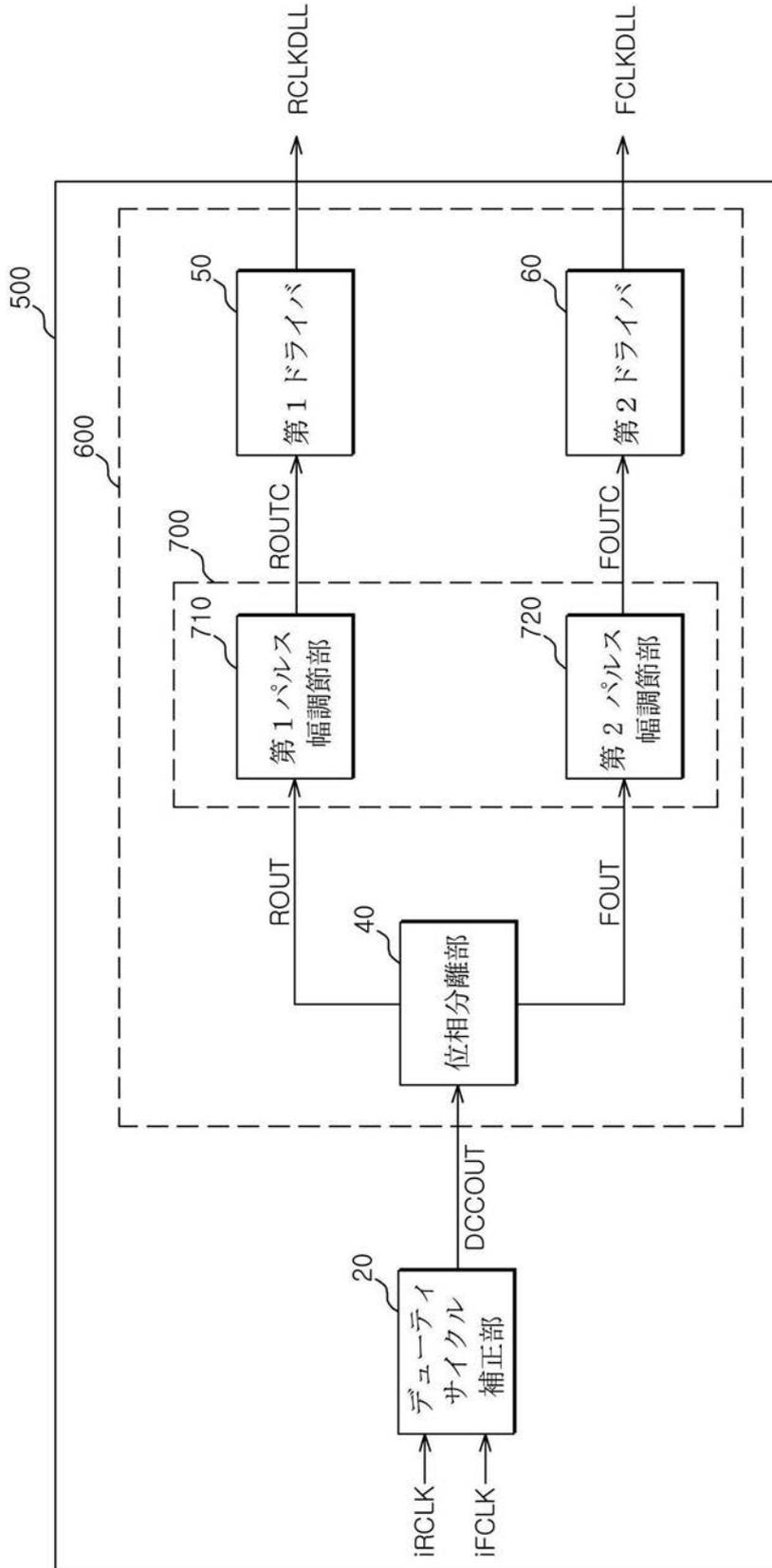
【 9 a 】



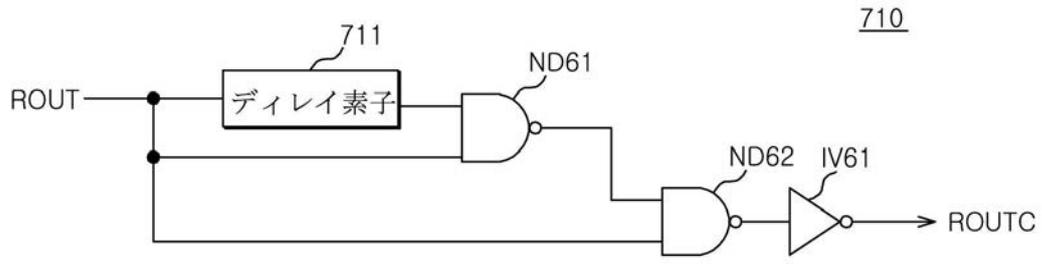
【 9 b 】



【図10】



【図11】



---

フロントページの続き

審査官 石田 勝

- (56)参考文献 特開昭63-268020(JP,A)  
特開平5-100763(JP,A)  
特開平10-69769(JP,A)  
特開平10-144075(JP,A)  
特開2004-129255(JP,A)  
特開2004-273660(JP,A)  
特開2006-285950(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K	5/00
H03K	5/14
H03L	7/00
H03L	7/08
H03L	7/081