



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0078326
(43) 공개일자 2011년07월07일

(51) Int. Cl.

H01L 21/31 (2006.01)

(21) 출원번호 10-2009-0135106

(22) 출원일자 2009년12월31일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

유동철

경기 성남시 분당구 분당동 셋별마을 삼부아파트
413-804

김병주

경기 수원시 영통구 망포동 525번지 조은빌 602동
204호

(뒷면에 계속)

(74) 대리인

박영우

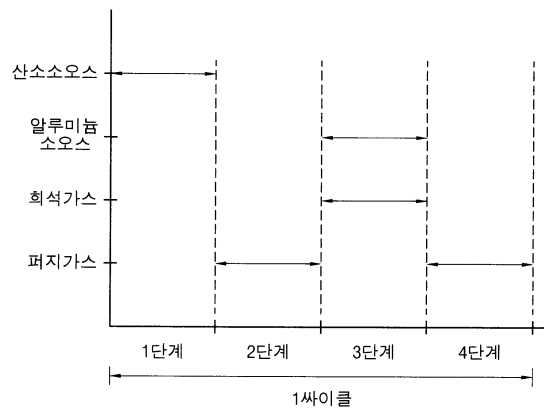
전체 청구항 수 : 총 10 항

(54) 유전막 형성 방법 및 이를 이용한 반도체 소자 제조 방법

(57) 요약

고유전율을 갖고 우수한 특성을 갖는 유전막을 형성하기 위하여, 알루미늄 소오스 가스 및 희석 가스를 동일한 노즐을 통해 챔버 내에 유입하여, 상기 챔버 내의 기관들 상에 알루미늄 소오스 가스를 흡착시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 상기 기관들에 물리적으로 흡착된 알루미늄 소오스 가스를 퍼지한다. 상기 챔버 내에 산소 소오스 가스를 공급하여 상기 기관들에 알루미늄 산화막을 생성시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 반응 잔류물 및 상기 기관들에 물리적으로 흡착된 잔여 가스를 퍼지한다. 다음에, 상기 설명한 단계를 복수회 반복 수행하여 알루미늄 산화막을 형성한다. 상기 공정을 통해 형성된 알루미늄 산화막은 고밀도 및 고유전율을 갖는다.

대표도 - 도2



(72) 발명자

최한메

서울 서초구 반포동 32-8, 삼호가든 F동 1102호

황기현

경기도 성남시 분당구 정자동 한솔마을LG아파트
202동 604호

특허청구의 범위

청구항 1

i)알루미늄 소오스 가스 및 희석 가스를 동일한 노즐을 통해 챔버 내에 유입하여, 상기 챔버 내의 기관들 상에 알루미늄 소오스 가스를 흡착시키는 단계;

ii)상기 챔버 내에 퍼지 가스를 공급하여 상기 기관들에 물리적으로 흡착된 알루미늄 소오스 가스를 퍼지하는 단계;

iii)상기 챔버 내에 산소 소오스 가스를 공급하여 상기 기관들에 알루미늄 산화막을 생성시키는 단계;

iv)상기 챔버 내에 퍼지 가스를 공급하여 반응 잔류물 및 상기 기관들에 물리적으로 흡착된 잔여 가스를 퍼지하는 단계; 및

v)상기 i) 내지 iv) 단계를 복수회 반복 수행하는 단계를 포함하는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 2

제1항에 있어서, 상기 챔버 내의 기관들의 온도를 450 내지 700℃로 유지시키는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 3

제1항에 있어서, 상기 희석 가스는 가스 공급 노즐 내에서 상기 알루미늄 소오스 가스가 분해되는 것을 억제되도록 하는 양만큼 유입하는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 4

제3항에 있어서, 상기 알루미늄 소오스 가스 및 희석 가스는 1 : 5 내지 80의 유량으로 유입되는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 5

제1항에 있어서, 상기 알루미늄 소오스 가스는 트리메틸 알루미늄 (trimethyl aluminium, $\text{Al}(\text{CH}_3)_3$), 트리에틸 알루미늄(triethyl aluminium, $\text{Al}(\text{C}_2\text{H}_5)_3$), 트리아이소부틸 알루미늄(triisobutyl aluminium, $\text{Al}[(\text{C}_2\text{H}_5(\text{CH}_3)_2)_3]$) 및 염화 디에틸알루미늄(diethyl aluminium chloride, $\text{AlCl}(\text{C}_2\text{H}_5)_2$) 으로 이루어지는 군에서 선택된 어느 하나인 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 6

제1항에 있어서, 상기 희석 가스는 질소, 아르곤 및 헬륨으로 이루어지는 군에서 선택된 적어도 하나인 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 7

제1항에 있어서, 상기 산소 소오스 가스는 오존 또는 H_2O 를 포함하는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 8

제7항에 있어서, 상기 산소 소오스 가스는 오존을 사용하고, 상기 오존은 300g/cm³의 농도를 갖고, 10slm 이상이 유입되는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 9

제1항에 있어서, 상기 알루미늄 소오스 가스 및 희석 가스는 각각의 가스 공급부와 연결된 공급관을 통해 제공되고, 알루미늄 소오스 가스 공급관 및 희석 가스 공급관이 서로 연결된 부위에서 상기 가스들이 희석된 상태로

상기 챔버 내부에 유입되는 것을 특징으로 하는 알루미늄 산화막 형성 방법.

청구항 10

- i)기관들 상에 터널 산화막, 전하 저장막 패턴을 형성하는 단계;
- ii)상기 전하 저장막 패턴이 형성된 기관들을 챔버 내에 로딩하는 단계;
- iii)알루미늄 소오스 가스 및 희석 가스를 동일한 노즐을 통해 상기 챔버 내에 유입하여, 상기 기관들 상에 알루미늄 소오스 가스를 흡착시키는 단계;
- iv)상기 챔버 내에 퍼지 가스를 공급하여 상기 기관들에 물리적으로 흡착된 알루미늄 소오스 가스를 퍼지하는 단계;
- v)상기 챔버 내에 산소 소오스 가스를 공급하여 상기 기관들에 알루미늄 산화막을 생성시키는 단계;
- vi)상기 챔버 내에 퍼지 가스를 공급하여 반응 잔류물 및 상기 기관들에 물리적으로 흡착된 잔여 가스를 퍼지하여 알루미늄 산화막을 형성하는 단계; 및
- vii)상기 알루미늄 산화막 상에 콘트롤 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 유전막 형성 방법 및 이를 이용한 반도체 소자 제조 방법에 관한 것이다. 보다 상세하게는, 알루미늄 산화물로 이루어지는 유전막 형성 방법 및 이를 이용한 반도체 소자 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 소자 내에는 고유전율을 갖는 유전막이 포함된다. 예를들어, 상기 유전막은 커패시터, 플래시 메모리 소자의 블록킹 절연막, 게이트 산화막 등에 사용된다. 최근에, 상기 고유전율을 갖는 유전막의 하나로 알루미늄 산화막이 사용되고 있다.

[0003] 상기 반도체 소자에서 유전막으로 사용되는 알루미늄 산화막은 높은 밀도를 가지면서도 불순물의 함량이 작은 것이 바람직하다. 또한, 열에 의한 막의 수축이 거의 발생되지 않고, 재현성 있는 식각율을 나타내는 것이 바람직하다. 이에 더하여, 트랩 특성, 누설 전류 특성 및 밴드갭 특성이 우수하여야 한다. 그러나, 상기와 같은 우수한 특성을 갖는 알루미늄 산화막을 형성하는 것이 용이하지 않다.

발명의 내용

해결하고자하는 과제

- [0004] 본 발명의 목적은 높은 밀도 및 신뢰성을 갖는 유전막의 형성 방법을 제공하는데 있다.
- [0005] 본 발명의 다른 목적은 상기한 유전막을 포함하는 플래시 메모리 소자의 제조 방법을 제공하는데 있다.
- [0006] 본 발명의 다른 목적은 상기한 유전막을 포함하는 커패시터의 제조 방법을 제공하는데 있다.

과제 해결수단

[0007] 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 유전막의 형성 방법으로, 알루미늄 소오스 가스 및 희석 가스를 동일한 노즐을 통해 챔버 내에 유입하여, 상기 챔버 내의 기관들 상에 알루미늄 소오스 가스를 흡착시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 상기 기관들에 물리적으로 흡착된 알루미늄 소오스 가스를 퍼지한다. 상기 챔버 내에 산소 소오스 가스를 공급하여 상기 기관들에 알루미늄 산화막을 생성시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 반응 잔류물 및 상기 기관들에 물리적으로 흡착된 잔여 가스를 퍼지한다. 다음에, 상기 설명한 단계들을 복수회 반복 수행한다.

- [0008] 본 발명의 일 실시예로, 상기 챔버 내의 기관들의 온도를 450 내지 700℃로 유지시킬 수 있다.
- [0009] 본 발명의 일 실시예로, 상기 회석 가스는 가스 공급 노즐 내에서 상기 알루미늄 소오스 가스가 분해되는 것을 억제되도록 하는 양만큼 유입될 수 있다. 상기 알루미늄 소오스 가스 및 회석 가스는 1 : 5 내지 80의 유량으로 유입될 수 있다.
- [0010] 본 발명의 일 실시예로, 상기 알루미늄 소오스 가스는 트리메틸 알루미늄 (trimethyl aluminium, $\text{Al}(\text{CH}_3)_3$), 트리에틸 알루미늄 (triethyl aluminium, $\text{Al}(\text{C}_2\text{H}_5)_3$), 트리이소부틸 알루미늄 (triisobutyl aluminium, $\text{Al}[(\text{C}_2\text{H}_5(\text{CH}_3)_2)_3]$, 및 염화 디에틸알루미늄 (diethyl aluminium chloride, $\text{AlCl}(\text{C}_2\text{H}_5)_2$) 으로 이루어지는 군에서 선택된 어느 하나일 수 있다. 보다 바람직하게, 상기 알루미늄 소오스 가스는 트리메틸 알루미늄일 수 있다.
- [0011] 본 발명의 일 실시예로, 상기 회석 가스는 질소, 아르곤 및 헬륨으로 이루어지는 군에서 선택된 적어도 하나일 수 있다.
- [0012] 본 발명의 일 실시예로, 상기 산소 소오스 가스는 오존 또는 H_2O 를 포함할 수 있다. 상기 산소 소오스 가스는 오존을 사용하고, 상기 오존은 300g/cm³의 농도를 갖고, 10slm 이상이 유입될 수 있다. 상기 오존은 복수의 오존 생성기에서 각각 생성되고, 상기 각각 생성된 오존이 하나의 노즐을 통해 상기 챔버 내에 유입될 수 있다.
- [0013] 본 발명의 일 실시예로, 상기 알루미늄 소오스 가스 및 회석 가스는 각각의 가스 공급부와 연결된 공급관을 통해 제공되고, 알루미늄 소오스 가스 공급관 및 회석 가스 공급관이 서로 연결된 부위에서 상기 가스들이 회석된 상태로 상기 챔버 내부에 유입될 수 있다.
- [0014] 본 발명의 일 실시예로, 상기 형성된 알루미늄 산화막을 열처리하는 공정을 더 포함할 수 있다.
- [0015] 상기한 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 플래시 메모리 소자의 제조 방법으로, 기관들 상에 터널 산화막, 전하 저장막 패턴을 형성한다. 상기 전하 저장막 패턴이 형성된 기관들을 챔버 내에 로딩한다. 알루미늄 소오스 가스 및 회석 가스를 동일한 노즐을 통해 상기 챔버 내에 유입하여, 상기 기관들 상에 알루미늄 소오스 가스를 흡착시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 상기 기관들에 물리적으로 흡착된 알루미늄 소오스 가스를 퍼지한다. 상기 챔버 내에 산소 소오스 가스를 공급하여 상기 기관들에 알루미늄 산화막을 생성시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 반응 잔류물 및 상기 기관들에 물리적으로 흡착된 잔여 가스를 퍼지하여 알루미늄 산화막을 형성한다. 다음에, 상기 알루미늄 산화막 상에 콘트롤 게이트 전극을 형성한다.
- [0016] 본 발명의 일 실시예로, 상기 알루미늄 산화막을 형성하기 위한 상기 챔버 내의 기관들은 450 내지 700℃로 유지될 수 있다.
- [0017] 본 발명의 일 실시예로, 상기 알루미늄 소오스 가스 및 회석 가스는 1 : 5 내지 80의 유량으로 유입될 수 있다.
- [0018] 본 발명의 일 실시예로, 상기 전하 저장막 패턴은 폴리실리콘 또는 실리콘 질화물로 형성될 수 있다.
- [0019] 본 발명의 일 실시예로, 상기 알루미늄 산화막과 접촉하는 상기 콘트롤 게이트 전극은 금속 물질을 포함할 수 있다.
- [0020] 상기한 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 커패시터의 제조 방법으로, 기관들 상에 하부 전극을 형성한다. 상기 하부 전극이 형성된 기관들을 챔버 내에 로딩한다. 알루미늄 소오스 가스 및 회석 가스를 동일한 노즐을 통해 상기 챔버 내에 유입하여, 상기 기관들 상에 알루미늄 소오스 가스를 흡착시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 상기 기관들에 물리적으로 흡착된 알루미늄 소오스 가스를 퍼지한다. 상기 챔버 내에 산소 소오스 가스를 공급하여 상기 기관들에 알루미늄 산화막을 생성시킨다. 상기 챔버 내에 퍼지 가스를 공급하여 반응 잔류물 및 상기 기관들에 물리적으로 흡착된 잔여 가스를 퍼지하여 알루미늄 산화막을 형성한다. 상기 알루미늄 산화막 상에 상부 전극을 형성한다.
- [0021] 본 발명의 일 실시예로, 상기 알루미늄 산화막을 형성하기 위한 상기 챔버 내의 기관들은 450 내지 700℃로 유지될 수 있다.
- [0022] 본 발명의 일 실시예로, 상기 알루미늄 소오스 가스 및 회석 가스는 1 : 5 내지 80의 유량으로 유입될 수 있다.
- [0023] 본 발명의 일 실시예로, 상기 상부 전극은 금속 물질 및 폴리실리콘 물질을 적층하여 형성할 수 있다.

효 과

[0024] 설명한 것과 같이, 본 발명의 방법에 의해 형성된 유전막은 막의 밀도가 높고, 불순물이 감소되며, 열에 의한 막의 수축이 감소되고, 식각율이 감소된다. 더구나, 상기 유전막은 트랩이 감소되고, 누설 전류 특성 및 밴드갭 특성이 양호하다. 때문에, 상기 본 발명의 방법에 의해 형성된 유전막은 디램의 커패시터, 플래시 메모리 소자의 IPD, 블록킹 산화막으로 사용할 수 있다. 이로써, 고성능의 반도체 소자를 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0026] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0027] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0028] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0029] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 추가적으로 형성될 수 있다.

[0030] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.

[0031] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0032] 도 1은 본 발명에 따른 유전막을 형성하기에 적합한 증착 반응기를 나타낸다.

[0033] 도 1을 참조하면, 복수의 기판(W)을 수용하기 위한 공간이 마련되고, 증착 공정이 수행되는 반응 챔버(10)가 구비된다. 상기 반응 챔버(10)는 하단부가 매니폴드 및 시일 캡에 의해 공기가 통하지 않게 밀폐되어 있다.

[0034] 시일 캡(14)을 통해 기판(W)을 로딩하기 위한 보우트(12)가 삽입되고, 상기 보우트(12)는 상기 반응 챔버(10) 내부에 위치하게 된다. 상기 보우트(12)에는 배치(batch) 처리되는 복수의 기판(W)이 적재된다.

[0035] 히터(16)는 반응 챔버(10) 내에 삽입된 기판(W)들을 가열한다. 상기 히터(16)는 상기 반응 챔버(10) 외측에 구비될 수 있다.

[0036] 상기 반응 챔버(10) 내에는 적어도 하나의 가스 공급 노즐(18)이 구비되어 있다. 상기 가스 공급 노즐(18)에는 복수의 가스 공급용 홀(도시안함)들이 포함되어 있으며, 상기 가스 공급용 홀들로부터 가스들이 상기 반응 챔버(10)로 공급된다.

[0037] 상기 가스 공급 노즐(18)과 연결되어 외부로부터 상기 가스가 공급되는 가스 공급관들(20a, 20b, 20c, 24)이 구비된다. 상기 가스 공급관(20a, 20b, 20c, 24)은 공급되는 가스의 종류에 따라 복수개가 구비될 수 있다. 상기 가스 공급관(20a, 20b, 20c, 24)은 매니폴드의 하부를 관통하여 설치된다. 상기 가스 공급관들(20a, 20b, 20b,

24)에는 유량 제어 부재 및 개폐 밸브가 구비될 수 있다.

- [0038] 일 예로, 알루미늄 소오스 가스가 플로우되는 제1 가스 공급관(20a)이 구비된다. 상기 알루미늄 소오스 가스를 회석하기 위한 회석 가스가 플로우되는 제2 가스 공급관(20b)이 구비된다. 상기 제2 가스 공급관(20b)의 일 단부는 상기 제1 가스 공급관(20a)과 연결되어 있다. 즉, 상기 제2 가스 공급관(20b)은 상기 제1 가스 공급관(20a)으로부터 분기된 형상을 갖는다.
- [0039] 산소 소오스 가스가 플로우되는 제3 가스 공급관(20c)이 구비된다. 또한, 액체 상태의 알루미늄 소오스를 버블링시켜 기화시키기 위한 캐리어 가스가 플로우되는 캐리어 가스 공급관(24)이 구비된다.
- [0040] 상기 제1 가스 공급관(20a)에는 유량 제어를 위한 제1 매스플로우 컨트롤러(도시안됨), 제1 개폐 밸브(도시안됨)가 구비될 수 있다.
- [0041] 상기 제1 가스 공급관(20a)은 알루미늄 소오스가 채워져 있는 알루미늄 소오스 용기(22)와 연결된다.
- [0042] 상기 알루미늄 소오스 용기(22)에는 상기 캐리어 가스를 공급하는 캐리어 가스 공급관(24)이 연결된다. 상기 알루미늄 소오스 용기(22)에 공급된 알루미늄 소오스는 상온에서 액체 상태이므로, 상기 캐리어 가스를 상기 알루미늄 소오스 용기(22) 중에 통과시켜 상기 액체 상태의 알루미늄 소오스를 기화시킨다.
- [0043] 상기 제2 가스 공급관(20b)은 회석 가스 공급부(28)와 연결된다. 따라서, 상기 제2 가스 공급관(20b)으로 플로우되는 회석 가스는 상기 제1 가스 공급관(20a) 내부로 들어가게 된다. 그러므로, 상기 알루미늄 소오스 가스는 상기 회석 가스에 의해 회석된 상태로 상기 제1 가스 공급관(20a)을 통해 상기 반응 챔버(10) 내부로 제공된다.
- [0044] 또한, 상기 제3 가스 공급관(20c)에는 유량 제어를 위한 제2 매스플로우 컨트롤러(도시안됨) 및 제2 개폐 밸브(도시안됨)가 구비될 수 있다. 상기 제3 가스 공급관(20c)에는 적어도 하나의 산소 소오스 가스 발생기가 연결된다. 상기 산소 소오스 가스 발생기는 오존 발생기일 수 있다. 구체적으로, 고농도의 오존을 다량으로 공급하기 위하여, 도시된 것과 같이, 상기 제3 가스 공급관(20c)에 복수개의 오존 발생기(26)가 연결될 수도 있다. 그러나, 이와는 달리, 상기 제3 가스 공급관(20c)에는 1개의 오존 발생기(26)가 연결될 수도 있다.
- [0045] 상기 반응 챔버(10)에는 가스를 배기하는 배기관인 가스 배기관(30)이 연결되고, 밸브(32)를 통해 배기 수단인 진공 펌프(34)에 접속된다.
- [0046] 실시예 1
- [0047] 도 2는 발명의 실시예 1에 따른 알루미늄 산화막을 형성하는 방법을 나타낸다.
- [0048] 이하에서는, 도 1의 증착 반응기를 참조하여 알루미늄 산화막을 형성하는 방법을 설명한다.
- [0049] 도 2를 참조하면, 배치식 증착 반응기의 반응 챔버(10) 내에 복수의 기관(W)을 로딩한다. 상기 기관(W)들은 서로 이격되면서 보우트(12) 내에 적재되어 있다.
- [0050] 상기 반응 챔버(10) 내부에 로딩된 기관(W)은 450 내지 700℃의 온도가 되도록 한다.
- [0051] 상기 기관(W)들 상에 알루미늄 산화막을 형성하는 공정 시에 상기 기관(W)들의 온도가 450℃보다 낮으면, 형성되는 알루미늄 산화막 내에 불순물이 증가하게 된다. 또한, 막의 치밀도가 감소하게 되어 열을 가했을 때 막이 과도하게 수축되며, 습식 식각 공정을 수행하였을 때 식각율이 증가될 뿐 아니라 식각율의 산포가 커지게 된다. 더구나, 상기 알루미늄 산화막은 트랩이 증가하며, 누설 전류가 증가하게 된다. 반면에, 상기 증착 공정에서 기관들의 온도가 700℃보다 높으면, 알루미늄 소오스 가스가 분해되는 것을 억제할 수 없어 바람직하지 않다. 그러므로, 상기 증착 공정을 수행할 때 상기 반응 챔버 내의 기관들은 450 내지 700℃의 온도가 되도록 한다.
- [0052] 제1 단계로, 액체 상태의 알루미늄 소오스가 수용되어 있는 알루미늄 소오스 용기(22) 내에 캐리어 가스를 유입시키고, 상기 캐리어 가스를 통해 알루미늄 소오스를 기화시킨다. 그리고, 상기 기화된 알루미늄 소오스를 상기 캐리어 가스와 함께 상기 반응 챔버(10) 내부로 이동시킨다. 상기 알루미늄 소오스 가스는 상기 제1 가스 공급관(20a)을 통해 상기 반응 챔버 내부로 이동하게 된다.
- [0053] 사용할 수 있는 상기 알루미늄 소오스의 예로는 트리메틸 알루미늄 (trimethyl aluminium, Al(CH₃)₃), 트리에틸 알루미늄(triethyl aluminium, Al(C₂H₅)₃), 트리이소부틸 알루미늄(triisobutyl aluminium, Al[(C₂H₃(CH₃)₂)₃) 및 염화 디에틸알루미늄(diethyl aluminium chloride, AlCl(C₂H₅)₂) 등을 들 수 있다. 상기 물질들은 단독으로 또

는 상기 물질들의 혼합으로 사용될 수 있다. 상기 알루미늄 소오스는 트리메틸 알루미늄(TMA)을 사용하는 것이 바람직하며, 이하에서는 상기 트리메틸 알루미늄(TMA)을 적용하여 설명한다.

- [0054] 또한, 상기 알루미늄 소오스 gas와 함께 상기 회석 gas를 상기 반응 챔버(10) 내부로 유입시킨다. 상기 회석 gas는 불활성 gas를 포함한다. 일 예로, 상기 회석 gas는 질소, 아르곤 및 헬륨으로 이루어지는 군에서 선택된 적어도 하나를 포함할 수 있다.
- [0055] 상기 회석 gas는 제2 gas 공급관(20b)을 통해 상기 제1 gas 공급관(20a)으로 들어가게 되고, 상기 제1 gas 공급관(20a) 내부에 플로우되는 상기 알루미늄 소오스 gas를 회석시킨다. 상기 제1 gas 공급관(20a) 내부에서 회석된 알루미늄 소오스 gas는 상기 반응 챔버(10) 내부에 유입된다. 이와같이, 상기 회석된 알루미늄 소오스 gas는 동일한 공급관을 통해 상기 반응 챔버 내부(10)로 유입된다.
- [0056] 본 실시예와는 달리 일반적인 방법으로, 상기 gas 공급관을 통해 상기 반응 챔버에 상기 알루미늄 소오스 gas만을 유입하는 경우에는 상기 증착 온도인 450 내지 700℃의 온도에서 상기 알루미늄 소오스 gas가 쉽게 분해된다. 그러므로, 상기 제1 gas 공급관(20a), 반응 챔버(10) 및 보우트(12)에 알루미늄이 부착되어 상기 제1 gas 공급관(20a), 반응 챔버(10) 및 보우트(12)가 오염된다. 또한, 상기 알루미늄 소오스 gas가 분해됨으로써, 상기 반응 챔버(10) 내의 각 기관(W)에 형성되는 박막들의 두께 산포가 매우 커지게 된다.
- [0057] 그러나, 본 실시예에서와 같이, 상기 알루미늄 소오스 gas와 회석 gas를 동일 gas 공급관을 통해 유입시키는 경우, 상기 450 내지 700℃의 온도에서도 상기 알루미늄 소오스 gas의 분해가 억제된다.
- [0058] 구체적으로, 상기 알루미늄 소오스 gas와 함께 상기 알루미늄 소오스 gas의 5배 이상의 유량으로 회석 gas를 유입하면, 상기 450 내지 700℃의 온도에서도 상기 알루미늄 소오스 gas의 분해가 억제된다. 상기 알루미늄 소오스 gas와 함께 회석 gas가 유입되면, 상기 알루미늄 소오스 gas의 유속이 증가된다. 반면에, 전체 유입 gas에서 상기 알루미늄 소오스 gas의 농도는 상대적으로 감소된다. 따라서, 상기 450 내지 700℃의 고온에서도 상기 알루미늄 소오스 gas의 분해가 억제되는 것이다.
- [0059] 상기 알루미늄 소오스 gas의 분해를 억제시키기 위해서는 상기 회석 gas의 유입량을 증가시키는 것이 바람직하다. 그러나, 상기 회석 gas가 상기 알루미늄 소오스 gas의 80배 이상이 되는 경우에는 상대적으로 알루미늄 소오스 gas의 양이 감소되어 알루미늄 산화막의 증착 속도가 지나치게 느려질 수 있다. 그러므로, 상기 알루미늄 소오스 gas 및 회석 gas의 비는 1: 5 내지 80인 것이 바람직하다.
- [0060] 제2 단계로, 상기 알루미늄 소오스 gas를 퍼지한다. 즉, 상기 알루미늄 소오스 gas의 유입을 중단시킨 다음, 상기 반응 챔버 내부에 알루미늄 소오스 gas를 퍼지하기 위한 퍼지 gas를 유입시킨다. 상기 퍼지 gas는 불활성 gas를 포함한다.
- [0061] 제3 단계로, 상기 반응 챔버(10) 내부에 로딩된 기관으로 산소 소오스 gas를 유입한다. 상기 산소 소오스 gas는 오존, H₂O 등을 들 수 있다. 본 실시예에서 상기 소오스 gas는 오존을 사용하며, 상기 제3 gas 공급관(20c)으로부터 오존 gas를 유입시킨다.
- [0062] 또한, 상기 오존 gas는 350g/cm³의 농도를 가지면서 10slm(Standard Liter per Minute)이상의 유량으로 유입시키는 것이 바람직하다. 즉, 본 실시예에서는 증착 공정을 통해 형성된 알루미늄 산화막 내에 산화물이 결합되지 않은 빈공간(vacancy)이 감소되도록 하기 위하여, 상기 오존 gas의 유입량 및 오존 gas의 농도를 증가시킨다. 이를 위하여, 도 1에 도시된 것과 같이, 상기 알루미늄 산화막을 형성하기 위한 증착 설비에는 복수개의 오존 생성기가 연결되어 있을 수 있다.
- [0063] 상기 오존 gas는 상기 기관 상에 흡착되어 있는 알루미늄 소오스 gas와 반응한다. 이로써, 상기 기관 상에는 알루미늄 산화 박막(Al₂O₃)이 형성된다.
- [0064] 설명한 것과 같이, 상기 알루미늄 산화 박막은 450 내지 700℃의 고온에서 형성된다. 그러므로, 상기 고온에서 형성된 알루미늄 산화막은 400℃ 이하의 낮은 온도에서 형성되는 알루미늄 산화막에 비해 불순물이 감소되고, 높은 밀도를 가지며, 누설 전류 특성도 양호하다.
- [0065] 제4 단계로, 상기 산소 소오스 gas를 퍼지한다. 즉, 상기 오존 gas의 유입을 중단시킨 다음, 상기 반응 챔버(10) 내부에 오존 gas를 퍼지하기 위한 퍼지 gas를 유입시킨다. 상기 퍼지 gas는 불활성 gas를 포함한다.
- [0066] 상기 설명한 1 내지 4단계를 하나의 사이클로 하고, 상기 사이클을 복수회 반복함으로써 상기 기관 상에 원하는 두께의 알루미늄 산화막을 형성한다.

- [0067] 상기 공정을 통해 형성된 알루미늄 산화막은 인-웨이퍼 두께(In-Wafer thickness) 산포가 1% 이내가 된다. 즉, 각각의 기판 상에 형성된 알루미늄 산화막은 각 기판 표면의 위치별로 두께 산포가 1% 이내가 된다. 또한, 상기 공정을 통해 형성된 알루미늄 산화막은 웨이퍼간 두께(wafer to wafer thickness) 산포가 1% 이내가 된다. 즉, 상기 반응 챔버 내의 복수의 기판에 형성된 각 알루미늄 산화막은 두께의 산포가 1% 이내가 된다. 이와같이, 동일한 챔버 내에서 형성된 기판들에 형성된 알루미늄 산화막의 두께 산포 및 각 기판 내에 형성된 알루미늄 산화막의 두께 산포가 모두 낮다. 그러므로, 균일한 두께를 갖는 알루미늄 산화막을 형성할 수 있다.
- [0068] 상기 공정을 통해 형성된 알루미늄 산화막은 막의 밀도가 치밀하고 불순물의 함량이 작으므로, 막의 수축 및 식각율의 특성이 양호하다. 이에 더하여, 상기 알루미늄 산화막은 막 내의 수소의 함량이 감소되므로 트랩 특성, 누설 전류 특성 및 밴드갭 특성이 양호하다.
- [0069] 이하에서는, 도 2를 참조로 설명한 알루미늄 산화막을 포함하는 플래시 메모리 소자 및 그 제조 방법에 대해 설명한다.
- [0070] 도 3은 도 1에 도시한 알루미늄 산화막을 포함하는 플래시 메모리 소자의 평면도이다. 도 4는 도 3에 도시한 플래시 메모리 소자의 단면도이다. 도 4는 도 3에서 I-I' 라인 및 II-II' 라인을 따라 절단된 단면들을 도시한다.
- [0071] 도 3 및 4를 참조하면, 소자 분리막 패턴(108)이 형성된 기판(100)이 마련된다. 상기 소자 분리막 패턴에 의해 정의된 액티브 영역은 제1 방향으로 연장되는 라인 형상을 갖는다.
- [0072] 상기 기판(100) 상에 터널 산화막(102), 플로팅 게이트 패턴(104a)이 적층된다. 상기 터널 산화막(102)은 실리콘 산화물을 포함할 수 있다. 상기 플로팅 게이트 패턴(104a)은 불순물이 도핑된 폴리실리콘으로 이루어질 수 있다.
- [0073] 상기 플로팅 게이트 패턴(104a) 및 소자 분리막 패턴(108) 상에 유전막 패턴(110a)이 구비된다. 상기 유전막 패턴(110a)은 상기 소자 분리막 패턴(108)과 수직하게 배치되는 라인 형상을 갖는다. 상기 유전막 패턴(110a)은 알루미늄 산화물로 이루어진다. 상기 알루미늄 산화물은 실시예 1의 방법에 의해 형성된 것이다. 즉, 상기 알루미늄 산화물은 산화물 베이킨시가 감소되어 높은 밀도를 가지고, 불순물로 인한 트랩이 작다. 이와같이, 플래시 메모리 소자에 고유전율을 가지면서도 높은 밀도 및 낮은 불순물을 갖는 유전막 패턴이 포함됨으로써, 상기 플래시 메모리 소자는 누설 전류가 낮아지고 및 신뢰성이 높아진다.
- [0074] 상기 유전막 패턴(110a) 상에, 금속막 패턴(112a) 및 폴리실리콘 패턴(114a)이 적층된 콘트롤 게이트 패턴(115)이 구비된다. 상기 금속막 패턴(112a)으로 사용되는 물질의 예로는 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 들 수 있다. 이들은 단독 또는 2 이상이 적층될 수 있다. 상기 콘트롤 게이트 패턴(115)은 워드 라인으로 제공된다. 상기 콘트롤 게이트 패턴(115)은 상기 제1 방향과 수직한 제2 방향으로 연장되는 라인 형상을 갖는다.
- [0075] 상기 콘트롤 게이트 패턴(115) 상에는 하드 마스크 패턴(116)이 구비된다.
- [0076] 상기 터널 산화막(102), 플로팅 게이트 패턴(104a), 유전막 패턴(110a), 콘트롤 게이트 패턴(115) 및 하드 마스크 패턴(116)이 적층된 게이트 구조물들 사이의 기판(100) 아래는 불순물 영역(118)이 구비된다.
- [0077] 또한, 도 3에 도시된 것과 같이, 셀을 선택하기 위한 선택 트랜지스터들이 구비될 수 있다. 상기 선택 트랜지스터의 게이트 전극은 각각 소오스 선택 라인(SSL) 및 접지 선택 라인(GSL)으로 제공된다. 또한, 비트 라인 및 공통 소스 라인(CSL)이 구비된다.
- [0078] 도 5 내지 도 8은 도 3 및 도 4에 도시된 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0079] 도 5 내지 도 8은 도 3에서 I-I' 라인 및 II-II' 라인을 따라 절단된 단면들을 도시한다.
- [0080] 도 5를 참조하면, 기판(100) 상에 터널 산화막(102) 및 플로팅 게이트막(도시안됨)을 순차적으로 형성한다. 상기 기판(100)은 실리콘(silicon) 또는 게르마늄(germanium)을 포함하는 반도체 기판일 수 있다. 상기 터널 산화막(102)은 기판의 표면 부위를 열 산화시키는 열 산화(thermal oxidation) 공정을 이용하여 형성될 수 있다. 상기 플로팅 게이트막은 폴리실리콘막을 증착하여 형성할 수 있다.
- [0081] 상기 플로팅 게이트막 상에 제1 하드 마스크 패턴(도시안됨)을 형성한다. 상기 제1 하드 마스크 패턴을 식각 마

스크로 이용하여, 상기 플로팅 게이트막, 터널 산화막(102) 및 기판(100)을 식각한다. 상기 공정을 통해, 예비 플로팅 게이트 패턴(104)이 형성된다. 또한, 소자 분리 영역의 기판(100)에 트렌치(106)가 형성된다.

- [0082] 상기 트렌치(106) 내부 및 상기 예비 플로팅 게이트 패턴(104) 사이를 채우는 절연막을 형성하고, 이를 연마함으로써, 소자 분리막 패턴(108)을 형성한다. 다음에, 상기 제1 하드 마스크 패턴을 제거한다. 도시하지는 않았지만, 선택적으로, 상기 예비 플로팅 게이트 패턴(104)의 측벽 일부가 노출되도록 상기 소자 분리막 패턴(108)의 상부를 일부 제거할 수도 있다.
- [0083] 도 6을 참조하면, 상기 예비 플로팅 게이트 패턴(104) 및 소자 분리막 패턴(108) 상에 블록킹 유전막으로 제공되기 위한 알루미늄 산화막(110)을 형성한다.
- [0084] 상기 블록킹 유전막은 얇은 등가 산화막 두께(EOT)를 유지할 수 있도록 고유전율을 갖는 것이 바람직하다. 또한, 상기 블록킹 유전막은 고밀도를 가지면서 트랩이 감소되어, 상기 블록킹 유전막으로부터 누설 전류가 발생되지 않는 것이 바람직하다.
- [0085] 본 실시예에서, 상기 실시예 1의 알루미늄 산화막의 형성 공정과 동일한 공정을 수행함으로써 블록킹 유전막으로 제공되는 알루미늄 산화막(110)을 형성한다. 상기 공정을 통해 형성되는 알루미늄 산화막(110)은 막 내의 수소 함량이 작아서 트랩 특성, 누설 전류 특성 및 밴드갭 특성이 양호하다. 또한, 상기 알루미늄 산화막(110)은 밀도가 높아서 치밀한 구조를 갖는다.
- [0086] 상기 알루미늄 산화막(110)을 형성한 후에 상기 알루미늄 산화막(110)을 열처리하여 알루미늄 산화막(110) 내의 결정 결함들을 치유한다. 상기 열처리는 700 내지 1000℃의 고온으로 진행될 수 있다. 상기 열처리 공정은 자외선 오존(UV-O₃) 처리, 플라즈마 처리 등을 포함할 수 있다.
- [0087] 도시하지는 않았지만, 플래시 메모리 소자에서 선택 트랜지스터가 형성될 부위의 알루미늄 산화막(110)을 제거하는 버팅(butting) 공정을 더 수행한다. 따라서, 상기 알루미늄 산화막(110)이 제거된 부위는 후속 공정을 통해 셀 스트링을 선택하기 위한 스위치 기능을 하는 MOS 트랜지스터로 제공된다.
- [0088] 도 7을 참조하면, 상기 알루미늄 산화막(110) 상에 금속막(112)을 형성한다. 상기 금속막(112)은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등으로 형성할 수 있으며, 이들은 단독으로 형성되거나 2층 이상으로 적층시켜 형성할 수도 있다. 상기 금속막(112)은 패터닝하기가 용이하지 않으므로 1000Å 이하의 낮은 두께로 형성하는 것이 바람직하다. 상기 금속막(112) 상에 불순물이 도핑된 폴리실리콘막(114)을 형성한다. 상기 금속막(112) 및 폴리실리콘막(114)은 후속 공정을 통해 콘트롤 게이트 패턴으로 제공된다.
- [0089] 도 8을 참조하면, 상기 폴리실리콘막(114) 상에 하드 마스크 패턴(116)을 형성한다. 이 후, 상기 폴리실리콘막(114), 금속막(112), 알루미늄 산화막(110), 예비 플로팅 게이트 패턴(104)을 순차적으로 식각하여 게이트 구조물을 형성한다. 상기 게이트 구조물에는 터널 산화막(102), 고립된 패턴 형상을 갖는 플로팅 게이트 패턴(104a), 상기 플로팅 게이트 패턴(104a) 상에 형성되고 알루미늄 산화물로 이루어지는 유전막 패턴(110a), 라인 형상을 갖는 콘트롤 게이트 패턴(115) 및 하드 마스크 패턴(116)이 포함된다. 상기 콘트롤 게이트 패턴(115)은 금속 및 폴리실리콘이 적층된 형상을 갖는다.
- [0090] 상기 게이트 구조물 사이의 기판(100) 표면 아래로 불순물을 주입하여 불순물 영역(118)을 형성한다.
- [0091] 상기 공정을 수행하면, 고유전율을 가지고, 고밀도를 가지면서 불순물의 함량이 작은 알루미늄 산화물을 포함하는 플래시 메모리 소자를 제조할 수 있다. 따라서, 상기 플래시 메모리 소자는 우수한 전기적 특성을 갖는다.
- [0092] 실시예 2
- [0093] 도 9는 본 발명의 실시예 2에 따른 플래시 메모리 소자를 나타낸다. 이하에서 설명하는 본 실시예의 플래시 메모리 소자는 실시예 1의 방법으로 형성된 알루미늄 산화막이 포함된다. 또한, 본 실시예의 메모리 소자는 전하를 저장하기 위한 패턴으로써, 전하 트랩막 패턴을 사용하는 것을 제외하고는 실시예 1의 플래시 메모리 소자와 동일한 구성을 갖는다.
- [0094] 도 9를 참조하면, 소자 분리막 패턴(도시안됨)이 형성된 기판(100)이 마련된다. 상기 기판(100)상에 터널 산화막(102), 전하 트랩막 패턴(130a) 및 유전막 패턴(110a)이 적층된다.
- [0095] 상기 전하 트랩막 패턴(130a)은 실리콘 질화물로 이루어질 수 있다. 이와는 달리, 상기 전하 트랩막 패턴(130

a)은 금속 산화물로 이루어질 수도 있다.

- [0096] 상기 유전막 패턴(110a)은 실시예 1의 방법에 의해 형성된 알루미늄 산화물로 이루어진다. 상기 알루미늄 산화물로 이루어지는 유전막 패턴(110a)은 높은 밀도를 가지고, 불순물 함량이 작으며, 트랩이 감소된다.
- [0097] 상기 유전막 패턴(110a) 상에, 금속막 패턴(112a) 및 폴리실리콘 패턴(114a)이 적층된 콘트롤 게이트 패턴(115)이 구비된다. 상기 콘트롤 게이트 패턴(115) 상에는 하드 마스크 패턴(116)이 구비된다. 상기 터널 산화막(102), 플로팅 게이트 패턴(104a), 유전막 패턴(110a), 콘트롤 게이트 패턴(115)이 적층된 게이트 구조물들 사이의 기판 아래는 불순물 영역(118)이 구비된다.
- [0098] 상기 실시예 2에 따른 비휘발성 메모리 소자는 전하 저장막으로써 플로팅 게이트막 대신에 전하 트랩막을 형성하는 것을 제외하고는 도 5 내지 도 8을 참조로 설명한 것과 동일하게 진행하여 제조될 수 있다.
- [0099] 실시예 3
- [0100] 도 10a는 본 발명의 실시예 3에 따른 수직형 NAND 플래시 메모리 소자를 나타내는 사시도이다. 도 10b는 도 10a에 도시된 수직형 NAND 플래시 메모리 소자를 나타내는 단면도이다.
- [0101] 본 실시예의 수직형 NAND 플래시 메모리 소자는 도 1을 참조로 설명한 것과 동일한 공정을 통해 수득된 알루미늄 산화막이 포함된다.
- [0102] 도 10a 및 도 10b를 참조하면, 단결정 반도체 물질로 이루어지는 기판(200)이 구비된다. 상기 기판(200) 표면 아래에는 공통 소오스 라인으로 제공되는 불순물 영역(도시안됨)이 구비된다. 상기 불순물 영역이 구비됨으로써, 상기 단결정 반도체 패턴(212a)들에 형성되어 있는 각 셀 스트링들의 하부가 서로 연결된다.
- [0103] 상기 기판(200) 상에는 패드 산화막(202)이 구비된다. 상기 기판(200) 상에는 제1 방향으로 연장되는 라인 형상의 절연막 패턴들(214)이 구비된다. 상기 라인 형상의 절연막 패턴(214)은 기판 표면으로부터 수직하게 배치된다.
- [0104] 상기 절연막 패턴(214)의 양 측벽에는 필러 형상의 단결정 반도체 패턴(212a)들이 구비된다. 상기 단결정 반도체 패턴(212a)들은 수직에 가까운 측벽 경사를 갖는다. 상기 단결정 반도체 패턴(212a)은 직육면체의 필러 형상을 가지면서 규칙적으로 배치된다.
- [0105] 상기 단결정 반도체 패턴(212a)에서 상기 절연막 패턴(214)과 접하는 측벽(이하, 제1 측벽)과 마주하는 다른 측벽(이하, 제2 측벽)에는 플래시 메모리 소자의 셀들을 이루는 셀 트랜지스터들이 구비된다. 상기 필러 형상의 단결정 반도체 패턴(212a)에는 수직방향으로 직렬 연결된 셀 트랜지스터들이 구비되고, 상기 셀 트랜지스터들은 하나의 셀 스트링을 이룬다.
- [0106] 상기 단결정 반도체 패턴(212a)들의 제2 측벽과 접촉하는 층간 절연막 패턴(204)들이 구비된다. 상기 층간 절연막 패턴(204)들은 서로 일정 간격 이격되도록 배치되고, 제1 방향으로 연장되는 라인 형상을 갖는다.
- [0107] 상기 층간 절연막 패턴(204)들 사이의 갭 부위에는 상기 셀 트랜지스터들이 구비된다. 이하에서는, 상기 단결정 반도체 패턴(212a)에 형성되는 셀 트랜지스터에 대해 보다 상세하게 설명한다.
- [0108] 상기 단결정 반도체 패턴(212a)들 일 측벽에는 터널 산화막(222)이 구비된다. 상기 터널 산화막(222) 상에는 전하 트랩막(224)들이 구비된다. 상기 전하 트랩막(224)은 전하를 트랩할 수 있는 물질인 실리콘 질화물로 이루어질 수 있다.
- [0109] 상기 전하 트랩막(224) 상에는 블록킹 유전막(226)이 구비된다. 상기 블록킹 유전막(226)은 알루미늄 산화물로 이루어질 수 있다. 상기 알루미늄 산화물은 실시예 1에서 설명한 것과 동일한 공정을 통해 형성된 것 일 수 있다. 상기 알루미늄 산화물은 산화물 배이컨시가 감소되어 높은 밀도를 가지고, 불순물로 인한 트랩이 작다. 이와같이, 수직형 NAND 플래시 메모리 소자에 고유전율을 가지면서도 밀도가 높고 불순물이 거의 없는 블록킹 유전막(226)이 포함됨으로써, 상기 수직형 NAND 플래시 메모리 소자는 누설 전류가 낮아지고 및 신뢰성이 높아진다.
- [0110] 상기 전하 트랩막(224)과 동일한 층에서 제1 방향으로 배치되는 블록킹 유전막(226)은 수평 방향으로 서로 연결되어 있는 형상을 가질 수 있다. 또한, 도시된 것과 같이, 동일한 단결정 반도체 패턴(212a)에 형성되는 블록킹 유전막(226)은 수직 방향으로도 서로 연결될 수도 있다.

- [0111] 상기 블록킹 유전막(226) 표면과 접촉하면서 상기 층간 절연막 패턴들 사이의 갭 부위에 콘트롤 게이트 패턴(230a)들이 구비된다. 동일한 층에서 제1 방향으로 배치되는 상기 콘트롤 게이트 패턴(230a)들은 라인 형상을 갖는다. 때문에, 상기 각각의 콘트롤 게이트 패턴(230a)은 워드 라인으로 제공된다.
- [0112] 또한, 상기 층간 절연막 패턴들(204) 및 상기 콘트롤 게이트 패턴(230a)들의 사이에는 실리콘 산화막 패턴(242)이 구비된다.
- [0113] 상기 제1 방향으로 배치된 상기 단결정 반도체 패턴(212a)들의 상부면을 전기적으로 연결시키는 비트 라인(244)이 구비된다.
- [0114] 도시되지는 않았지만, 본 발명의 일 실시예에서 상기 단결정 반도체 패턴(212a)의 최 상부 및 최 하부의 각 측벽에는 게이트 절연막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터가 구비될 수도 있다.
- [0115] 본 실시예에 따른 수직형 NAND 플래시 메모리 소자는 고유전율을 가지고, 고밀도를 가지면서 불순물의 함량이 작은 알루미늄 산화물을 포함한다. 따라서, 상기 수직형 NAND 플래시 메모리 소자는 우수한 전기적 특성을 갖는다.
- [0116] 도 11 내지 도 19는 도 10a 및 도 10b에 도시된 수직형 NAND 플래시 메모리 소자의 제조 방법을 나타내는 단면도이다.
- [0117] 도 17은 도 16의 일부 영역을 확대 도시한 것이다.
- [0118] 도 11을 참조하면, 단결정 실리콘으로 이루어진 기판(200)을 마련한다. 상기 기판(200)의 일부 영역에 N형의 불순물을 도핑함으로써, NAND 플래시 메모리 소자의 공통 소오스 라인으로 제공되는 불순물 영역(도시안됨)을 형성한다. 상기 기판(200) 상에 패드 산화막(202)을 형성한다. 상기 패드 산화막(202) 상에 층간 절연막 및 희생막을 반복하여 적층한다.
- [0119] 최 상부에 위치하는 희생막 상에 제1 식각 마스크 패턴을 형성하고, 이를 이용하여 상기 희생막들 및 층간 절연막들을 순차적으로 식각함으로써 제1 방향으로 연장되는 형상의 제1 트렌치(208)들을 형성한다. 따라서, 상기 희생막 패턴들(206) 및 층간 절연막 패턴들(204)이 적층되고, 제1 트렌치가 생성되어 있는 절연막 구조물이 형성된다.
- [0120] 상기 제1 트렌치(208)들의 측벽, 기판(200) 표면 및 희생막 패턴(206)의 상부면을 따라 비정질 실리콘막(도시안됨)을 형성한다. 이 후, 상기 제1 트렌치(208)의 양 측벽에만 상기 비정질 실리콘막이 남아있도록 상기 비정질 실리콘막을 이방성으로 식각하여 스페이서 형상의 비정질 실리콘 패턴(210)을 형성한다.
- [0121] 도 12를 참조하면, 상기 비정질 실리콘 패턴(210)이 형성되어 있는 제1 트렌치(208) 내부를 채우는 실리콘 산화막 패턴(213)을 형성한다.
- [0122] 다음에, 상기 비정질 실리콘 패턴(210)을 열처리 또는 레이저 빔 조사 등을 통해 상기 비정질 실리콘을 단결정 실리콘으로 상전이시킨다. 따라서, 상기 제1 트렌치(208) 내부에 예비 단결정 실리콘 패턴(212)을 형성한다.
- [0123] 도 13을 참조하면, 상기 최상부 층간 절연막 패턴(204c)의 상부면이 노출되도록 상기 실리콘 산화막 패턴(213) 및 예비 단결정 실리콘 패턴(212)의 일부와 최상부 희생막 패턴(206c)을 연마함으로써, 상기 제1 트렌치(208) 내부를 채우는 절연막 패턴(214)을 형성한다. 또한, 상기 공정을 수행함으로써, 예비 단결정 실리콘 패턴(212)의 상부면이 평탄해지게 된다.
- [0124] 다음에, 상기 최상부 층간 절연막 패턴(204c), 절연막 패턴(214) 및 예비 단결정 실리콘 패턴(212) 상에 캡핑막(216)을 형성한다.
- [0125] 도 14를 참조하면, 상기 캡핑막(216) 상에 상기 예비 단결정 실리콘 패턴(212) 사이의 절연막 구조물의 일부분을 노출시키는 제2 식각 마스크 패턴(도시안됨)을 형성한다. 다음에, 상기 제2 식각 마스크 패턴을 식각 마스크로 사용하여 상기 캡핑막(216) 및 상기 절연막 구조물의 각 층들을 순차적으로 식각함으로써 제1 개구부(218)를 형성한다.
- [0126] 상기 제1 개구부(218) 측벽에 노출되는 각 층 희생막 패턴(206)들을 습식 식각 공정을 통해 제거함으로써, 제1 개구부(218) 측방과 연통하는 제2 개구부(220)를 형성한다. 상기 제2 개구부(220)의 일부 표면에는 상기 예비 단결정 실리콘 패턴(212)의 측벽이 노출된다.

- [0127] 상기 공정을 수행하면, 상기 예비 단결정 실리콘 패턴(212)의 일 측벽에는 제1 방향으로 연장되는 층간 절연막 패턴들(204)이 형성된다. 또한, 상기 층간 절연막 패턴들(204) 사이에는 제2 개구부(220)가 생성된다.
- [0128] 도 15를 참조하면, 상기 노출된 예비 단결정 실리콘 패턴(212)에 터널 산화막(222)을 형성한다. 상기 터널 산화막(222)은 열산화 공정 또는 화학기상 증착법을 통해 형성될 수 있다. 다음에, 상기 터널 산화막(222) 표면을 따라 전하 트랩막(224)을 형성한다. 상기 전하 트랩막(224)은 화학기상증착법으로 형성될 수 있다. 상기 전하 트랩막(224)은 실리콘 질화물 또는 금속 산화물을 증착시켜 형성할 수 있다. 상기 실리콘 질화물 및 금속 산화물은 절연 물질이므로, 서로 연결되어 있더라도 각 셀 트랜지스터들이 서로 전기적으로 쇼트되지 않는다.
- [0129] 도 16 및 도 17을 참조하면, 상기 전하 트랩막(224) 표면 상에 블록킹 유전막(226)을 형성한다. 상기 블록킹 유전막(226)은 알루미늄 산화물을 증착시켜 형성한다. 상기 알루미늄 산화물은 실시예 1에서 설명한 것과 동일한 공정을 통해 형성될 수 있다. 따라서, 상기 블록킹 유전막(226)은 상기 알루미늄 산화물은 산화물 베이컨시가 감소되어 높은 밀도를 가지고, 불순물로 인한 트랩이 작다.
- [0130] 도 18을 참조하면, 상기 블록킹 유전막(226) 상에, 상기 제1 개구부(218) 및 제2 개구부(220) 내부를 완전히 채우도록 도전막(도시안됨)을 증착한다. 상기 도전막을 증착한 이 후에, 최상부 층간 절연막 패턴(204c)의 상부면이 노출되도록 상기 도전막을 연마함으로써, 상기 제1 개구부(218) 및 제2 개구부(220) 내부에 도전막 패턴(도시안됨)을 형성한다.
- [0131] 상기 결과물의 상부 표면에 상기 제1 개구부(218) 내부에 형성되어 있는 도전막 패턴 상부면을 선택적으로 노출하는 제3 식각 마스크 패턴(도시안됨)을 형성한다. 상기 제3 식각 마스크 패턴을 사용하여 상기 노출된 도전막 패턴(도시안됨)을 이방성 식각함으로써, 상기 각 층의 도전막 패턴들이 수직 방향으로 서로 분리되도록 하는 제3 개구부(232)를 형성한다. 즉, 상기 제3 개구부(232)는 상기 제1 개구부(218)와 동일한 형상을 갖는다.
- [0132] 상기 공정에 의해, 상기 각 층 층간 절연막 패턴(204) 사이에 수직 방향으로 서로 분리된 콘트롤 게이트 패턴(230a)들이 형성된다. 상기 콘트롤 게이트 패턴(230a)의 상, 하부면 및 일 측벽은 상기 블록킹 유전막(226)과 접하는 형상을 갖는다.
- [0133] 도 19를 참조하면, 상기 제3 개구부(232) 내부에 실리콘 산화막을 증착시키고, 상기 최상부 층간 절연막 패턴(204c)이 노출되도록 상기 실리콘 산화막을 연마함으로써 제1 실리콘 산화막 패턴(234)을 형성한다.
- [0134] 이 후에, 도 10a 및 도 10b에 도시된 것과 같이, 상기 예비 단결정 실리콘 패턴(212)의 일부분을 이방성 식각함으로써, 필터 형상의 단결정 반도체 패턴(212a)을 형성한다. 또한, 상기 필터 형상의 단결정 반도체 패턴(212a) 사이의 겹 내에 제2 실리콘 산화막 패턴(242)을 형성한다.
- [0135] 계속하여, 상기 제1 방향으로 배치된 상기 단결정 반도체 패턴(212a)들의 상부면을 전기적으로 연결시키는 비트 라인(244)을 형성한다.
- [0136] 상기 공정을 수행함으로써, 수직형 NAND 플래시 메모리 소자를 형성할 수 있다.
- [0137] 실시예 4
- [0138] 도 20은 본 발명의 실시예 4에 따른 커패시터를 나타낸다.
- [0139] 도 20을 참조하면, 기판(250) 상에 하부 전극(252)이 구비된다. 상기 하부 전극(252)은 폴리 실리콘, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐 질화물, 루테튬 등과 같은 물질로 이루어질 수 있다. 상기 물질은 한 층으로 이루어질 수도 있고, 둘 이상이 적층될 수도 있다.
- [0140] 상기 하부 전극(252) 상에는 유전막 패턴(254)이 구비된다. 상기 유전막 패턴(254)은 실시예 1에서 설명한 방법으로 형성된 알루미늄 산화물로 이루어진다. 상기 알루미늄 산화물로 이루어진 유전막 패턴은 고유전율을 갖는다. 또한, 상기 유전막 패턴은 높은 밀도를 갖고 불순물의 함량이 작다. 때문에, 상기 유전막 패턴을 포함하는 커패시터는 높은 커패시턴스를 가지면서도 누설 전류가 거의 없다.
- [0141] 상기 유전막 패턴(254) 상에는 상부 전극(259)이 구비된다. 상기 유전막 패턴(254)과 직접 접촉되는 부위의 상부 전극(259)은 금속 패턴(256)으로 이루어지는 것이 바람직하다. 일 예로, 상기 금속 패턴(256)을 이루는 물질은 질화 티타늄, 질화 탄탈륨, 질화 텅스텐, 루테튬 등을 들 수 있다. 또한, 상기 금속 패턴(256) 상에는 폴리 실리콘 패턴(258)이 더 구비될 수 있다.

- [0142] 본 실시예의 커패시터의 하부 전극은 스택 구조를 가지지만, 이와는 달리, 하부 전극이 실린더의 형상을 가질 수도 있다.
- [0143] 도 20에 도시된 커패시터는 다음에 설명하는 공정들을 수행함으로써 형성할 수 있다.
- [0144] 먼저, 기판(250) 상에 하부 전극막을 형성한다. 상기 하부 전극막은 폴리 실리콘, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐 질화물, 루테튬 등과 같은 물질을 사용하여 형성한다. 상기 물질은 단독으로 사용할 수도 있고, 둘 이상을 혼합하여 사용할 수도 있다.
- [0145] 상기 하부 전극막 상에 유전막을 형성한다. 상기 유전막은 실시예 1에서 설명한 방법으로 알루미늄 산화물을 증착시켜 형성한다. 상기 유전막을 형성한 후에 유전막을 열처리하여 유전막 내의 결정 결함들을 치유한다.
- [0146] 상기 유전막 상에 상부 전극막을 형성한다. 상기 유전막은 금속 물질을 포함할 수 있다. 일 예로, 상기 상부 전극막은 금속 및 폴리실리콘이 적층된 형상을 가질 수 있다. 이와는 달리, 상기 상부 전극막은 금속 또는 금속 질화물로 이루어질 수도 있다. 상기 상부 전극막은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐 질화물 등을 포함할 수 있다. 누설 전류를 억제하고, 유전막의 전기적인 두께를 감소시키기 위하여, 상기 유전막의 표면과 접촉되는 상부 전극의 표면은 금속 물질로 형성하는 것이 바람직하다.
- [0147] 이 후, 상기 상부 전극막, 유전막 및 하부 전극막을 패터닝함으로써, 하부 전극(252), 유전막 패턴(254) 및 상부 전극(259)이 적층된 커패시터를 형성한다. 상기 커패시터는 알루미늄 산화물로 이루어지는 유전막 패턴이 포함됨으로써, 높은 커패시턴스를 갖는다.
- [0148] 실시예 5
- [0149] 도 21은 본 발명의 실시예 5에 따른 디램 소자를 나타낸다.
- [0150] 도 21을 참조하면, 소자 분리막 패턴(304)에 의해 액티브 영역 및 소자 분리 영역이 정의된 기판(300)이 마련된다. 상기 액티브 영역은 고립된 패턴 형상을 갖는다.
- [0151] 상기 기판(300) 상에 선택 트랜지스터가 구비된다. 상기 선택 트랜지스터는 게이트 유전막(306), 게이트 전극(308) 및 하드 마스크 패턴(310)이 적층된 게이트 구조물을 포함한다. 상기 게이트 구조물 양측에는 불순물 영역(314)들이 구비된다.
- [0152] 일 예로, 상기 게이트 유전막(306)은 금속 산화물로 이루어지고, 상기 게이트 전극(308)은 금속 및 폴리실리콘이 적층된 형상을 가질 수 있다. 상기 금속 산화물은 실시예 1의 방법에 의해 형성된 알루미늄 산화물일 수 있다. 다른 예로, 상기 게이트 유전막(306)은 실리콘 산화물로 이루어지고, 상기 게이트 전극(308)은 폴리실리콘으로 이루어질 수도 있다.
- [0153] 상기 선택 트랜지스터의 불순물 영역(314) 중 어느 하나와 전기적으로 연결되는 비트 라인(322)이 구비된다. 상기 불순물 영역(314) 및 비트 라인은 제1 패드 콘택(318a) 및 비트 라인 콘택에 의해 서로 연결된다.
- [0154] 또한, 상기 기판(300) 상에 상기 선택 트랜지스터의 불순물 영역(314) 중 다른 하나와 전기적으로 연결되는 커패시터가 구비된다. 상기 불순물 영역(314) 및 커패시터는 제2 패드 콘택(318b) 및 스토리지 노드 콘택(326)에 의해 서로 연결된다.
- [0155] 상기 커패시터는 실린더 형상의 하부 전극(328), 알루미늄 산화물로 이루어지는 유전막(330) 및 상부 전극(332)으로 이루어진다.
- [0156] 상기 실린더 형상의 하부 전극(328)은 폴리실리콘, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐 질화물, 루테튬 등과 같은 물질로 이루어질 수 있다. 이들은 단독 또는 혼합된 형상을 가질 수 있다.
- [0157] 또한, 상기 상부 전극(332)은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐 질화물, 루테튬 등과 같은 물질을 사용하여 형성할 수 있다. 이들은 단독 또는 혼합된 형상을 가질 수 있다. 상기 상부 전극 상에는 폴리실리콘으로 이루어지는 전극으로 이루어질 수 있다.

- [0158] 상기 커패시터에서 상기 유전막(330)은 실시예 1에서 설명한 방법으로 형성된 알루미늄 산화물로 이루어진다.
- [0159] 이하에서는, 도 21에 도시된 디램 소자의 제조 방법을 설명한다.
- [0160] 도 22 내지 도 24는 디램 소자의 제조 방법을 나타내는 단면도들이다.
- [0161] 도 22를 참조하면, 기판(300) 상에 패드 산화막 패턴 및 제1 하드 마스크 패턴을 형성한다. 상기 제1 하드 마스크 패턴을 식각 마스크로 사용하여 상기 기판(300)을 식각하여 소자 분리용 트렌치(302)를 형성한다. 상기 소자 분리용 트렌치(302) 내부에 절연막을 채워넣은 다음 상기 절연막을 연마함으로써, 소자 분리 패턴(304)을 형성한다. 상기 공정을 통해, 상기 기판(300)은 액티브 영역 및 소자 분리 영역이 구분된다.
- [0162] 상기 기판(300)에 게이트 유전막(306)을 형성한다. 상기 게이트 유전막(306)은 상기 금속 산화물을 증착하여 형성할 수 있다. 일 예로, 상기 게이트 유전막(306)은 실시예 1의 방법을 통해 알루미늄 산화물을 증착시켜 형성할 수 있다. 이와는 달리, 상기 게이트 유전막(306)은 실리콘 산화물로 형성할 수도 있다.
- [0163] 상기 게이트 유전막(306) 상에 게이트 전극막(도시안됨) 및 하드 마스크 패턴(310)을 형성한다. 상기 하드 마스크 패턴(310)을 이용하여 상기 게이트 전극막을 식각함으로써 게이트 전극(308)을 형성한다. 상기 게이트 전극(308) 양측에는 스페이서(312)를 형성한다. 또한, 상기 게이트 전극(308) 양측에 불순물을 주입시켜 불순물 영역들(314)을 형성한다. 이로써, 상기 기판(300)에는 선택 트랜지스터들이 형성된다.
- [0164] 상기 기판(300) 상에 선택 트랜지스터들을 덮는 제1 층간 절연막(316)을 형성한다. 상기 제1 층간 절연막(316)의 일부를 식각하여 상기 불순물 영역들(314)을 노출하는 제1 콘택홀들을 형성한다. 상기 제1 콘택홀들 내에 도전 물질을 채워넣어 상기 불순물 영역들(314)과 전기적으로 연결되는 제1 및 제2 패드 콘택(318a, 318b)들을 각각 형성한다.
- [0165] 상기 제1 층간 절연막(316) 상에 제2 층간 절연막(320)을 형성한다. 상기 제2 층간 절연막(320)의 일부를 식각하여 상기 제1 패드 콘택(318a)들 상부를 노출하는 제2 콘택홀(도시안됨)들을 형성한다. 상기 제2 콘택홀들 내에 도전 물질을 채워넣어 비트 라인 콘택을 형성한다. 또한, 상기 제2 층간 절연막(320) 상에 상기 비트 라인 콘택들과 접촉되는 비트 라인(322)을 형성한다.
- [0166] 상기 제2 층간 절연막(320) 상에 상기 비트 라인(322)을 덮는 제3 층간 절연막(324)을 형성한다.
- [0167] 상기 제3 및 제2 층간 절연막(324, 320)의 일부분을 식각하여 상기 제2 콘택 패드(318b)들 상부를 노출하는 제3 콘택홀들을 형성한다. 상기 제3 콘택홀들 내에 도전 물질을 채워넣어 스토리지 노드 콘택(326)을 형성한다.
- [0168] 도 23을 참조하면, 상기 제3 층간 절연막(324) 상에 몰드막(도시안됨)을 형성한다. 상기 몰드막의 일부를 식각함으로써 상기 스토리지 노드 콘택 상부면을 노출하는 개구부(도시안됨)를 형성한다.
- [0169] 상기 개구부의 측벽 및 저면과 상기 몰드막의 상부면을 따라 하부 전극용 도전막(도시안됨)을 형성한다. 상기 하부 전극용 도전막은 폴리실리콘, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텅스텐 질화물, 루테튬 등과 같은 물질을 사용하여 형성할 수 있다. 상기 물질은 단독으로 사용하는 것이 바람직하지만, 경우에 따라서 둘 이상을 적층하여 사용할 수도 있다.
- [0170] 상기 하부 전극용 도전막 상에 희생막(도시안됨)을 형성한 후, 상기 몰드막의 상부면이 노출되도록 상기 희생막 및 하부 전극용 도전막의 일부를 제거한다. 이로써, 상기 하부 전극용 도전막이 노드 분리되어 실린더 형상의 하부 전극(328)이 형성된다. 다음에, 상기 희생막 및 몰드막을 제거한다.
- [0171] 도 24를 참조하면, 하부 전극(328) 상에 유전막(330)을 형성한다. 여기서, 유전막(330)은 얇은 등가 산화막 두께와 고유전율을 가지면서도 하부전극(328)과 상부 전극(332) 사이에서 발생하는 누설 전류를 충분하게 줄일 수 있어야 한다. 따라서, 상기 유전막(330)은 알루미늄 산화물을 증착시켜 형성한다. 또한, 상기 알루미늄 산화물은 실시예 1에서 설명한 것과 동일한 공정을 통해 형성한다.
- [0172] 계속하여, 상기 유전막(330)을 형성한 후에 유전막(330)을 열처리하여 상기 유전막(330) 내에 산소 결함들을 회복한다. 상기 열처리 공정의 예는 주로 자외선 오존(UV-O₃) 처리, 플라즈마 처리 등을 들 수 있다.
- [0173] 이어서, 도 21에 도시된 것과 같이, 상기 유전막(330)의 상에 상부전극(332)을 형성한다. 상기 상부전극(332)은 질화 티타늄, 질화 탄탈륨, 질화 텅스텐, 루테튬 등과 같은 물질을 사용하여 형성한다. 상기 물질은 단독으로 사용하는 것이 바람직하지만, 경우에 따라서 둘 이상을 혼합하여 사용할 수도 있다. 상기 상부 전극 상에 폴리

실리콘막을 더 형성할 수 있다.

[0174] 이에 따라, 실린더형의 하부전극(328), 알루미늄 산화물로 이루어지는 유전막(330) 및 상부전극(332)으로 이루어지는 커패시터가 형성된다.

[0175] 이와 같이, 본 발명의 일 실시예에 따라 고유전율을 갖고, 높은 밀도를 갖고, 트랩 개수가 작은 유전막(330)을 형성함으로써, 열적 화학적으로 안정한 동시에 높은 커패시턴스를 갖는 커패시터를 제조할 수 있다.

[0176] 알루미늄 산화물 특성 실험

[0177] 샘플 1

[0178] 도 1을 참조로 설명한 방법을 통해 알루미늄 산화막을 형성하였다. 즉, 오존 가스 유입 단계, 제1 퍼지 단계, 알루미늄 소오스 가스 및 희석 가스의 혼합 가스 유입 단계 및 제2 퍼지 단계로 이루어지는 사이클들을 반복 수행함으로써, 기판 상에 알루미늄 산화막을 형성하였다. 상기 알루미늄 소오스를 기화시키고 이송하기 위한 캐리어 가스가 사용되었다. 상기 알루미늄 산화막의 증착 시에 기판 온도는 550℃로 유지하였다. 상기 알루미늄 소오스 가스는 TMA를 사용하였으며, 희석 가스는 질소를 사용하였다. 또한, 상기 알루미늄 소오스 가스 및 희석 가스는 1: 40의 비율로 유입되었다.

[0179] 비교 샘플 1

[0180] 본 발명에 따른 알루미늄 산화막과 특성을 비교하기 위한 비교 샘플1을 형성하였다.

[0181] 오존 가스 유입 단계, 제1 퍼지 단계, 알루미늄 소오스 가스 유입 단계 및 제2 퍼지 단계로 이루어지는 사이클들을 반복 수행함으로써, 기판 상에 알루미늄 산화막을 형성하였다. 상기 비교 샘플1의 알루미늄 산화막은 상기 샘플 1의 알루미늄 산화막과 실질적으로 동일한 두께를 갖도록 형성되었다. 상기 증착 공정에서, 상기 알루미늄 소오스를 기화시키고 이송하기 위한 캐리어 가스는 샘플 1의 형성 시와 동일하게 사용되었다. 상기 알루미늄 산화막의 증착 시에 기판 온도는 380℃로 유지하였다. 상기 알루미늄 소오스 가스는 TMA를 사용하였으며, 희석 가스는 사용하지 않았다.

[0182] 막의 밀도 측정

[0183] 상기 샘플 1 및 비교 샘플 1의 알루미늄 산화막에 대해 각각 X-ray 반사법(X-ray Reflectivity)을 이용하여 밀도를 측정하였다.

[0184] 도 25는 상기 샘플 1 및 비교 샘플 1에 대하여 막의 밀도를 측정한 결과이다.

[0185] 도 25에 도시된 것과 같이, 상기 샘플 1의 알루미늄 산화막(500)은 상기 비교 샘플 1의 알루미늄 산화막(510)과 비교할 때 높은 밀도를 가짐을 알 수 있었다.

[0186] 막의 식각율 측정

[0187] 상기 샘플 1 및 비교 샘플 1의 알루미늄 산화막을 습식 식각하고, 식각 공정 시간이 경과함에 따라 상기 알루미늄 산화막의 식각된 두께를 측정하였다. 상기 식각 공정에서 HF 희석액을 식각액으로 사용하였다.

[0188] 도 26은 상기 샘플 1 및 비교 샘플 1에 대하여 식각 공정 시간이 경과함에 따른 알루미늄 산화막의 식각된 두께를 측정한 결과이다.

[0189] 도 26에 도시된 것과 같이, 샘플 1의 알루미늄 산화막(502)은 비교 샘플 1의 알루미늄 산화막(512)과 비교할 때 낮은 식각율을 가짐을 알 수 있었다. 이와같이, 샘플 1의 알루미늄 산화막(502)은 상기 비교 샘플 1의 알루미늄 산화막(512)에 비해 치밀도가 높음을 알 수 있었다. 또한, 상기 샘플 1의 알루미늄 산화막(502)은 식각율이 상대적으로 낮으므로 용이하게 식각을 제어할 수 있음을 알 수 있었다.

[0190] 막의 수축율 측정

[0191] 상기 샘플 1 및 비교 샘플 1에 증착된 알루미늄 산화막에 대해, 결정화를 위한 어닐을 수행하였다. 다음에, 상기 어닐 공정 전 후의 알루미늄 산화막의 두께를 각각 측정하였다. 상기 어닐 공정은 1000℃의 온도에서 진행하였다.

[0192] 도 27은 샘플 1 및 비교 샘플 1에 대하여 결정화를 위한 어닐 전 후의 알루미늄 산화막의 두께를 측정한 결과이다

다.

- [0193] 도 287 도시된 것과 같이, 샘플 1의 알루미늄 산화막은 상기 결정화를 위한 어닐을 수행한 후에 두께가 약 10% 정도 감소되었다. 반면에, 비교 샘플 1의 알루미늄 산화막은 상기 결정화를 위한 어닐을 수행한 후에 두께가 약 13% 정도 감소되었다. 이와같이, 샘플 1의 알루미늄 산화막은 상기 비교 샘플 1의 알루미늄 산화막보다 결정화를 위한 어닐에 의해 막의 수축이 더 작게 발생됨을 알 수 있었다. 그러므로, 상기 샘플 1의 알루미늄 산화막의 치밀도가 상대적으로 더 높음을 알 수 있었다.
- [0194] 막의 누설 전류 특성 측정
- [0195] 상기 샘플 1 및 비교 샘플 1에 형성된 알루미늄 산화막의 양단에 각각 전기장을 형성시키고, 상기 알루미늄 산화막을 통해 흐르는 전류 밀도를 각각 측정하였다.
- [0196] 도 28은 샘플 1 및 비교 샘플 1의 알루미늄 산화막에 대하여 전기장에 따른 전류밀도를 측정한 결과이다.
- [0197] 도 28에 도시된 것과 같이, 동일한 전기장에서 샘플 1의 알루미늄 산화막은 상기 비교 샘플 1의 알루미늄 산화막에 비해 더 작은 전류 밀도가 측정되었다. 그 결과, 상기 샘플 1의 알루미늄 산화막은 상기 비교 샘플 1의 알루미늄 산화막에 비해 누설 전류가 더 작게 발생됨을 알 수 있었다.
- [0198] 막 내의 수소 함량 측정
- [0199] 상기 샘플 1 및 비교 샘플 1에 형성된 알루미늄 산화막에 포함되어 있는 수소 함량을 측정하였다. 상기 수소 함량은 SIMS(Secondary Ion Mass Spectroscopy)를 이용하여 측정하였다.
- [0200] 도 29는 샘플 1 및 비교 샘플 1의 알루미늄 산화막에 대하여 수소 함량을 측정한 결과이다.
- [0201] 도 29에 도시된 것과 같이, 상기 샘플 1의 알루미늄 산화막은 상기 비교 샘플 1의 알루미늄 산화막에 비해 수소 함량이 더 작았다. 이와같이, 상기 샘플 1의 알루미늄 산화막은 상기 비교 샘플 1의 알루미늄 산화막에 비해 불순물이 더 작게 발생되었으며, 그 결과 막 내의 트랩이 더 감소됨을 알 수 있었다.
- [0202] 도 30은 본 발명의 일 실시예에 따라 제조되는 반도체 소자를 포함하는 장치를 도시한다.
- [0203] 도시된 바와 같이, 본 실시예에 따른 장치는 메모리(610) 및 메모리 컨트롤러(620)가 메모리 카드(630)로 구현된다.
- [0204] 상기 메모리(610)는 상술한 본 발명의 실시예들에 따른 방법으로 제조되는 플래시 메모리 소자 또는 디램 소자를 포함할 수 있다. 메모리 컨트롤러(620)는 메모리(610)의 동작을 제어하는 입력 신호를 공급할 수 있다. 예를 들어 메모리 제어기(610)는 명령어 및 어드레스 신호를 제공할 수 있다. 메모리 컨트롤러(620)는 수신한 제어신호에 기초해서 메모리(610)를 제어할 수 있다.
- [0205] 상기 메모리 카드(630)는 디지털 카메라, 퍼스널 컴퓨터 등의 소비자 전자 장치와 함께 사용되기 위한 표준을 만족하는 메모리 카드일 수 있다. 메모리 컨트롤러(620)는 메모리 카드(630)가 다른 장치, 예를 들어 외부 장치로부터 수신한 제어신호에 기초해서 메모리(610)를 제어할 수 있다.
- [0206] 도 31은 일 실시예에 따라 제조되는 반도체 소자를 포함하는 휴대장치를 도시한다.
- [0207] 도시된 바와 같이, 휴대장치(700)는 MP3, 비디오 재생기, 비디오 및 오디오 재생기 등일 수 있다. 도시된 바와 같이, 휴대장치(700)는 메모리(610) 및 메모리 컨트롤러(620)를 포함한다. 메모리(610)는 상술한 실시예들에 따라 제조되는 반도체 메모리 소자를 포함한다. 휴대장치(700)는 인코더 및 디코더(EDC)(710), 표시부재(720) 및 인터페이스(730)를 포함할 수 있다. 데이터(비디오, 오디오 등)는 메모리 컨트롤러(620)를 경유하여 메모리(610)와 인코더 및 디코더(EDC)(710) 사이에서 서로 주고받을 수 있다. 점선으로 표시된 바와 같이, 데이터는 메모리(610)와 인코더 및 디코더(EDC)(710) 사이에서 직접적으로 주고받을 수 있다.
- [0208] EDC(710)는 메모리(610)에 저장될 데이터를 인코딩할 수 있다. 예를 들어, EDC(710)는 오디오 데이터를 MP3 인코딩하여 메모리(610)에 저장할 수 있다. 또는, EDC(710)는 MPEG 비디오 데이터를 인코딩(예를 들어, MPEG3, MPEG3, MPEG4 등)하여 메모리(610)에 저장할 수 있다. 또, EDC(710)는 다른 데이터 포맷에 따른 다른 유형의 데이터를 인코딩하는 다수의 인코더를 포함할 수 있다. 예를 들어, EDC(710)는 오디오 데이터를 위한 MP3 인코더 및 비디오 데이터를 위한 MPEG 인코더를 포함할 수 있다. EDC(710)는 메모리(610)에서 출력되는 데이터를 디코딩할 수 있다. 예를 들어 EDC(710)는 메모리(610)에서 출력되는 오디오 데이터를 MP3 디코딩할 수 있다. 또는,

EDC(710)는 메모리(610)에서 출력되는 비디오 데이터를 MPEG 디코딩(예를 들어, MPEG3, MPEG3, MPEG4 등)할 수 있다. 또, EDC(710)는 다른 데이터 포맷에 따른 다른 유형의 데이터를 디코딩 다수의 디코더를 포함할 수 있다.

[0209] 예를 들어 EDC(710)는 오디오 데이터를 위한 MP3 디코더 및 비디오 데이터를 위한 MPEG 디코더를 포함할 수 있다. 또 EDC(710)는 디코더만을 포함할 수도 있다. 예를 들어 이미 인코딩된 데이터가 EDC(710)에 전달되어 디코딩된 후 메모리 컨트롤러(620) 그리고/또는 메모리(610)에 전달될 수 있다.

[0210] EDC(710)는 인터페이스(730)를 경유하여 인코딩을 위한 데이터 또는 이미 인코딩된 데이터를 수신한다. 인터페이스(730)는 잘 알려진 표준(예를 들어 USB, 파이어와이어 등)을 따를 수 있다. 인터페이스(730)는 또한 하나 이상의 인터페이스를 포함할 수 있다. 예를 들어 인터페이스(730)는 파이어와이어(firewire) 인터페이스, USB 인터페이스 등을 포함할 수 있다. 메모리(610)로부터 제공된 데이터는 또한 인터페이스(730)를 거쳐 출력될 수 있다.

[0211] 표시부재(720)는 메모리(610) 그리고/또는 EDC(710)에 의해 디코딩된 데이터를 사용자가 인식할 수 있도록 표시한다. 예를 들어, 표시부재(720)는 비디오 데이터 등을 출력하는 표시 스크린, 오디오 데이터를 출력하는 스피커 잭 등을 포함할 수 있다.

[0212] 도 32는 일 실시예에 따라 제조되는 반도체 소자를 포함하는 장치를 도시한다. 도시된 바와 같이 본 실시예의 장치에 따르면, 메모리(610)는 컴퓨터 시스템(800) 내의 중앙처리장치(CPU)(810)에 연결될 수 있다.

[0213] 예를 들어 컴퓨터 시스템(800)은 퍼스널 컴퓨터, 퍼스널 데이터 어시스턴트(assistant) 등일 수 있다. 메모리(610)는 중앙처리장치(810)에 버스(bus)를 통해서 연결될 수 있다.

[0214] 도 33은 일 실시예에 따라 제조되는 반도체 소자를 포함하는 장치를 도시한다. 도시된 바와 같이 본 실시예에 따른 장치(900)는 컨트롤러(910), 키보드, 디스플레이 등의 입출력 장치(920), 메모리(610), 인터페이스(930)를 포함할 수 있다. 본 실시예에서 장치의 각 구성은 버스(950)를 통해서 서로 연결될 수 있다. 컨트롤러(910)는 하나 이상의 마이크로프로세서, 디지털 프로세서, 마이크로컨트롤러, 또는 프로세서를 포함할 수 있다. 메모리(610)는 데이터 그리고/또는 컨트롤러(910)에 의해 실행된 명령을 저장할 수 있다. 인터페이스(930)는 다른 시스템 예를 들어 통신 네트워크로부터 또는 통신 네트워크로 데이터를 전송하는 데 사용될 수 있다. 장치(900)는 PDA 같은 모바일 시스템, 휴대용 컴퓨터, 웹 태블릿(Web tablet), 무선 전화기, 모바일 전화기, 디지털 음악 재생기, 메모리 카드 또는 정보를 송신 그리고/또는 수신할 수 있는 다른 시스템일 수 있다.

산업이용 가능성

[0215] 상기 설명한 것과 같이, 본 발명에 의하면 불순물이 감소되고 높은 밀도를 갖는 우수한 특성의 알루미늄 산화물을 형성할 수 있다. 본 발명에 따른 알루미늄 산화물은 반도체 소자에 포함되는 유전막을 형성할 때 사용될 수 있다.

도면의 간단한 설명

[0216] 도 1은 본 발명에 따른 유전막을 형성하기에 적합한 증착 반응기를 나타낸다.

[0217] 도 2는 발명의 실시예 1에 따른 알루미늄 산화막을 형성하는 방법을 나타낸다.

[0218] 도 3은 도 1에 도시한 알루미늄 산화막을 포함하는 플래시 메모리 소자의 평면도이다.

[0219] 도 4는 도 3에 도시한 플래시 메모리 소자의 단면도이다.

[0220] 도 5 내지 도 8은 도 3 및 도 4에 도시된 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

[0221] 도 9는 본 발명의 실시예 2에 따른 플래시 메모리 소자를 나타낸다.

[0222] 도 10a는 본 발명의 실시예 3에 따른 수직형 NAND 플래시 메모리 소자를 나타내는 사시도이다.

[0223] 도 10b는 도 10a에 도시된 수직형 NAND 플래시 메모리 소자를 나타내는 단면도이다.

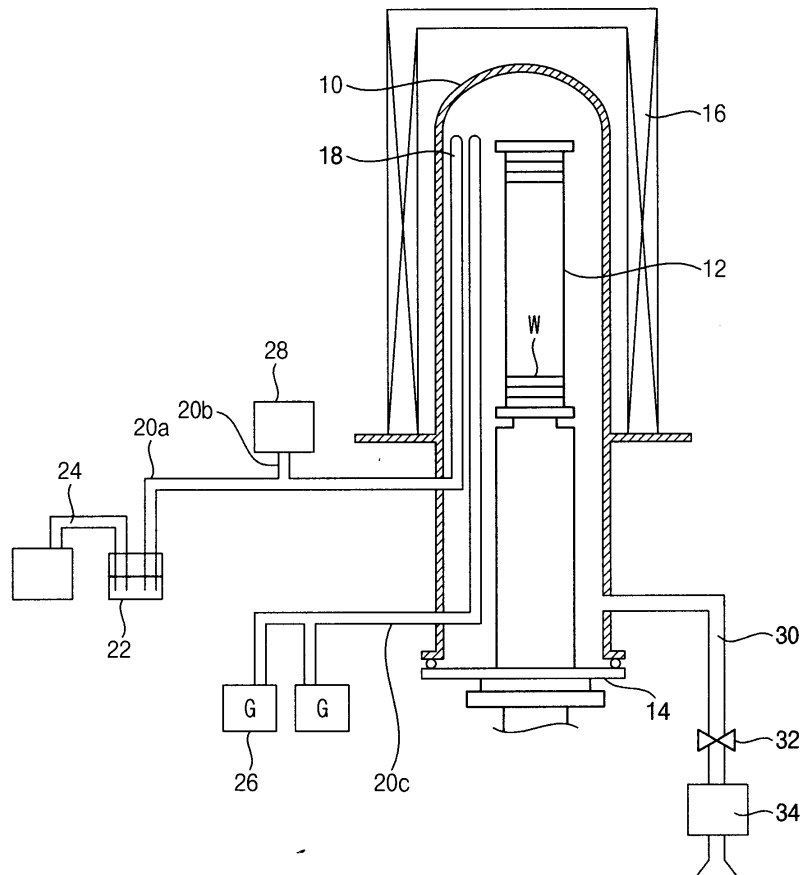
[0224] 도 11 내지 도 19는 도 10a 및 도 10b에 도시된 수직형 NAND 플래시 메모리 소자의 제조 방법을 나타내는 단면도이다.

[0225] 도 20은 본 발명의 실시예 4에 따른 커패시터를 나타낸다.

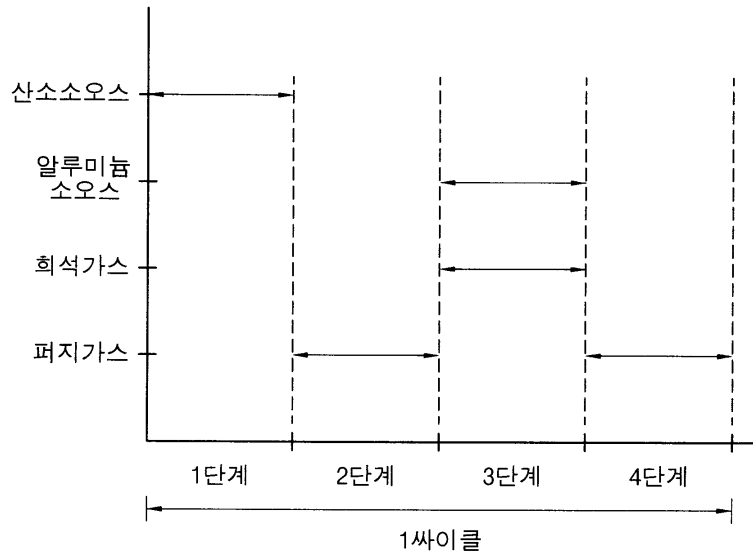
- [0226] 도 21은 본 발명의 실시예 5에 따른 디램 소자를 나타낸다.
- [0227] 도 22 내지 도 24는 디램 소자의 제조 방법을 나타내는 단면도들이다.
- [0228] 도 25는 상기 샘플 1 및 비교 샘플 1에 대하여 막의 밀도를 측정된 결과이다.
- [0229] 도 26은 상기 샘플 1 및 비교 샘플 1에 대하여 식각 공정 시간이 경과함에 따른 알루미늄 산화막의 식각된 두께를 측정된 결과이다.
- [0230] 도 27은 샘플 1 및 비교 샘플 1에 대하여 결정화를 위한 어닐 전 후의 알루미늄 산화막의 두께를 측정된 결과이다.
- [0231] 도 28은 샘플 1 및 비교 샘플 1의 알루미늄 산화막에 대하여 전기장에 따른 전류밀도를 측정된 결과이다.
- [0232] 도 29는 샘플 1 및 비교 샘플 1의 알루미늄 산화막에 대하여 수소 함량을 측정된 결과이다.
- [0233] 도 30은 본 발명의 일 실시예에 따라 제조되는 반도체 소자를 포함하는 장치를 도시한다.
- [0234] 도 31은 일 실시예에 따라 제조되는 반도체 소자를 포함하는 휴대장치를 도시한다.
- [0235] 도 32는 일 실시예에 따라 제조되는 반도체 소자를 포함하는 장치를 도시한다.
- [0236] 도 33은 일 실시예에 따라 제조되는 반도체 소자를 포함하는 장치를 도시한다.

도면

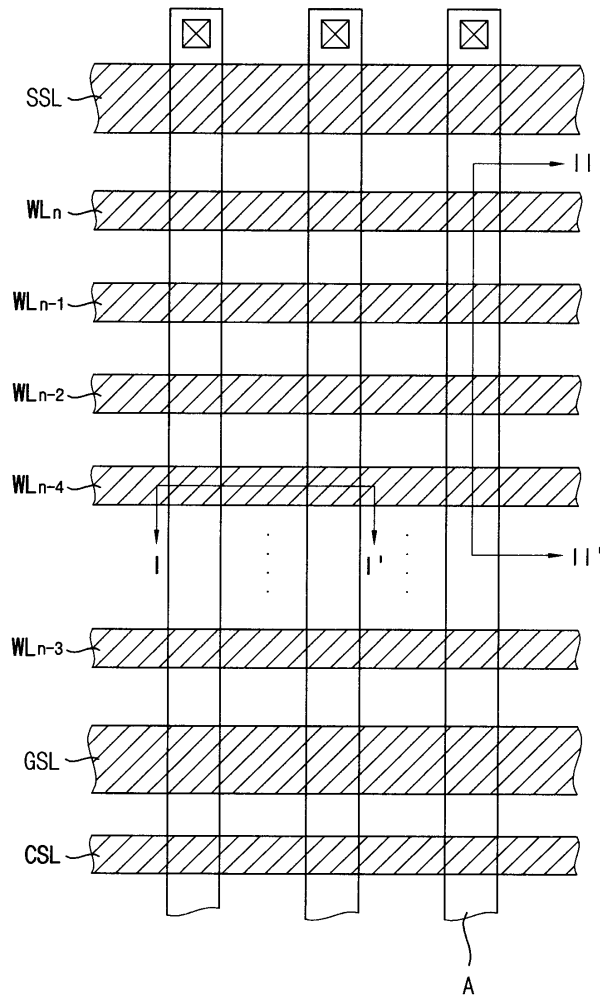
도면1



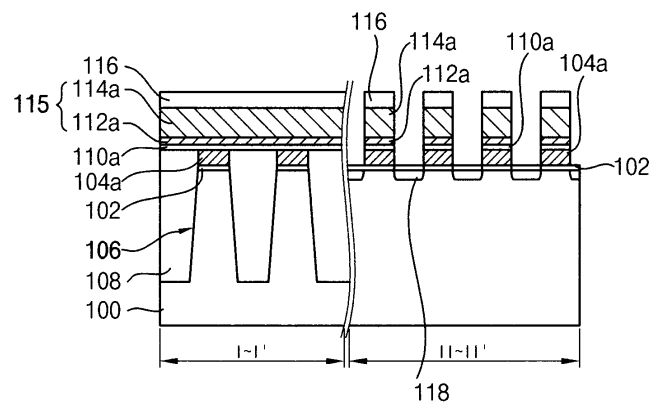
도면2



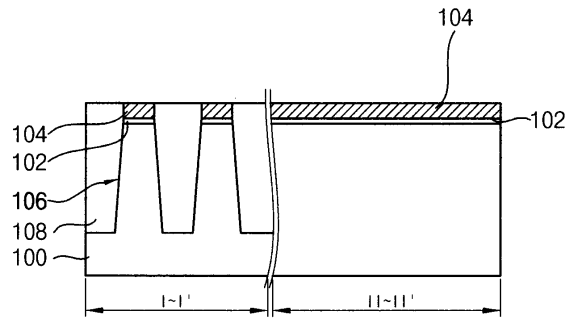
도면3



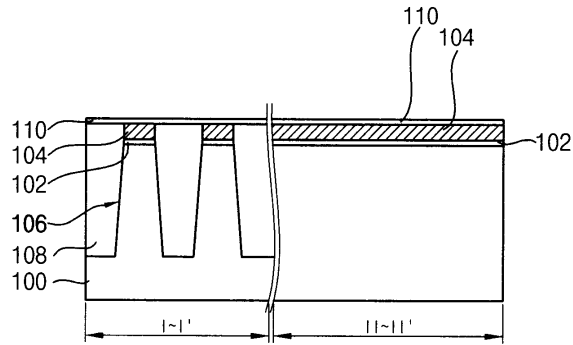
도면4



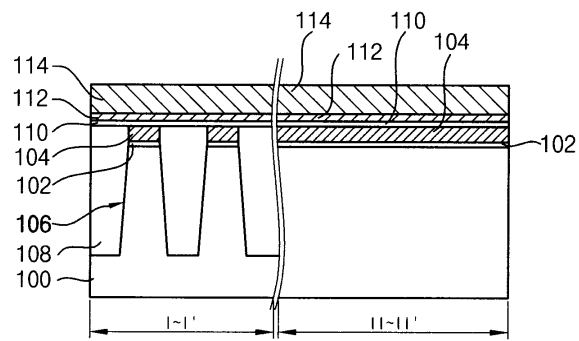
도면5



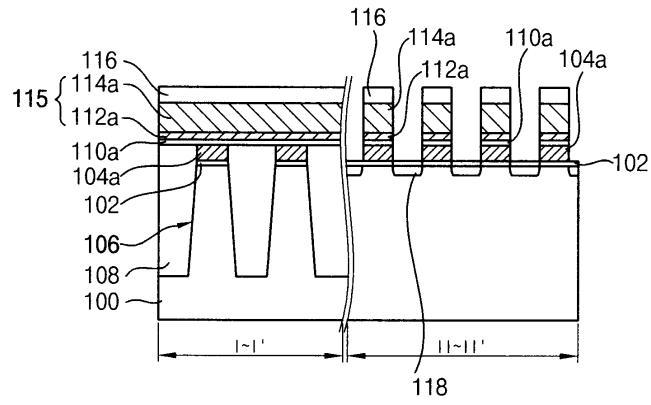
도면6



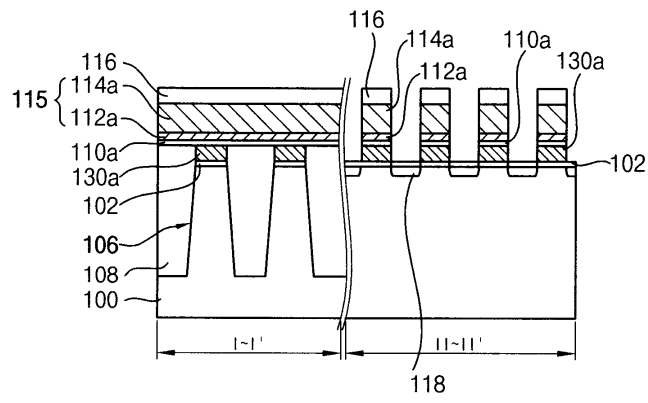
도면7



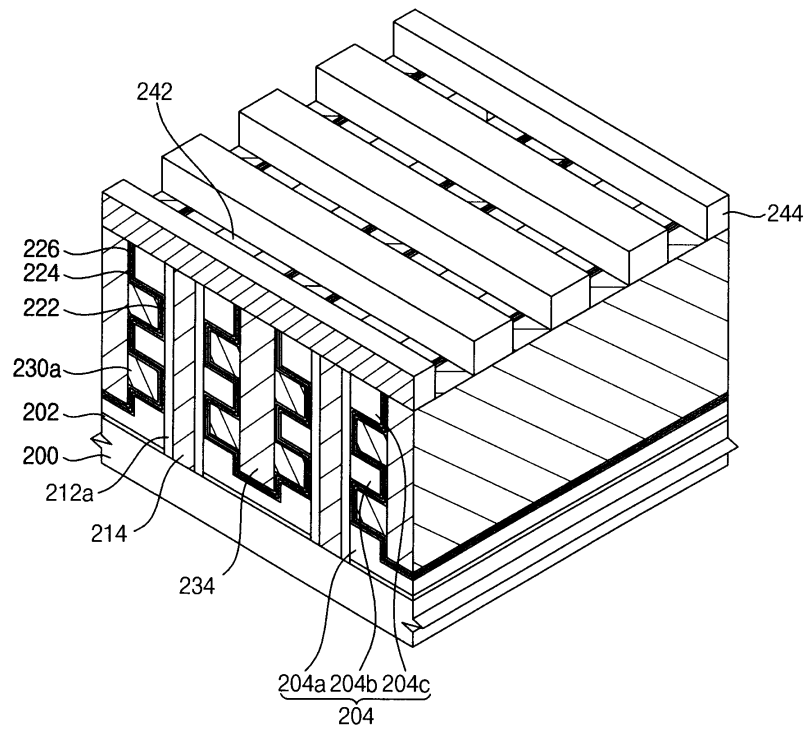
도면8



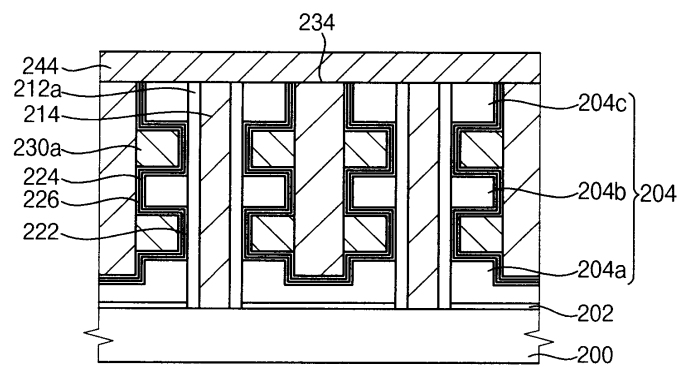
도면9



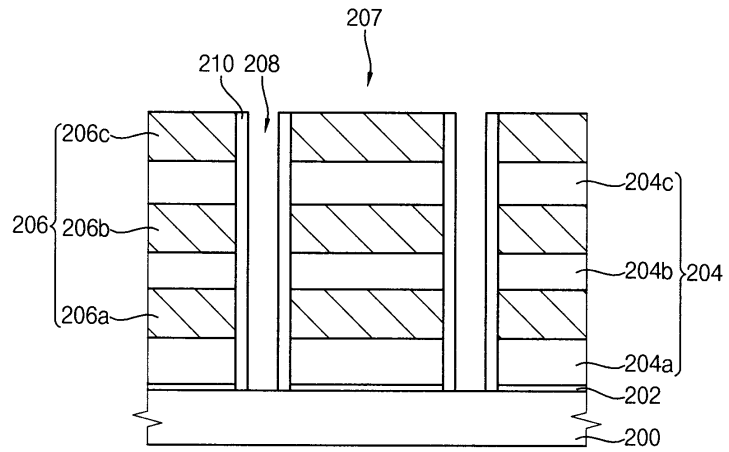
도면10a



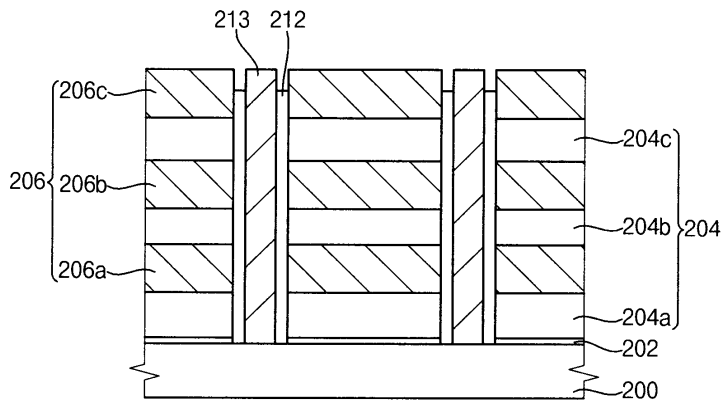
도면10b



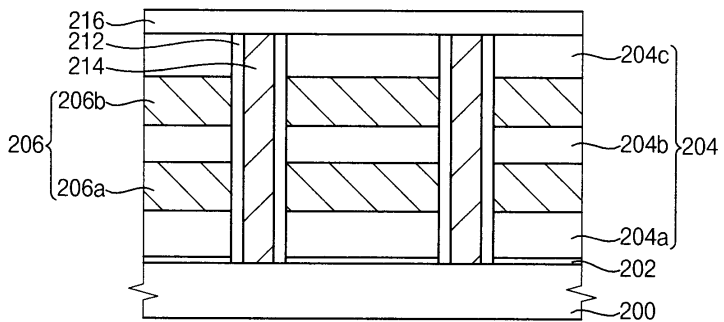
도면11



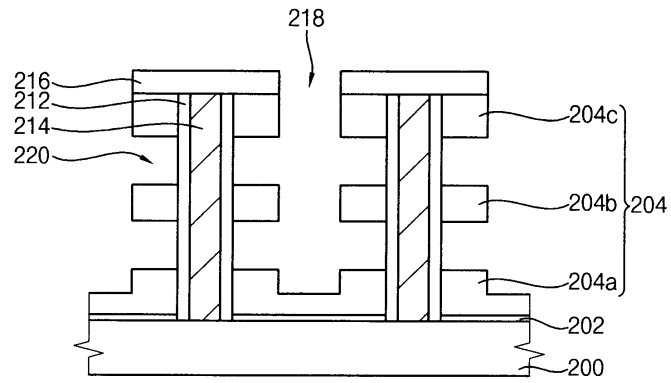
도면12



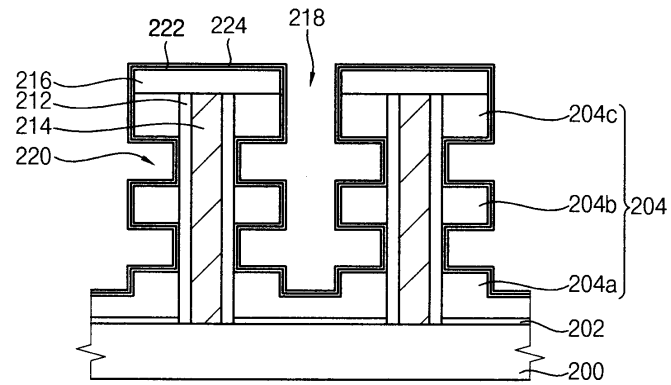
도면13



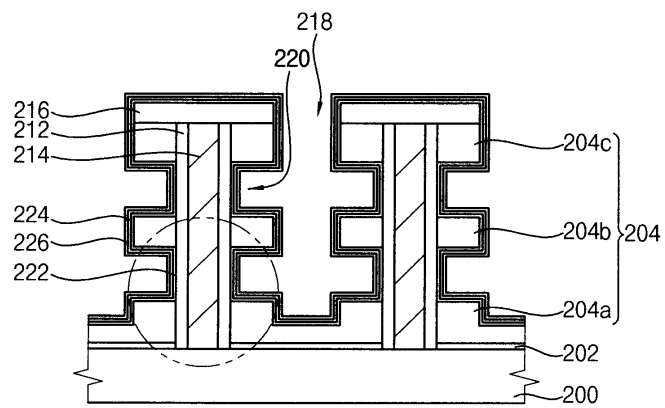
도면14



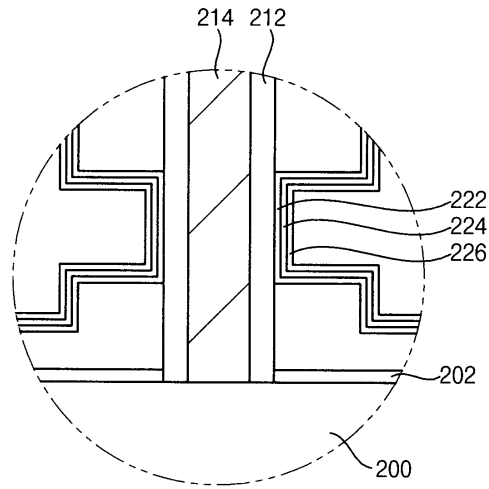
도면15



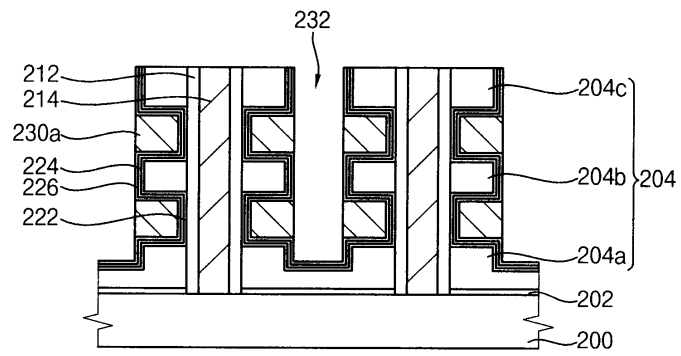
도면16



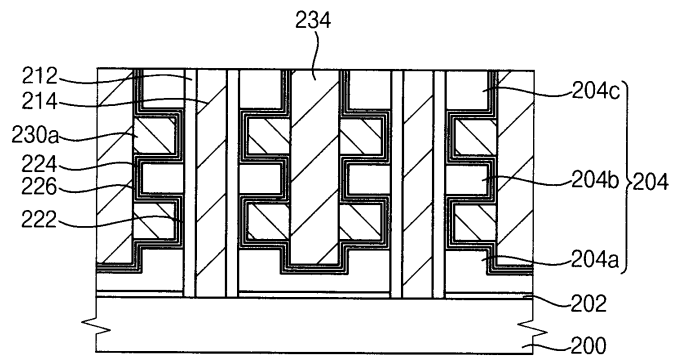
도면17



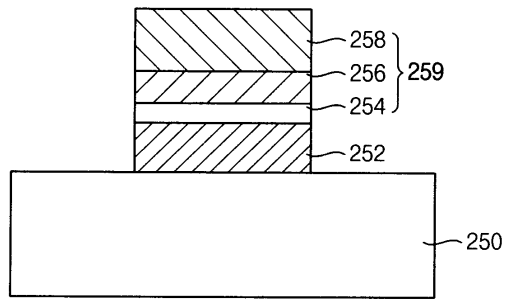
도면18



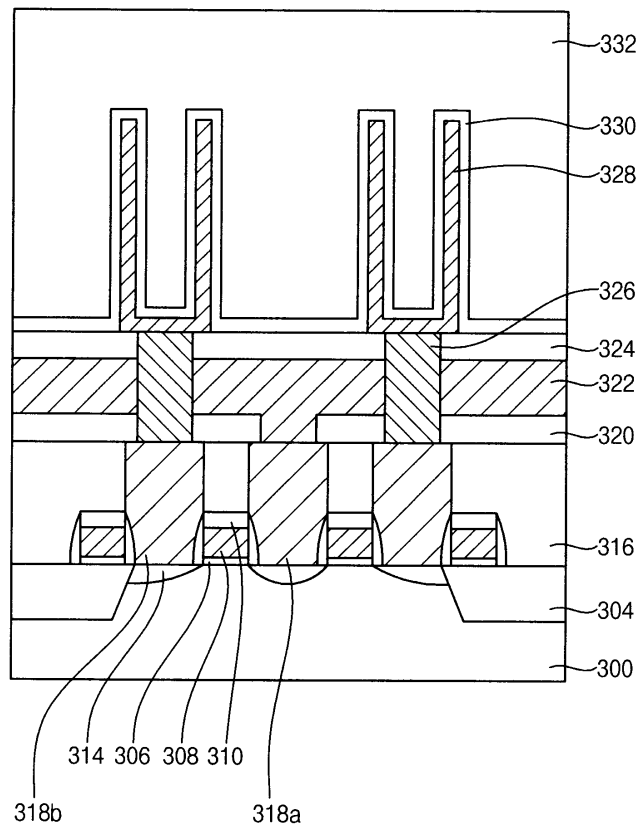
도면19



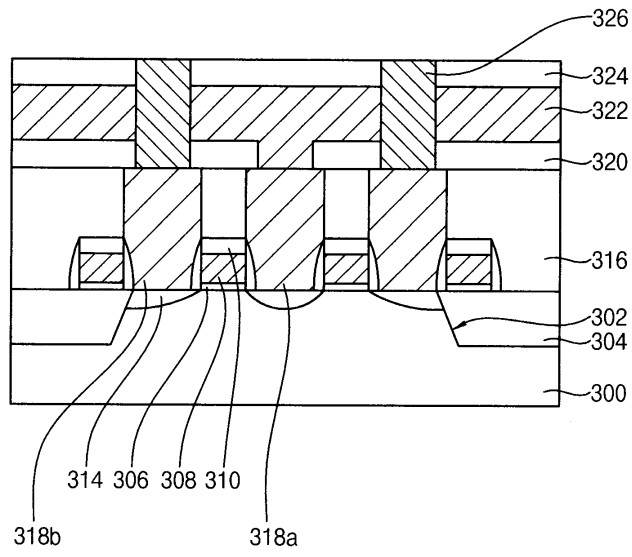
도면20



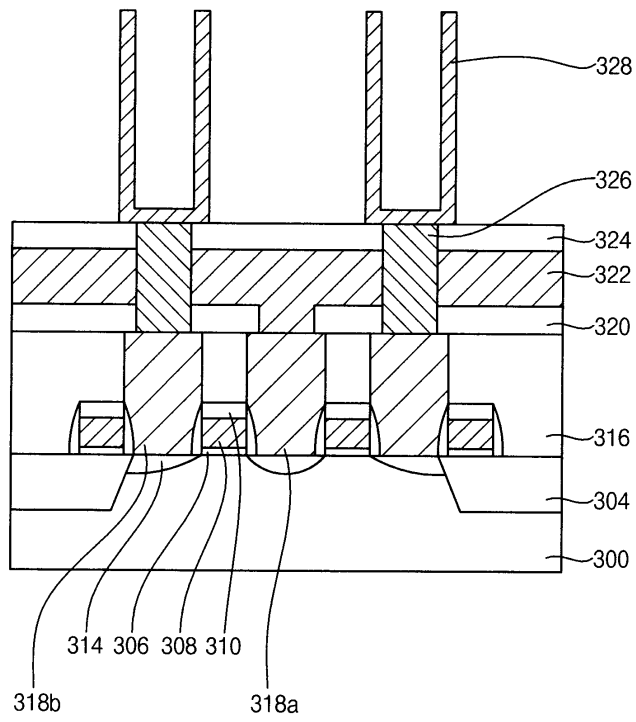
도면21



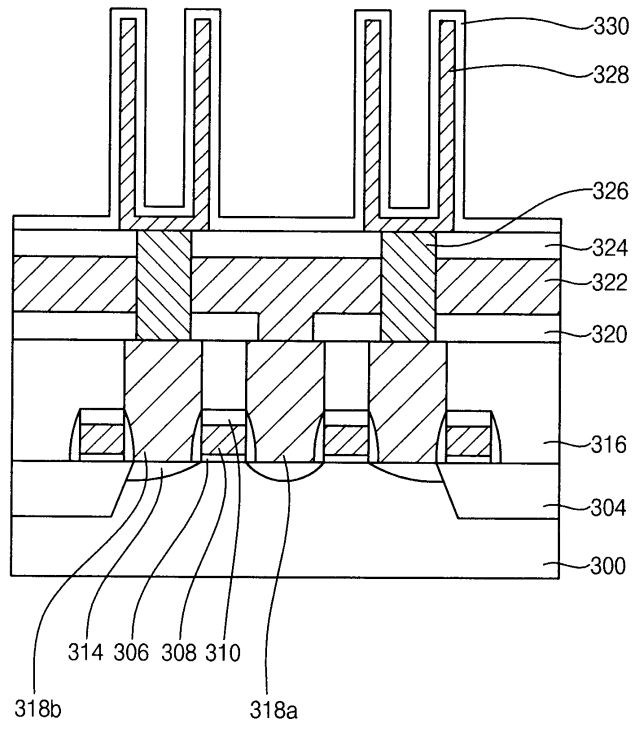
도면22



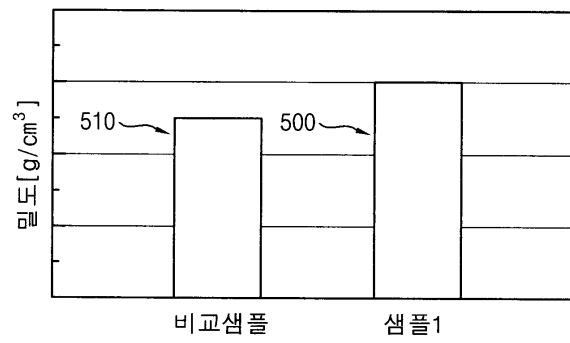
도면23



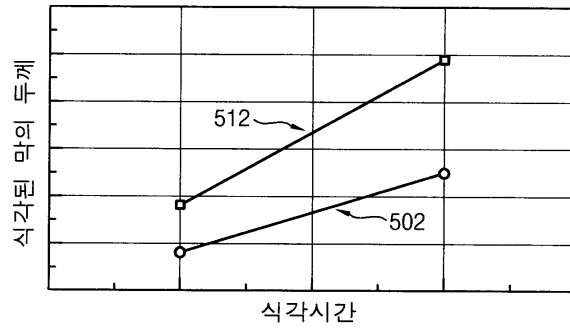
도면24



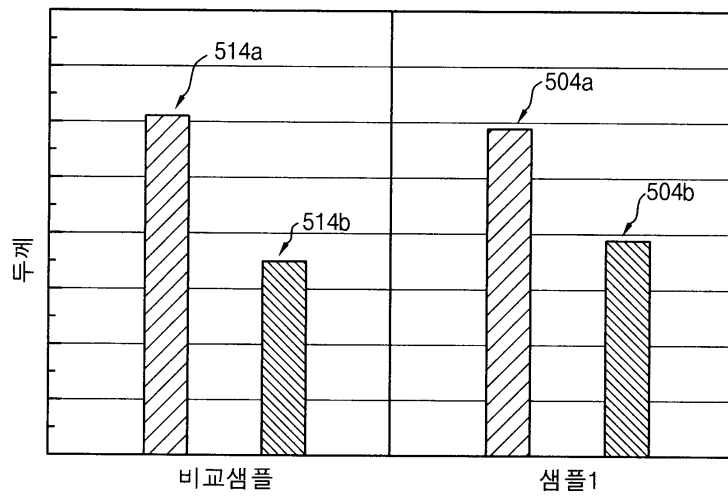
도면25



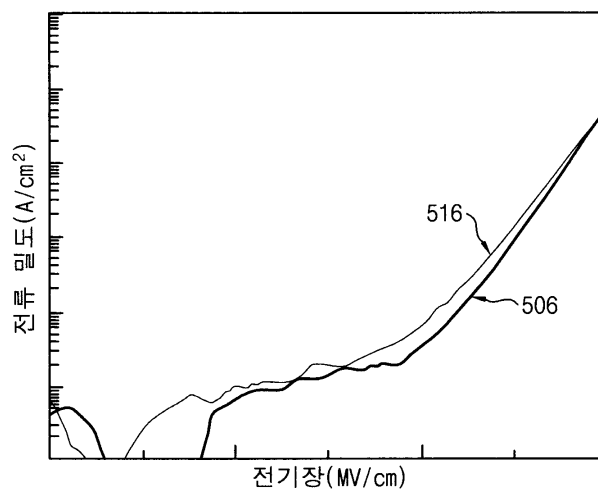
도면26



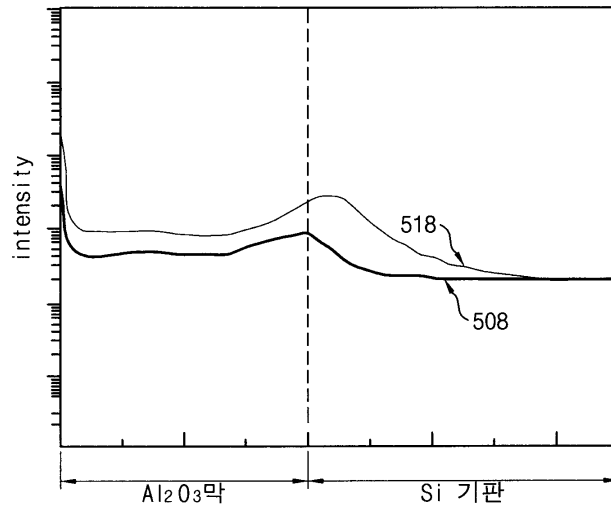
도면27



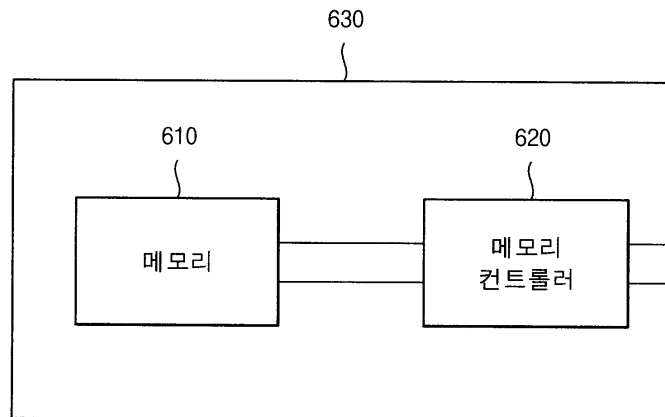
도면28



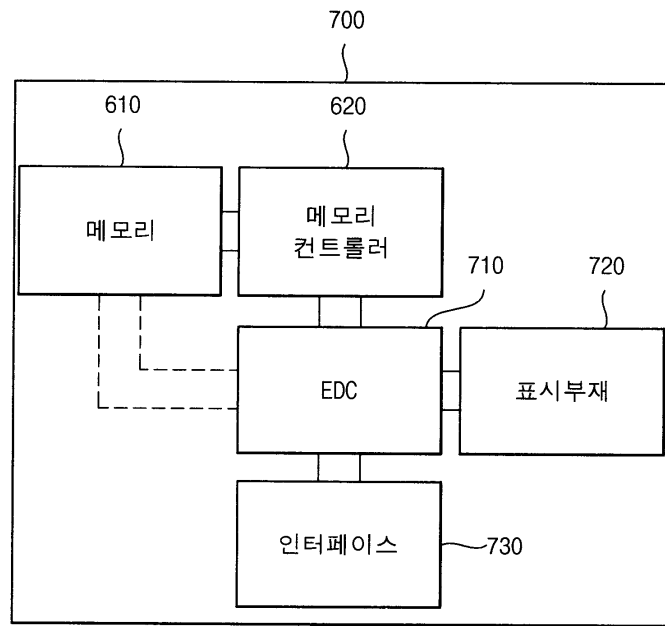
도면29



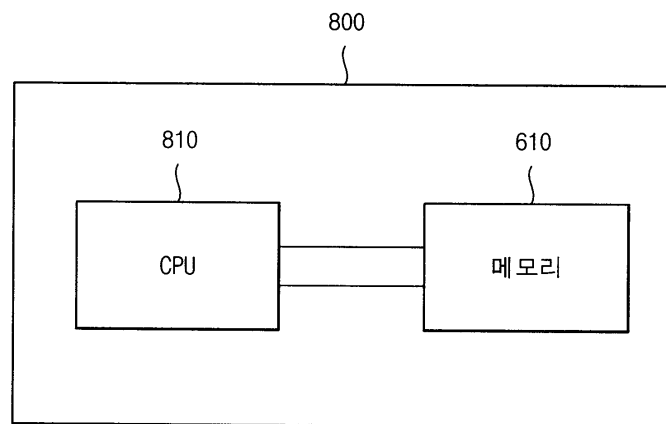
도면30



도면31



도면32



도면33

