

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

disposed between the organic flattening film and the second electrode, the metallic layer being disposed over the whole surface of the organic flattening film except the region overlapping the first contact hole in plan view.

(57) 要約 : 表示品位の低下を抑制することが可能な表示装置を提供すること。一実施形態に係る表示装置は、基板と、基板上に配置される画素回路と、基板上に配置され、かつ、画素回路を覆う有機平坦化膜と、有機平坦化膜に形成される第1コンタクトホールと平面視で重畳する領域において、画素回路を構成する第1電極と電氣的に接続される第2電極と、第2電極に電氣的に接続される発光素子と、有機平坦化膜と第2電極との間に配置される金属層と、を備え、金属層は、有機平坦化膜のうちの、第1コンタクトホールと平面視で重畳する領域以外の全面に亘って配置される。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 一般に、自発光素子である発光ダイオード (LED: Light Emitting Diode) を用いたLEDディスプレイが知られているが、近年では、より高精細化した表示装置として、マイクロLEDと称される微小なダイオード素子を用いた表示装置 (以下では、マイクロLEDディスプレイと表記する) が開発されている。

[0003] このマイクロLEDディスプレイは、従来の液晶表示ディスプレイや有機ELディスプレイとは異なり、表示領域にチップ状の多数のマイクロLEDが実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代ディスプレイとして注目されている。

[0004] しかしながら、マイクロLEDは光を多方向に拡散して出射するという特性を有しているため、表示品位が低下しやすいという問題がある。

先行技術文献

特許文献

[0005] 特許文献1：特開2020-52154号公報

特許文献2：特開2020-52155号公報

発明の概要

発明が解決しようとする課題

[0006] 本開示の目的の一つは、表示品位の低下を抑制することが可能な表示装置を提供することである。

課題を解決するための手段

[0007] 一実施形態に係る表示装置は、基板と、前記基板上に配置される画素回路と、前記基板上に配置され、かつ、前記画素回路を覆う有機平坦化膜と、前

記有機平坦化膜に形成される第1コンタクトホールと平面視で重畳する領域において、前記画素回路を構成する第1電極と電氣的に接続される第2電極と、前記第2電極に電氣的に接続される発光素子と、前記有機平坦化膜と前記第2電極との間に配置される金属層と、を具備し、前記金属層は、前記有機平坦化膜のうちの、前記第1コンタクトホールと平面視で重畳する領域以外の全面に亘って配置される。

発明の効果

[0008] 本実施形態によれば、表示品位の低下を抑制することが可能な表示装置を提供することができる。

図面の簡単な説明

[0009] [図1]図1は、一実施形態に係る表示装置の構成を概略的に示す斜視図である。

[図2]図2は、一実施形態に係る副画素を概略的に示す等価回路図である。

[図3]図3は、一実施形態に係る複数の副画素の回路構成を示す図である。

[図4]図4は、第1実施形態に係る表示パネルの構成例を模式的に示す断面図である。

[図5]図5は、同実施形態に係る表示パネルを形成する方法の一例を概略的に示す図である。

[図6]図6は、比較例に係る表示パネルの構成例を模式的に示す断面図である。

[図7]図7は、同実施形態に係る表示パネルを形成する方法の別の例を概略的に示す図である。

[図8]図8は、第2実施形態に係る表示パネルの構成例を模式的に示す断面図である。

[図9]図9は、同実施形態に係る表示パネルを形成する方法の一例を概略的に示す図である。

[図10]図10は、第3実施形態に係る表示パネルの構成例を模式的に示す断面図である。

発明を実施するための形態

[0010] いくつかの実施形態につき、図面を参照しながら説明する。

なお、開示はあくまで一例に過ぎず、当業者において、発明の趣旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実施の態様に比べて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を省略することがある。

[0011] <第1実施形態>

図1は、一実施形態に係る表示装置1の構成を概略的に示す斜視図である。図1は、第1方向Xと、第1方向Xに垂直な第2方向Yと、第1方向Xおよび第2方向Yに垂直な第3方向Zによって規定される三次元空間を示している。なお、第1方向Xおよび第2方向Yは、互いに直交しているが、90度以外の角度で交差していてもよい。本明細書においては、表示装置1を第3方向Zと平行な方向から見ることを平面視と呼ぶ。

[0012] 以下、本実施形態においては、表示装置1が自発光素子であるマイクロLEDを用いたマイクロLEDディスプレイである場合について主に説明する。

図1に示すように、表示装置1は、表示パネル2、第1回路基板3および第2回路基板4、などを備える。

[0013] 表示パネル2は、一例では矩形形状である。図示した例では、表示パネル2の短辺EXは第1方向Xと平行であり、表示パネル2の長辺EYは第2方向Yと平行である。第3方向Zは、表示パネル2の厚さ方向に相当する。第1方向Xは表示装置1の短辺と平行な方向と読み替えられ、第2方向Yは表示装置1の長辺と平行な方向と読み替えられ、第3方向Zは表示装置1の厚さ方向と読み替えられてもよい。表示パネル2の主面は、第1方向Xと第2方向Yとにより規定されるX-Y平面に平行である。表示パネル2は、表示領

域DA（表示部）と、当該表示領域DAの外側の非表示領域NDA（非表示部）とを有している。非表示領域NDAは、端子領域MTを有している。図示した例では、非表示領域NDAは、表示領域DAを囲んでいる。

[0014] 表示領域DAは、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素PXを備えている。画素PXは、発光素子（マイクロLED）および当該発光素子を駆動するためのスイッチング素子（駆動トランジスタ）などを含む。

[0015] 端子領域MTは、表示パネル2の短辺EXに沿って設けられ、表示パネル2を外部装置などと電氣的に接続するための端子を含んでいる。

[0016] 第1回路基板3は、端子領域MTの上に実装され、表示パネル2と電氣的に接続されている。第1回路基板3は、例えばフレキシブルプリント回路基板（Flexible Printed Circuit Board）である。第1回路基板3は、表示パネル2を駆動する駆動ICチップ（以下では、パネルドライバと表記する）5などを備えている。なお、図示した例では、パネルドライバ5は、第1回路基板3の上に配置されているが、第1回路基板3の下に配置されてもよい。あるいは、パネルドライバ5は、第1回路基板3以外に実装されてもよい。この場合、パネルドライバ5は、表示パネル2の非表示領域NDAに実装されてもよいし、第2回路基板4に実装されてもよい。第2回路基板4は、例えばリジットプリント回路基板である。第2回路基板4は、例えば第1回路基板3の下方において当該第1回路基板3と接続されている。

[0017] パネルドライバ5は、例えば第2回路基板4を介して図示しない制御基板と接続されている。パネルドライバ5は、例えば制御基板から出力される映像信号に基づいて複数の画素PXを駆動することによって表示パネル2に画像を表示する制御を実行する。

[0018] なお、表示パネル2は、斜線を付して示す折り曲げ領域BAを有していてもよい。折り曲げ領域BAは、表示装置1が電子機器などの筐体に収容される際に折り曲げられる領域である。折り曲げ領域BAは、非表示領域NDAのうちの端子領域MT側に位置している。折り曲げ領域BAが折り曲げられ

た状態において、第1回路基板3および第2回路基板4は、表示パネル2と対向するように配置される。

[0019] 図2は、画素PXに含まれる副画素SPの等価回路図である。本実施形態において、画素PXは、複数の副画素SPを有している。具体的には、画素PXは、赤色の発光素子に対応する副画素SP、緑色の発光素子に対応する副画素SP、青色の発光素子に対応する副画素SP、などを有している。各副画素SPは、発光素子10と、発光素子10に駆動電流を与える画素回路と、を含んでいる。発光素子10は、例えば自発光素子であり、本実施形態では、マイクロLEDである。

[0020] 各副画素SPの画素回路は、電圧信号からなる映像信号Vsigに応じて発光素子10の発光を制御する電圧信号方式の画素回路であり、リセットスイッチRST、画素選択スイッチSST、初期化スイッチIST、出力スイッチBCT、駆動トランジスタDRT、保持容量Csおよび補助容量Cadを有している。保持容量Csおよび補助容量Cadは、キャパシタである。補助容量Cadは発光電流量を調整するために設けられる素子であり、不要となる場合もある。

[0021] リセットスイッチRST、画素選択スイッチSST、初期化スイッチIST、出力スイッチBCTおよび駆動トランジスタDRTは、TFT（薄膜トランジスタ）により構成されている。本実施形態において、リセットスイッチRST、画素選択スイッチSST、初期化スイッチIST、出力スイッチBCTおよび駆動トランジスタDRTは、同一導電型、例えばNチャネル型のTFTにより構成されている。なお、リセットスイッチRST、画素選択スイッチSST、初期化スイッチIST、出力スイッチBCTおよび駆動トランジスタDRTは、Pチャネル型のTFTにより構成されてもよい。その場合、Nチャネル型のTFTとPチャネル型のTFTとを同時に形成してもよい。リセットスイッチRST、画素選択スイッチSST、初期化スイッチISTおよび出力スイッチBCTは、スイッチとして機能すればよく、TFTで構成されていなくてもよい。

- [0022] 本実施形態に係る表示装置1において、駆動トランジスタDRTおよび各スイッチをそれぞれ構成したTF Tは全て同一工程、同一構造で形成されたボトムゲート構造の薄膜トランジスタである。
- [0023] リセットスイッチRST、画素選択スイッチSST、初期化スイッチIST、出力スイッチBCTおよび駆動トランジスタDRTは、それぞれ、ソース電極、ドレイン電極およびゲート電極を有している。
- [0024] 副画素SPの画素回路において、駆動トランジスタDRTおよび出力スイッチBCTは、第1電源線SL1と第2電源線SL2との間で発光素子10と直列に接続されている。第1電源線SL1は高電位PVDDに固定される高電位電源線であり、第2電源線SL2は低電位PVSSに固定される低電位電源線である。発光素子10は、理想的には高電位PVDDと低電位PVSSとの電位差により駆動電流が供給され発光する。つまり、高電位PVDDは、低電位PVSSに対し、発光素子10を発光させるだけの電位差を有している。具体的には、高電位PVDDは例えば10Vの電位に設定され、低電位PVSSは例えば1.5Vの電位に設定されている。
- [0025] 出力スイッチBCTにおいて、ドレイン電極は第1電源線SL1に接続され、ソース電極は駆動トランジスタDRTのドレイン電極に接続され、ゲート電極は出力制御信号線L1に接続されている。これにより、出力スイッチBCTは、出力制御信号線L1に与えられる制御信号BGによりオン（導通状態）、オフ（非導通状態）制御される。出力スイッチBCTは、制御信号BGに応答して、発光素子10の発光時間を制御する。
- [0026] 駆動トランジスタDRTにおいて、ドレイン電極は出力スイッチBCTのソース電極に接続され、ソース電極は発光素子10の一方の電極（陽極）に接続されている。発光素子10の他方の電極（陰極）は、第2電源線SL2に接続されている。駆動トランジスタDRTは、映像信号Vsigに応じた電流量の駆動電流を発光素子10に出力する。
- [0027] 画素選択スイッチSSTにおいて、ソース電極は映像信号線VLに接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲー

ト電極は画素選択制御信号線L2に接続されている。画素選択スイッチSSTは、画素選択制御信号線L2から供給される制御信号SGによりオン、オフ制御される。画素選択スイッチSSTは、制御信号SGに応答して、画素回路と映像信号線VLとの接続、非接続を制御し、映像信号線VLから映像信号Vsigを画素回路に取り込む。

[0028] 初期化スイッチISTにおいて、ソース電極は初期化配線Sgiに接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極は初期化制御信号線L3に接続されている。初期化スイッチISTは、初期化制御信号線L3から供給される制御信号IGによりオン、オフ制御される。初期化スイッチISTは、制御信号IGに応答して、画素回路と初期化配線Sgiとの接続、非接続を制御する。画素回路と初期化配線Sgiとを初期化スイッチISTにて接続することにより、初期化配線Sgiから初期電位（初期化電圧）Viniを画素回路に取り込むことができる。

[0029] リセットスイッチRSTにおいて、ソース電極はリセット配線Sgrに接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極はリセット制御信号線L4に接続されている。リセット配線Sgrは、リセット電源に接続され、定電位であるリセット電位Vrstに固定される。リセットスイッチRSTは、リセット制御信号線L4を通して与えられる制御信号RGによりオン、オフ制御される。リセットスイッチRSTがオンに切り替えられることにより、駆動トランジスタDRTのソース電極の電位をリセット電位Vrstにリセットすることができる。

[0030] 保持容量Csは、等価回路としては、駆動トランジスタDRTのゲート電極とソース電極との間に接続されている。補助容量Cadは、等価回路としては、駆動トランジスタDRTのソース電極と定電位の配線としての第1電源線SL1との間に接続されている。

[0031] 図1に示したパネルドライバ5は、走査線駆動回路YDR1およびYDR2と、信号線駆動回路XDRとを制御する。パネルドライバ5は、外部から供給されるデジタル映像信号および同期信号を受け取り、垂直走査タイミン

グを制御する垂直走査制御信号と、水平走査タイミングを制御する水平走査制御信号とを、同期信号に基づいて発生させる。

[0032] パネルドライバ5は、これら垂直走査制御信号および水平走査制御信号をそれぞれ走査線駆動回路YDR1およびYDR2と、信号線駆動回路XDRとに供給すると共に、水平走査タイミングおよび垂直走査タイミングに同期してデジタル映像信号および初期化信号を信号線駆動回路XDRに供給する。

[0033] 信号線駆動回路XDRは、水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し階調に応じた映像信号Vsigを複数の映像信号線VLに供給する。パネルドライバ5は、第1電源線SL1を高電位PVDに固定し、リセット配線Sgrをリセット電位Vrstに固定し、初期化配線Sgiを初期化電位Viniに固定する。なお、第1電源線SL1の電位、リセット配線Sgrの電位および初期化配線Sgiの電位は、信号線駆動回路XDRを介して設定されてもよい。

[0034] なお、図2において説明した副画素SPの回路構成は一例であり、少なくとも駆動トランジスタDRTおよび発光素子10を含むものであれば、副画素SPの回路構成は他の構成であっても構わない。例えば図2において説明した副画素SPの回路構成のうちの一部の素子が省略されてもよいし、他の素子が追加されてもよい。

[0035] 図3は、第1方向Xに隣り合う二つの副画素SP1およびSP2の回路構成を示す。図3に示すように、複数の映像信号線VL、複数の第1電源線SL1、リセット配線Sgrおよび初期化配線Sgiは、第2方向Yに延出する。出力制御信号線L1、画素選択制御信号線L2、初期化制御信号線L3およびリセット制御信号線L4は、第1方向Xに延出し、平面視で、複数の映像信号線VL、複数の第1電源線SL1、リセット配線Sgrおよび初期化配線Sgiとそれぞれ交差する。また、第1方向Xに間隔を置いて並ぶ二つの第1電源線SL1の間には、接続配線L5が設けられている。接続配線L5は、駆動トランジスタDRT、画素選択スイッチSSTおよび初期化ス

イッチ I S T を接続する。

[0036] 図3に示すように、リセット配線 S g r および初期化配線 S g i は、第1方向 X に隣り合う二つの副画素 S P 1 および S P 2 で共有される。つまり、図3の左側に示す副画素 S P 1 には初期化配線 S g i が設けられず、副画素 S P 1 の映像信号線 V L に沿ってリセット配線 S g r が設けられている。一方で、図3の右側に示す副画素 S P 2 には、リセット配線 S g r が設けられず、副画素 S P 2 の映像信号線 V L に沿って初期化配線 S g i が設けられている。これにより、副画素 S P 1 および S P 2 のそれぞれに対して、リセット配線 S g r および初期化配線 S g i を設けた場合に比べて、配線の本数を少なくして効率よく配線を配置することができる。

[0037] 駆動トランジスタ D R T は、半導体層 S C 1、ソース電極 S E およびゲート電極 G E を有する。半導体層 S C 1、ソース電極 S E およびゲート電極 G E は、平面視で少なくとも一部が重なって配置され、第1方向 X に間隔を置いて並ぶ二つの第1電源線 S L 1 と、出力制御信号線 L 1 と、画素選択制御信号線 L 2 とで囲まれた領域に設けられる。

[0038] 半導体層 S C 1 は、第1部分半導体層 S C 1 a と接続される。第1部分半導体層 S C 1 a は、半導体層 S C 1 と同じ半導体材料を用いて、半導体層 S C 1 と同層に形成される。第1部分半導体層 S C 1 a は、半導体層 S C 1 と第1方向 X に並んで設けられ、第1部分半導体層 S C 1 a の第1方向 X の幅は、半導体層 S C 1 の第1方向 X の幅よりも大きい。第1部分半導体層 S C 1 a は、ゲート電極 G E と重なって設けられており、第1部分半導体層 S C 1 a とゲート電極 G E との間には保持容量 C s が形成される。なお、半導体層 S C 1 と第1部分半導体層 S C 1 a とは、一つの矩形の半導体層で構成されてもよい。

[0039] 出力スイッチ B C T は、半導体層 S C 2 を有する。半導体層 S C 2 は半導体層 S C 1 と接続されており、出力制御信号線 L 1 と平面視で交差する。半導体層 S C 2 のうち、出力制御信号線 L 1 と重なる領域にチャンネル領域が形成される。出力制御信号線 L 1 のうち半導体層 S C 2 と重なる部分が、出力

スイッチBC Tのゲート電極として機能する。半導体層SC 2の一端側は、第1電源線接続部SL 1 aと電氣的に接続される。第1電源線接続部SL 1 aは、第1電源線SL 1から第1方向Xに分岐された部分である。これにより、駆動トランジスタDRTおよび出力スイッチBC Tには、第1電源線SL 1からPVDD電位が供給される。

[0040] 図3の左側に示す副画素SP 1では、初期化スイッチISTは半導体層SC 3 aを有する。一方で、図3の右側に示す副画素SP 2では、初期化スイッチISTは半導体層SC 3 bを有する。半導体層SC 3 aは、初期化制御信号線L 3から分岐された分岐信号線L 3 aと平面視で交差する。半導体層SC 3 aのうち、分岐信号線L 3 aと重なる領域にチャネル領域が形成される。分岐信号線L 3 aのうち半導体層SC 3 aと重なる部分が、副画素SP 1の初期化スイッチISTのゲート電極として機能する。半導体層SC 3 bは、初期化制御信号線L 3と平面視で交差する。半導体層SC 3 bのうち、初期化制御信号線L 3と重なる領域にチャネル領域が形成される。初期化制御信号線L 3のうち半導体層SC 3 bと重なる部分が、副画素SP 2の初期化スイッチISTのゲート電極として機能する。

[0041] 図3の左側に示す副画素SP 1では、半導体層SC 3 aは第2方向Yに延出する部分と、第1方向Xに延出する部分とを有する。半導体層SC 3 aのうち、第2方向Yに延出する部分の一端が接続配線L 5に電氣的に接続される。半導体層SC 3 aのうち、第1方向Xに延出する部分は、平面視で第1電源線SL 1および映像信号線VLと交差して副画素SP 2まで延出し、初期化配線Sg iに電氣的に接続される。図3の右側に示す副画素SP 2では、半導体層SC 3 bは、第2方向Yに延出し、一端が接続配線L 5に電氣的に接続され、他端が初期化配線Sg iに接続される。以上のような構成により、一つの初期化配線Sg iは、二つの初期化スイッチISTに電氣的に接続されて、第1方向Xに隣り合う二つの副画素SP 1およびSP 2で共有される。

[0042] 画素選択スイッチSSTは、半導体層SC 4を有する。半導体層SC 4は

第1方向Xに延出し、画素選択制御信号線L2から分岐された分岐信号線L2aと平面視で交差する。半導体層SC4のうち、分岐信号線L2aと重なる領域にチャネル領域が形成される。分岐信号線L2aのうち半導体層SC4と重なる部分が、画素選択スイッチSSTのゲート電極として機能する。半導体層SC4の一端は、映像信号線接続部VLaに接続され、他端は接続配線L5に接続される。映像信号線接続部VLaは、映像信号線VLから第1方向Xに分岐された部分である。

[0043] 図3の左側に示す副画素SP1では、リセットスイッチRSTは半導体層SC5aを有する。一方で、図3の右側に示す副画素SP2では、リセットスイッチRSTは半導体層SC5bを有する。半導体層SC5aは第2方向Yに延出し、リセット制御信号線L4およびリセット制御信号線L4から分岐された分岐信号線L4aと平面視で交差する。半導体層SC5aのうち、分岐信号線L4aと重なる領域にチャネル領域が形成される。分岐信号線L4aのうち半導体層SC5aと重なる部分が、副画素SP1のリセットスイッチRSTのゲート電極として機能する。半導体層SC5bは第2方向Yに延出する部分と、第1方向Xに延出する部分とを有する。半導体層SC5bのうち第2方向Yに延出する部分はリセット制御信号線L4と平面視で交差し、第1方向Xに延出する部分はリセット制御信号線L4から分岐された分岐信号線L4bと平面視で交差する。半導体層SC5bのうち、リセット制御信号線L4と重なる領域にチャネル領域が形成される。リセット制御信号線L4のうち半導体層SC5bと重なる部分が、副画素SP2のリセットスイッチRSTのゲート電極として機能する。

[0044] 図3の左側に示す副画素SP1では、半導体層SC5aの一端は、リセット配線Sgrに接続される。また、図3の右側に示す副画素SP2では、半導体層SC5bの一端は、リセット配線Sgrと同層において島状に形成されたリセット配線接続部Sgraに接続される。また、半導体層SC5aおよびSC5bの他端は共に、第1部分半導体層SC1aを介して半導体層SC2に電氣的に接続される。リセット配線Sgrとリセット配線接続部Sg

r aとは、ブリッジ部L 6により接続される。ブリッジ部L 6は、リセット制御信号線L 4と同層、つまり、各種ゲート電極と同層に形成される。これによれば、リセット配線S g rとリセット配線接続部S g r aとは、ブリッジ部L 6を介して電氣的に接続される。以上のような構成により、一つのリセット配線S g rは、二つのリセットスイッチR S Tに電氣的に接続されて、第1方向Xに隣り合う二つの副画素S P 1およびS P 2で共有される。

[0045] 図4は、第1実施形態に係る表示パネル2の構成例を模式的に示す断面図である。なお、図4では、表示パネル2の表示面、すなわち光出射面が上方を向き、背面が下方を向くように描いている。

[0046] 図4に示すように、表示パネル2は、絶縁基材20と、絶縁基材20の上に設けられた絶縁層21~26と、複数の副画素S Pと、を備えている。副画素S Pは、絶縁基材20の上に設けられ、表示領域D Aに位置し、発光素子10を備えている。

[0047] 絶縁基材20としては、主に、石英、無アルカリガラスなどのガラス基板、またはポリイミドなどの樹脂基板を用いることができる。絶縁基材20の材質は、T F Tを製造する際の処理温度に耐える材質であればよい。絶縁基材20が可撓性を有する樹脂基板である場合、表示装置1をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。なお、絶縁基材20にポリイミドなどを用いる場合、絶縁基材20を有機絶縁層または樹脂層と称した方が適当な場合があり得る。

[0048] 絶縁層21は、絶縁基材20の上に設けられている。絶縁層21の上に、各種T F Tが形成されている。表示領域D Aにおいて、絶縁層21の上に、駆動トランジスタD R Tなどが形成されている。なお、図4では、駆動トランジスタD R T以外の各種スイッチR S T, S S T, I S T, B C Tの図示を省略している。駆動トランジスタD R Tは、半導体層S C 1と、ゲート電極G Eと、ソース電極S E（第1電極）と、ドレイン電極D Eと、を備えている。

- [0049] ゲート電極GEは、絶縁層21の上に配置されている。絶縁層22は、絶縁層21およびゲート電極GEの上に設けられている。絶縁層22はゲート絶縁膜として機能する。半導体層SC1は、絶縁層22の上に配置されている。ゲート電極GEと半導体層SC1のチャンネル領域とは対向している。絶縁層23は、絶縁層22および半導体層SC1の上に設けられている。ソース電極SEおよびドレイン電極DEは、絶縁層23の上に配置されている。ソース電極SEおよびドレイン電極DEは、絶縁層23に形成されたコンタクトホールを通り、半導体層SC1に電氣的に接続されている。ソース電極SEと半導体層SC1とを電氣的に接続するためのコンタクトホールは、後述するコンタクトホールh1と平面視で重畳しない。絶縁層23の上には、第1電源線SL1がさらに設けられている。
- [0050] 絶縁層24は、絶縁層23、ソース電極SE、ドレイン電極DEおよび第1電源線SL1の上に設けられている。絶縁層24は、駆動トランジスタDRTなどの複数のTFEを覆っている。絶縁層24には、コンタクトホールh1が形成されている。コンタクトホールh1は、ソース電極SEの上面を露出させている。
- [0051] 絶縁層24およびソース電極SEの上に、導電層CL1（金属層）が設けられている。絶縁層25は、絶縁層24および導電層CL1の上に設けられている。絶縁層25は、コンタクトホールh1で囲まれたコンタクトホールh2を有し、コンタクトホールh2は、ソース電極SEの上に島状に配置された導電層CL1の上面を露出させている。また、絶縁層25には、導電層CL3に対向する導電層CL1の上面を露出させるコンタクトホールh3が形成されている。
- [0052] 導電層CL2およびCL3は、絶縁層25の上に配置されている。導電層CL2（第2電極）は、絶縁層25に形成されたコンタクトホールh2を通り、ソース電極SEの上に配置された導電層CL1に接し、導電層CL1を介してソース電極SEに電氣的に接続されている。導電層CL3は、絶縁層25に形成されたコンタクトホールh3を通り、導電層CL1に接している

。なお、絶縁層25を挟んで対向する導電層CL1と導電層CL2との間には、所定の容量が形成される。

[0053] 絶縁層26は、絶縁層25、導電層CL2および導電層CL3の上に設けられている。絶縁層26にはコンタクトホールh4が形成され、コンタクトホールh4は導電層CL2の上面を露出させている。また、絶縁層26にはコンタクトホールh5が形成され、コンタクトホールh5は導電層CL3の上面を露出させている。

[0054] 画素電極PEは、絶縁層26の上に配置されている。画素電極PEは、絶縁層26に形成されたコンタクトホールh4を通り導電層CL2に接し、導電層CL2に接続されている。画素電極PEは、導電層CL2およびソース電極SEの上に島状に配置された導電層CL1を介して駆動トランジスタDR Tのソース電極SEに電氣的に接続されている。画素電極PEには、駆動トランジスタDR Tから電流値が制御された信号が与えられる。

[0055] 本実施形態において、表示パネル2は、コンタクト電極CON、接続層LA1および接続層LA2を有している。コンタクト電極CONは、絶縁層26の上に設けられ、画素電極PEに絶縁距離を置いて位置している。コンタクト電極CONは、絶縁層26に形成されたコンタクトホールh5を通り導電層CL3に接している。接続層LA1は、画素電極PEの上に配置されている。平面視において、接続層LA1は、コンタクトホールh4と重畳していない。接続層LA2は、コンタクト電極CONの上に配置されている。平面視において、接続層LA2は、コンタクトホールh5と重畳していない。

[0056] ここで、絶縁層21～26は、無機絶縁材料または有機絶縁材料で形成されている。本実施形態において、絶縁層21, 22, 23, 25は、無機絶縁材料として、例えばシリコン酸化物(SiO₂)、またはシリコン窒化物(SiN)で形成されている。

[0057] 絶縁層24および26は、有機絶縁材料として、感光性アクリル樹脂などの樹脂材料で形成されている。絶縁層24および26は、それぞれ発光素子10と対向する側に平坦面を有し、平坦化層として機能している。本実施形

態において、絶縁基材20の上方に設けられた絶縁層24は第1有機平坦化膜として機能し、絶縁層24の上方に設けられた絶縁層26は第2有機平坦化膜として機能している。

[0058] ゲート電極GEは、導電材料として金属で形成されている。例えば、ゲート電極GEは、MoW（モリブデン・タングステン）で形成されている。半導体層SC1は、ポリシリコンとして低温ポリシリコンで形成されている。但し、半導体層SC1は、アモルファスシリコン、酸化物半導体など、ポリシリコン以外の半導体で形成されていてもよい。

ソース電極SE、ドレイン電極DEおよび第1電源線SL1は、同層に位置し、同一の導電材料として金属で形成されている。例えば、ソース電極SE、ドレイン電極DEおよび第1電源線SL1には、それぞれ三層積層構造（Ti系/AI系/Ti系）が採用され、Ti（チタン）、Tiを含む合金などTiを主成分とする金属材料からなる下層と、Al（アルミニウム）、Alを含む合金などAlを主成分とする金属材料からなる中間層と、Ti、Tiを含む合金などTiを主成分とする金属材料からなる上層と、を有している。

[0059] 導電層CL1は、反射率の高い金属で形成されている。例えば、導電層CL1は、二層積層構造を有し、Mo、Moを含む合金などMoを主成分とする金属材料からなる下層と、Al、Alを含む合金などAlを主成分とする金属材料からなる上層と、を有している。

[0060] 導電層CL2およびCL3と、画素電極PEと、コンタクト電極CONとは、導電材料として金属で形成されている。例えば、導電層CL2およびCL3と、画素電極PEと、コンタクト電極CONとは、二層積層構造を有し、Mo、Moを含む合金などMoを主成分とする金属材料からなる下層と、Al、Alを含む合金などAlを主成分とする金属材料からなる上層と、を有している。導電層CL2およびCL3は、同層に位置し、同一の導電材料として金属で形成されている方が望ましい。また、画素電極PEおよびコンタクト電極CONは、同層に位置し、同一の導電材料として金属で形成され

ている方が望ましい。

接続層L A 1 およびL A 2 は、半田で形成されている。

[0061] 表示領域D Aにおいて、画素電極P Eの上方に発光素子1 0が実装されている。詳しくは、発光素子1 0は、接続層L A 1の上に実装されている。発光素子1 0は、第1極性電極としての陽極A Nと、第2極性電極としての陰極C Aと、光を放出する発光層L Iと、を有している。陽極A Nおよび陰極C Aは纏めて上下電極と称されてもよい。また、陽極A Nが下側電極と称され、陰極C Aが上側電極と称されてもよい。

[0062] 発光素子1 0において、陽極A Nは、画素電極P Eと対向する側の面に位置し、画素電極P Eに電氣的に接続されている。本実施形態において、陽極A Nは、接続層L A 1の上に位置し、接続層L A 1に接している。発光素子1 0において、陰極C Aは、陽極A Nが位置する面とは反対側の面に位置している。発光素子1 0において、発光層L Iは、陽極A Nと陰極C Aとの間に位置している。

[0063] 絶縁層2 6、画素電極P E、コンタクト電極C O N、接続層L A 1、接続層L A 2 および発光素子1 0の上に、樹脂層3 1が設けられている。樹脂層3 1は、副画素S P毎に設けられる複数の発光素子1 0の間の空隙部に充填されている。樹脂層3 1は、外部から水分などが侵入してしまうことを抑制するためのものであり、封止膜として機能する。樹脂層3 1は、絶縁層2 6と対向する側とは反対側に平坦面を有している。このため、樹脂層3 1は、平坦化層としても機能する。樹脂層3 1は、発光素子1 0のうち陰極C Aの表面を露出させている。

[0064] なお、樹脂層3 1は、発光素子1 0の陰極C Aまで達しないような厚みを有してもよい。共通電極C Eが形成される表面には発光素子1 0の実装に伴う凹凸の一部が残存しているが、共通電極C Eを形成する材料が段切れすることなく連続的に覆うことができればよい。

[0065] 共通電極C Eは、少なくとも表示領域D Aに位置し、樹脂層3 1および発光素子1 0の上に配置され、樹脂層3 1および発光素子1 0を覆っている。

共通電極C Eは、副画素S P毎に設けられた複数の発光素子1 0の陰極C Aに接触し、複数の発光素子1 0の陰極C Aと電氣的に接続されている。つまり、共通電極C Eは、複数の副画素S P（画素P X）で共用されている。

[0066] 共通電極C Eは、発光素子1 0からの出射光を取り出すために、透明電極として形成する必要があるため、透明な導電材料として例えばインジウム錫酸化物（ITO）やインジウム亜鉛酸化物（IZO）を用いて形成されている。

[0067] 共通電極C Eは、樹脂層3 1に形成されたコンタクトホールh 6を通りコンタクト電極C ONと電氣的に接続されている。本実施形態において、共通電極C Eは、コンタクトホールh 6を通り、副画素S Pの接続層L A 2に接している。共通電極C Eはコンタクト電極C ONではなく接続層L A 2に接しているため、共通電極C Eと接続層L A 2との間にオーミック接触を作ることができる。

[0068] 上記のように、表示パネル2は、絶縁基材2 0から共通電極C Eまでの構造を有している。なお、共通電極C Eの上には、カバーガラスなどのカバー部材、偏光板などの光学層、タッチパネル基板などがさらに設けられてもよい。

[0069] ここで、図5を参照して、導電層C L 1から導電層C L 2までの積層体（導電層C L 1、絶縁層2 5および導電層C L 2によって構成される積層体）を形成する方法の一例について説明する。なお、ここでは、駆動トランジスタD R Tのソース電極S Eが、Ti / Al / Tiの三層積層構造を有し、導電層C L 1およびC L 2が、Al / Moの二層積層構造を有している場合を想定する。

[0070] まず、図5（a）に示すように、導電層C L 1が絶縁層2 4およびソース電極S Eの上に形成される。なお、ここでは、絶縁層2 4には、コンタクトホールh 1が既に形成されている場合を想定している。導電層C L 1はコンタクトホールh 1を通りソース電極S Eに接している。図5では図示を省略しているが、図5（a）の状態の後に、コンタクトホールh 1の側面（斜辺）と接する部分を除いて、導電層C L 1の上にはレジスト膜が形成される。

なお、ソース電極SEの上に配置された導電層CL1の上にもレジスト膜が形成されることで、後述するウェットエッチング時に導電層CL1と共にソース電極SEが除去されてしまうことを抑制することが可能である。その後、ウェットエッチングが行われ、コンタクトホールh1の側面に接している導電層CL1が除去される。なお、導電層CL1の上に形成されたレジスト膜は、ウェットエッチングが終了した後に除去される。

[0071] 続いて、導電層CL1および絶縁層24（コンタクトホールh1）を覆うように、絶縁層25が形成される。そして、ソース電極SEの上に島状に配置された導電層CL1上の絶縁層25以外の絶縁層25の上にはレジスト膜が形成される。その後、ドライエッチングが行われ、ソース電極SEの上に島状に配置された導電層CL1上の絶縁層25が除去され、図5（b）に示すように、絶縁層25にはコンタクトホールh1に囲まれたコンタクトホールh2が形成される。これによれば、図5（b）に示すように、ソース電極SEの上に島状に配置された導電層CL1の表面はコンタクトホールh2により露出される。なお、絶縁層25の上に形成されたレジスト膜は、ドライエッチングが終了した後に除去される。

[0072] しかる後、図5（c）に示すように、絶縁層25およびソース電極SEの上に島状に配置された導電層CL1（コンタクトホールh2）を覆うように、導電層CL2が形成される。導電層CL2はコンタクトホールh2を通り導電層CL1に接している。つまり、導電層CL2は導電層CL1を介してソース電極SEに電氣的に接続される。

[0073] 以上のような方法により、導電層CL1から導電層CL2までの積層体が形成される。図5（c）に示すように、ソース電極SEは導電層CL1に接し、導電層CL1は導電層CL2に接している。コンタクトホールh2が形成された領域において（より詳しくは、コンタクトホールh2（またはコンタクトホールh1）と平面視で重畳する領域において）、ソース電極SE、導電層CL1および導電層CL2は平面視で重畳し、上層から下層にかけて、Al/Mo/Al/Mo/Ti/Al/Tiがこの順で積層されている。

- [0074] ここで、比較例を用いて、本実施形態に係る表示装置 1（表示パネル 2）の効果について説明する。なお、比較例は、本実施形態に係る表示パネル 2 が奏し得る効果の一部を説明するためのものであって、比較例と本実施形態とで共通する効果を本願発明の範囲から除外するものではない。
- [0075] 図 6 は、比較例に係る表示パネル 2 A の構成例を模式的に示す断面図である。比較例に係る表示パネル 2 A は、導電層 C L 1 が金属ではなく、ITO などの透明導電材料で形成されている点で、本実施形態と相違している。なお、図 6 では、図 4 との相違点を明確にするために、斜線ではなく点（ドット）を付して導電層 C L 1 を示している。また、比較例に係る表示パネル 2 A は、ソース電極 S E の上に導電層 C L 1 が設けられておらず、ソース電極 S E が導電層 C L 2 と接している点でも、本実施形態と相違している。
- [0076] 一般に、導電層 C L 1 は比較例に係る表示パネル 2 A のように ITO などの透明導電材料で形成されていることが多い。これによれば、開口率を上げることができる一方で、発光素子 10 の発光層 L 1 より下方に向けて放出された光（落斜光）を透過してしまうので、落斜光が駆動トランジスタ D R T などの T F T に当たってしまい、リーク電流が流れてしまうといった問題がある。
- [0077] これに対し、本実施形態に係る表示パネル 2 によれば、発光素子 10 の発光層 L 1 よりも下方に位置する導電層 C L 1 が A l / M o の二層積層構造を有した金属で形成されているので、落斜光を上面（表示面）に向けて反射させることが可能である。これによれば、落斜光が駆動トランジスタ D R T などの T F T に当たってしまうことを抑制することができ、落斜光に起因したリーク電流が流れてしまうことを抑制することが可能である。
- [0078] また、本実施形態に係る表示パネル 2 によれば、上記したように、落斜光を上面（表示面）に向けて反射させることができるので、輝度効率を向上させることも可能である。さらに、本実施形態に係る表示パネル 2 においては、導電層 C L 1 の材質を透明導電材料から金属材料に変更しているだけであるため、上記した各種効果を得るにあたって、比較例に係る表示パネル 2 A

を製造するために要する工程数から工程数を増やす必要がないという利点もある。また、本実施形態に係る表示パネル2によれば、導電層CL1が金属であるため、導電層CL1が透明導電材料である比較例に比べて電気抵抗値を下げることも可能であり、ひいては、輝度むらの発生を抑制することも可能である。

[0079] さらに、本実施形態に係る表示パネル2では、導電層CL1が透明導電材料である比較例に比べて金属層を増やすことができるので、放熱効果を上昇させることも可能である。上記したように、本実施形態に係る表示パネル2に設けられる発光素子10は自発光素子の一種であるマイクロLEDである。一般に、マイクロLEDのエネルギー変換効率はおよそ30%程度とされており、残りの70%は熱となって発熱することが知られている。つまり、マイクロLEDには、発光の際に多量の熱を発してしまうといった問題があり、放熱対策を施す必要がある。本実施形態に係る表示パネル2においては、導電層CL1が金属であるため、当該導電層CL1をいわゆるTIM (Thermal Interface Material) として機能させることができ、放熱効果を上昇させることが可能である。これによれば、マイクロLEDが発光した際に発せられる熱を、効率よく放熱することが可能である。

[0080] また、本実施形態に係る表示パネル2では、図5に示したように、積層過程においてソース電極SEが除去されてしまうことを防ぐために、ソース電極SEの上に配置された導電層CL1の上にもレジスト膜が形成されるので、ソース電極SEの上に導電層CL1が残存している。これによれば、導電層CL1が残存していない場合に比べて導電層CL2の厚さ方向の長さを短くすることができ、導電層CL2が断線してしまうリスクを低減することが可能である。

[0081] なお、本実施形態においては、図5に示したように、絶縁層25がコンタクトホールh1を覆うように設けられている構成（換言すると、絶縁層25がコンタクトホールh1の側面にも設けられている構成）を例示したが、これに限定されず、例えば図7に示すように、絶縁層25はコンタクトホール

h 1 を覆うように設けられていなくてもよい。

[0082] この場合、まず、図 7 (a) に示すように、導電層 CL 1 が絶縁層 2 4 およびソース電極 SE の上に形成される。なお、ここでは、絶縁層 2 4 には、コンタクトホール h 1 が既に形成されている場合を想定する。導電層 CL 1 はコンタクトホール h 1 を通りソース電極 SE に接している。図 7 では図示を省略しているが、図 7 (a) の状態の後に、コンタクトホール h 1 の側面と接する部分を除いて、導電層 CL 1 の上にはレジスト膜が形成される。その後、ウェットエッチングが行われ、コンタクトホール h 1 の側面に接している導電層 CL 1 が除去される。なお、導電層 CL 1 の上に形成されたレジスト膜は、ウェットエッチングが終了した後に除去される。

[0083] 続いて、導電層 CL 1 および絶縁層 2 4 (コンタクトホール h 1) を覆うように、絶縁層 2 5 が形成される。そして、コンタクトホール h 1 と平面視で重畳しない位置に配置された絶縁層 2 5 の上にはレジスト膜が形成される。その後、ドライエッチングが行われ、コンタクトホール h 1 の側面に配置された絶縁層 2 5、および、ソース電極 SE の上に島状に配置された導電層 CL 1 上の絶縁層 2 5 が除去され、図 7 (b) に示すように、コンタクトホール h 1 の側面を露出させると共に、ソース電極 SE の上に島状に配置された導電層 CL 1 の表面を露出させる。なお、絶縁層 2 5 の上に形成されたレジスト膜は、ドライエッチングが終了した後に除去される。

[0084] しかる後、図 7 (c) に示すように、絶縁層 2 5 と、絶縁層 2 4 およびソース電極 SE の上に配置された導電層 CL 1 (コンタクトホール h 1) とを覆うように、導電層 CL 2 が形成される。導電層 CL 2 はコンタクトホール h 1 を通り導電層 CL 1 に接している。つまり、導電層 CL 2 は、図 5 に示した構成と同様に、導電層 CL 1 を介してソース電極 SE に電氣的に接続される。

[0085] 以上説明した図 7 に示す構成であっても、発光素子 1 0 の発光層 L 1 よりも下方に位置する導電層 CL 1 が Al / Mo の二層積層構造を有した金属で形成されているので、図 5 に示した構成と同様に、上記した各種効果を得る

ことが可能である。

[0086] <第2実施形態>

次に、第2実施形態について説明する。第2実施形態に係る表示装置1は、導電層CL1が、Al/Moではなく、Ti、Tiを含む合金などTiを主成分とする金属材料からなる下層と、Al、Alを含む合金などAlを主成分とする金属材料からなる上層とからなる点（つまり、Al/Tiである点）で、上記した第1実施形態と相違している。また、詳細については後述するが、導電層CL2がソース電極SEとサイドコンタクトにより接続されている点でも、上記した第1実施形態と相違している。

[0087] 図8は、第2実施形態に係る表示パネル2の構成例を模式的に示す断面図である。なお、ここでは、図4に示した第1実施形態に係る表示パネル2の構成と同様な構成の説明は省略し、第1実施形態に係る表示パネル2と異なる構成についてのみ説明するものとする。

[0088] 図8に示すように、絶縁層24には、コンタクトホールh1が形成されており、当該コンタクトホールh1は、絶縁層23の上面を露出させている。導電層CL1は、コンタクトホールh1と平面視で重畳する領域以外の絶縁層24の上に設けられている。絶縁層25は、導電層CL1を覆うように設けられている。導電層CL2は、絶縁層25と、絶縁層24および絶縁層23（コンタクトホールh1）とを覆うように形成されている。導電層CL2はコンタクトホールh1を通り絶縁層23に接し、かつ、ソース電極SEの側面に接続される。

[0089] ここで、図9を参照して、導電層CL1から導電層CL2までの積層体（導電層CL1、絶縁層25および導電層CL2によって構成される積層体）を形成する方法の一例について説明する。なお、ここでは、駆動トランジスタDRTのソース電極SEが、Ti/Al/Tiの三層積層構造を有し、導電層CL1およびCL2が、Al/Tiの二層積層構造を有している場合を想定する。

[0090] まず、図9(a)に示すように、導電層CL1が絶縁層24およびソース

電極SEの上に形成される。なお、ここでは、絶縁層24には、コンタクトホールh1が既に形成されている場合を想定する。導電層CL1はコンタクトホールh1を通りソース電極SEに接している。図9では図示を省略しているが、図9(a)の状態の後に、コンタクトホールh1と平面視で重畳しない位置に配置された導電層CL1の上にはレジスト膜が形成される。その後、ドライエッチングが行われ、コンタクトホールh1と平面視で重畳する位置に配置された導電層CL1およびソース電極SEが除去される。なお、導電層CL1の上に形成されたレジスト膜は、ドライエッチングが終了した後に除去される。

[0091] 続いて、導電層CL1と、絶縁層24および絶縁層23（コンタクトホールh1）とを覆うように、絶縁層25が形成される。そして、導電層CL1上の絶縁層25にはレジスト膜が形成される。その後、ドライエッチングが行われ、コンタクトホールh1と平面視で重畳する位置に配置された絶縁層25が除去され、図9(b)に示すように、コンタクトホールh1の側面を露出させると共に、絶縁層23の表面を露出させる。なお、絶縁層25の上に形成されたレジスト膜は、ドライエッチングが終了した後に除去される。

[0092] しかる後、図9(c)に示すように、絶縁層25と、絶縁層24および絶縁層23（コンタクトホールh1）とを覆うように、導電層CL2が形成される。導電層CL2はコンタクトホールh1を通り絶縁層23に接し、かつ、ソース電極SEの側面とサイドコンタクトしてソース電極SEに接続される。

[0093] 以上のような方法により、導電層CL1から導電層CL2までの積層体が形成される。図9(c)に示すように、ソース電極SEは側面において導電層CL2と接している。より詳しくは、ソース電極SEを構成するTi/AI/Tiはそれぞれ導電層CL2の下層のTiを囲み、当該Tiと接続される。

[0094] 以上説明した第2実施形態に係る構成であっても、発光素子10の発光層L1よりも下方に位置する導電層CL1がAI/Tiの二層積層構造を有し

た金属で形成されていることに変わりはないので、上記した第1実施形態に示した構成と同様に、上記した各種効果を得ることが可能である。

[0095] <第3実施形態>

次に、第3実施形態について説明する。第3実施形態に係る表示装置1は、導電層CL1~CL3、画素電極PE、コンタクト電極CON、接続層LA1およびLA2の上面に、黒化膜が設けられている点で、上記した第1実施形態と相違している。換言すれば、発光素子10の発光層L1よりも下方に位置し、かつ、駆動トランジスタDRTなどの画素回路よりも上方に位置する、金属層の上面に黒化膜が設けられている点で、上記した第1実施形態と相違している。

[0096] 図10は、第3実施形態に係る表示パネル2の構成例を模式的に示す断面図である。なお、ここでは、図4に示した第1実施形態に係る表示パネル2の構成と同様な構成の説明は省略し、第1実施形態に係る表示パネル2と異なる構成についてのみ説明するものとする。

[0097] 図10に示すように、黒化膜40は、導電層CL1~CL3、画素電極PE、コンタクト電極CON、接続層LA1およびLA2の上面にそれぞれ設けられている。黒化膜40は、例えば下層および上層の二層からなる二層積層構造を有している。黒化膜40の下層は、例えばTi（チタン）、Ta（タンタル）、Mo（モリブデン）などの金属材料または合金材料によって形成される。なお、黒化膜40の下層は、シリコン（Si）、ゲルマニウム（Ge）などの半導体材料を用いて形成されてもよい。一方で、黒化膜40の上層は、屈折率が1.7から2.0の材料を用いて形成される。具体的には、黒化膜40の上層は、ITO（インジウム錫酸化物）、IZO（インジウム亜鉛酸化物）、ZnO（酸化亜鉛）、MgO（酸化マグネシウム）などの材料によって形成される。なお、黒化膜40の上層は、窒化シリコン、窒化アルミニウム、酸化アルミニウムなどの絶縁材料を用いて形成されてもよい。

[0098] 以上説明した第3実施形態に係る構成においては、発光素子10の発光層

L1よりも下方に位置し、かつ、駆動トランジスタDRTなどの画素回路よりも上方に位置する、各金属層の上面に黒化膜40がそれぞれ設けられている。上記した二層積層構造を有する黒化膜40は、光の干渉効果を利用して視覚的に黒色化する機能を有している。これによれば、外光反射率を低減させることが可能である。また、上記した二層積層構造を有する黒化膜40の下層は、熱伝導性の優れた金属によって形成されるため、放熱効果を上昇させることも可能である。このため、マイクロLEDの発熱に関する問題を解消することも可能である。

[0099] 以上説明した少なくとも一つの実施形態によれば、表示品位の低下を抑制することが可能な表示装置1（マイクロLEDディスプレイ）を提供することが可能である。

[0100] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

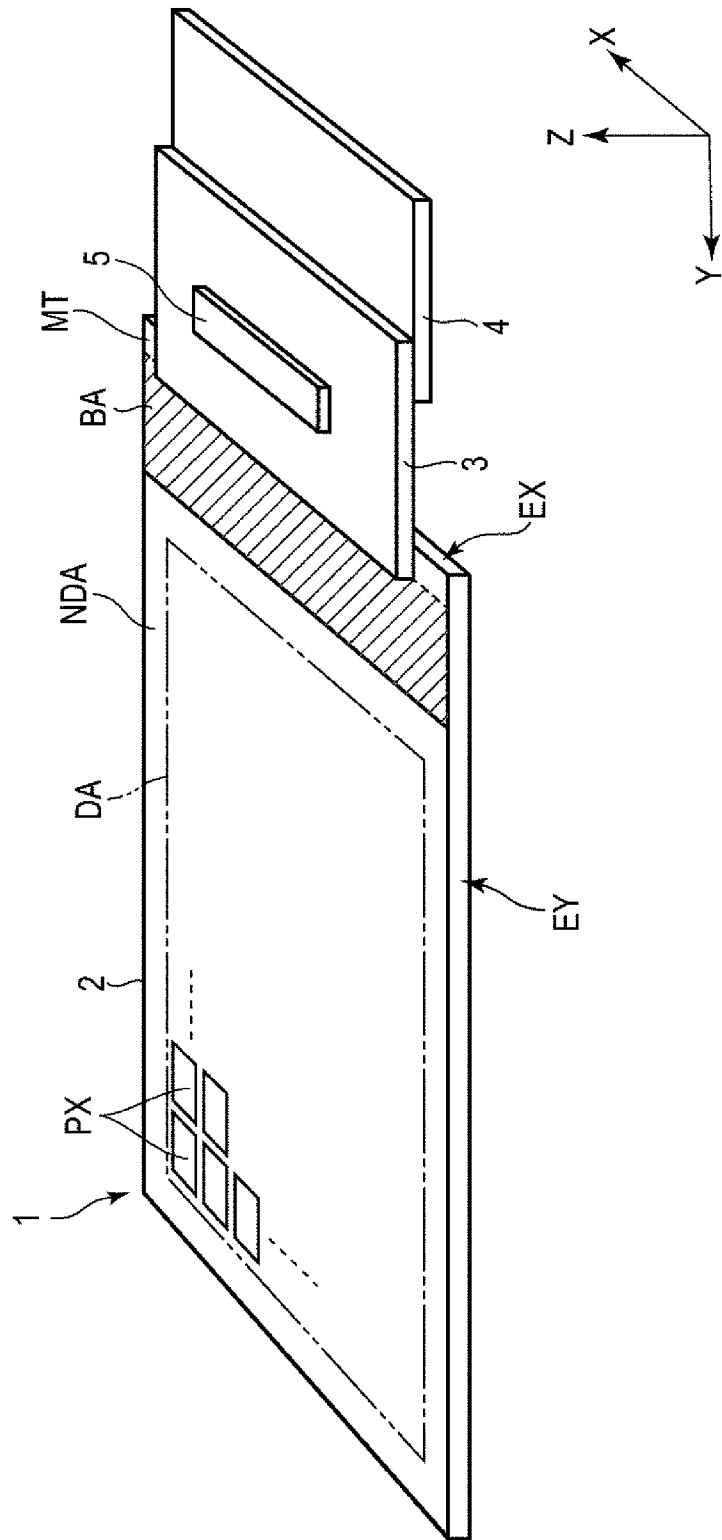
[0101] 1…表示装置、2…表示パネル、SE…ソース電極、24, 25…絶縁層、CL1, CL2…導電層、h1, h2…コンタクトホール。

請求の範囲

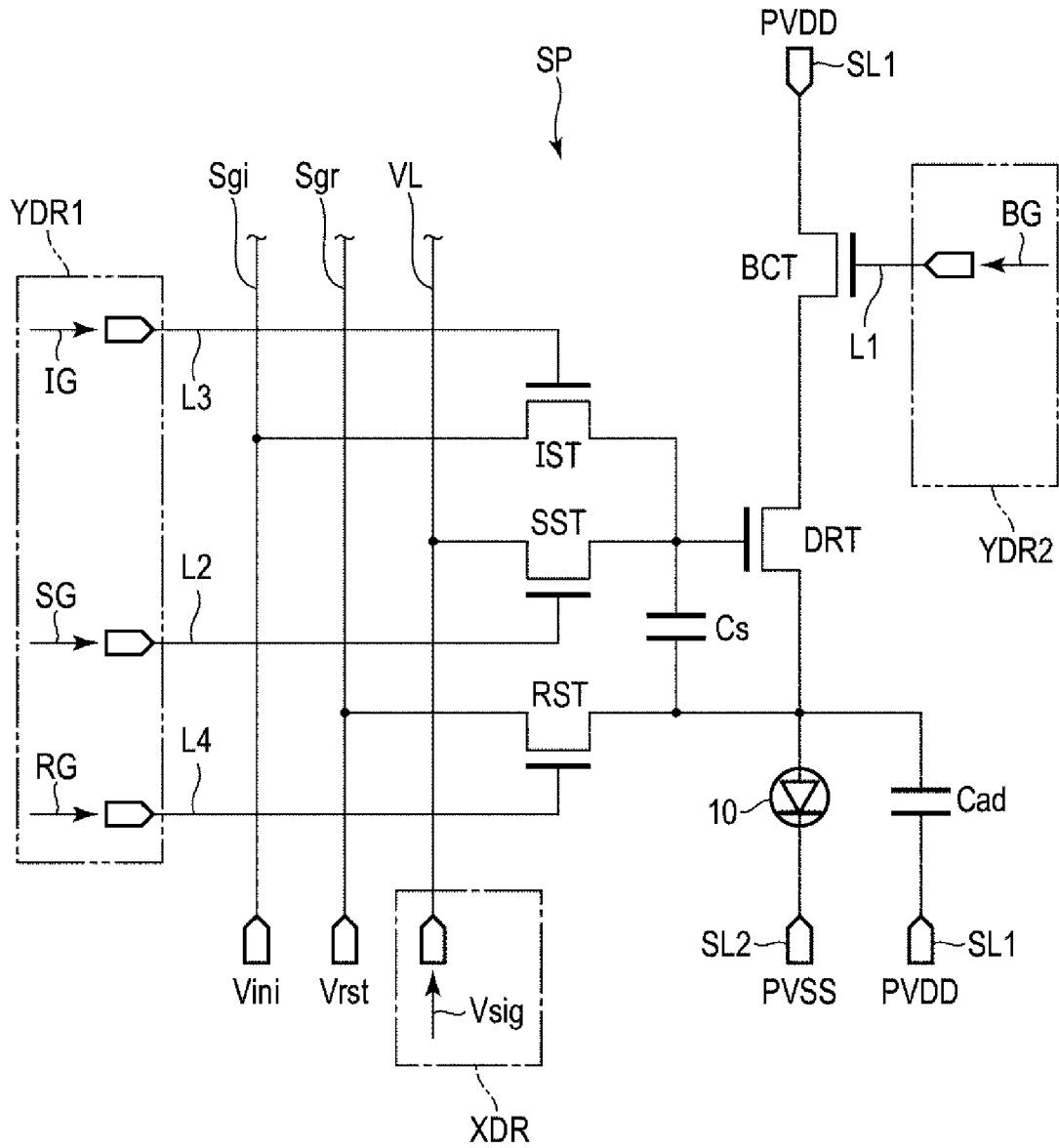
- [請求項1] 基板と、
前記基板上に配置される画素回路と、
前記基板上に配置され、かつ、前記画素回路を覆う有機平坦化膜と、
、
前記有機平坦化膜に形成される第1コンタクトホールと平面視で重畳する領域において、前記画素回路を構成する第1電極と電氣的に接続される第2電極と、
前記第2電極に電氣的に接続される発光素子と、
前記有機平坦化膜と前記第2電極との間に配置される金属層と、
を具備し、
前記金属層は、前記有機平坦化膜のうちの、前記第1コンタクトホールと平面視で重畳する領域以外の全面に亘って配置される、表示装置。
- [請求項2] 前記金属層は、前記第1電極の上にも島状に配置され、
前記第2電極は、前記島状に配置された金属層を介して前記第1電極と電氣的に接続される、
請求項1に記載の表示装置。
- [請求項3] 前記有機平坦化膜および前記金属層を覆う絶縁層をさらに具備し、
前記第2電極は、前記絶縁層に形成されるコンタクトホールであって、前記第1コンタクトホールによって囲まれる第2コンタクトホールと平面視で重畳する領域において、前記第1電極と電氣的に接続される、
請求項1または請求項2に記載の表示装置。
- [請求項4] 前記絶縁層を挟んで対向する前記金属層と前記第2電極との間には、
所定の容量が形成される、請求項3に記載の表示装置。
- [請求項5] 前記金属層は、反射率の高い金属によって形成される、請求項1～請求項4のいずれか1項に記載の表示装置。

- [請求項6] 前記第1電極は、Ti／Al／Tiの三層積層構造を有し、
前記金属層および前記第2電極は、Al／Moの二層積層構造を有し、
前記第1コンタクトホールと平面視で重畳する領域において、前記第1電極、前記金属層および前記第2電極は重畳し、上層から下層にかけて、Al／Mo／Al／Mo／Ti／Al／Tiの順に各種金属が積層される、
請求項1～請求項5のいずれか1項に記載の表示装置。
- [請求項7] 前記第1コンタクトホールは、前記有機平坦化膜に加えて前記第1電極の一部を削って形成され、
前記第2電極は、前記第1コンタクトホールと平面視で重畳する領域において前記第1電極の側面に接続される、
請求項1に記載の表示装置。
- [請求項8] 前記第1電極は、Ti／Al／Tiの三層積層構造を有し、
前記金属層および前記第2電極は、Al／Tiの二層積層構造を有し、
前記第1コンタクトホールと平面視で重畳する領域において、前記第2電極を構成する金属の一つであるTiは、前記第1電極を構成するTi／Al／Tiに接続される、
請求項7に記載の表示装置。
- [請求項9] 前記画素回路は、前記発光素子を駆動するための駆動トランジスタを含み、
前記第1電極は、前記駆動トランジスタを構成するソース電極である、
請求項1～請求項8のいずれか1項に記載の表示装置。
- [請求項10] 前記発光素子は、マイクロLEDである、請求項1～請求項9のいずれか1項に記載の表示装置。

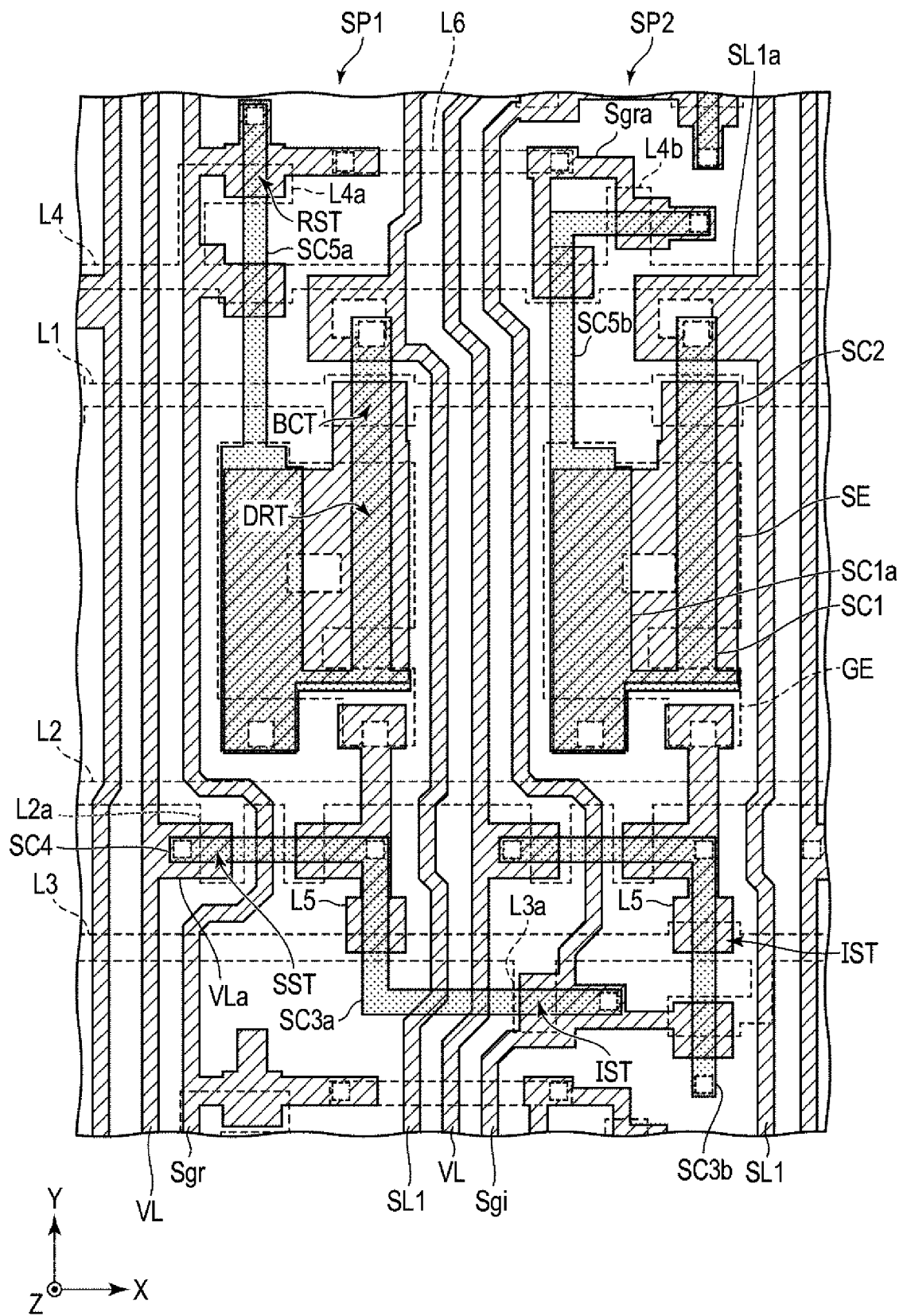
[図1]



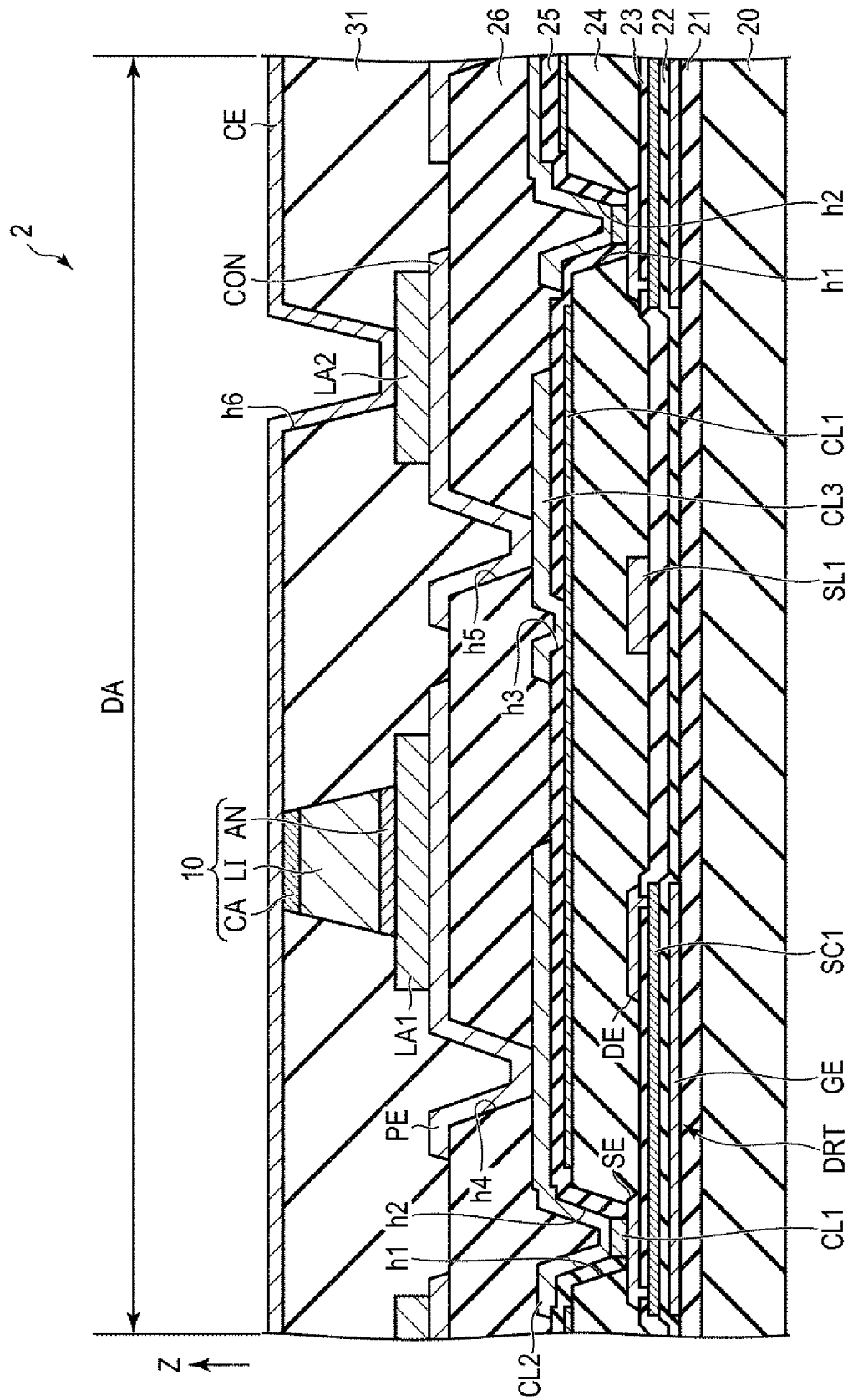
[図2]



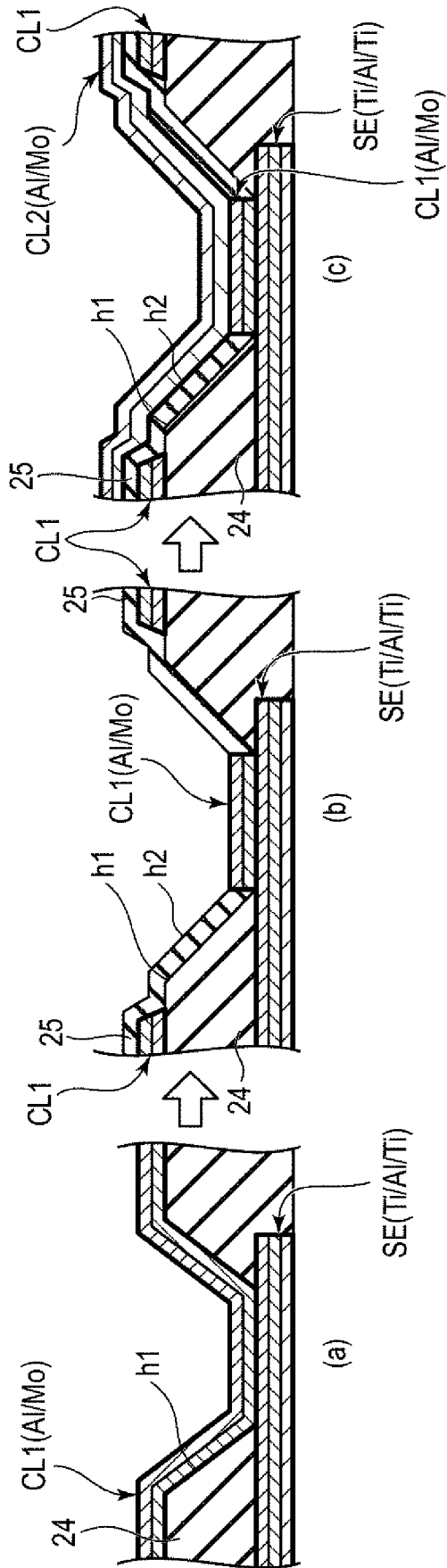
[図3]



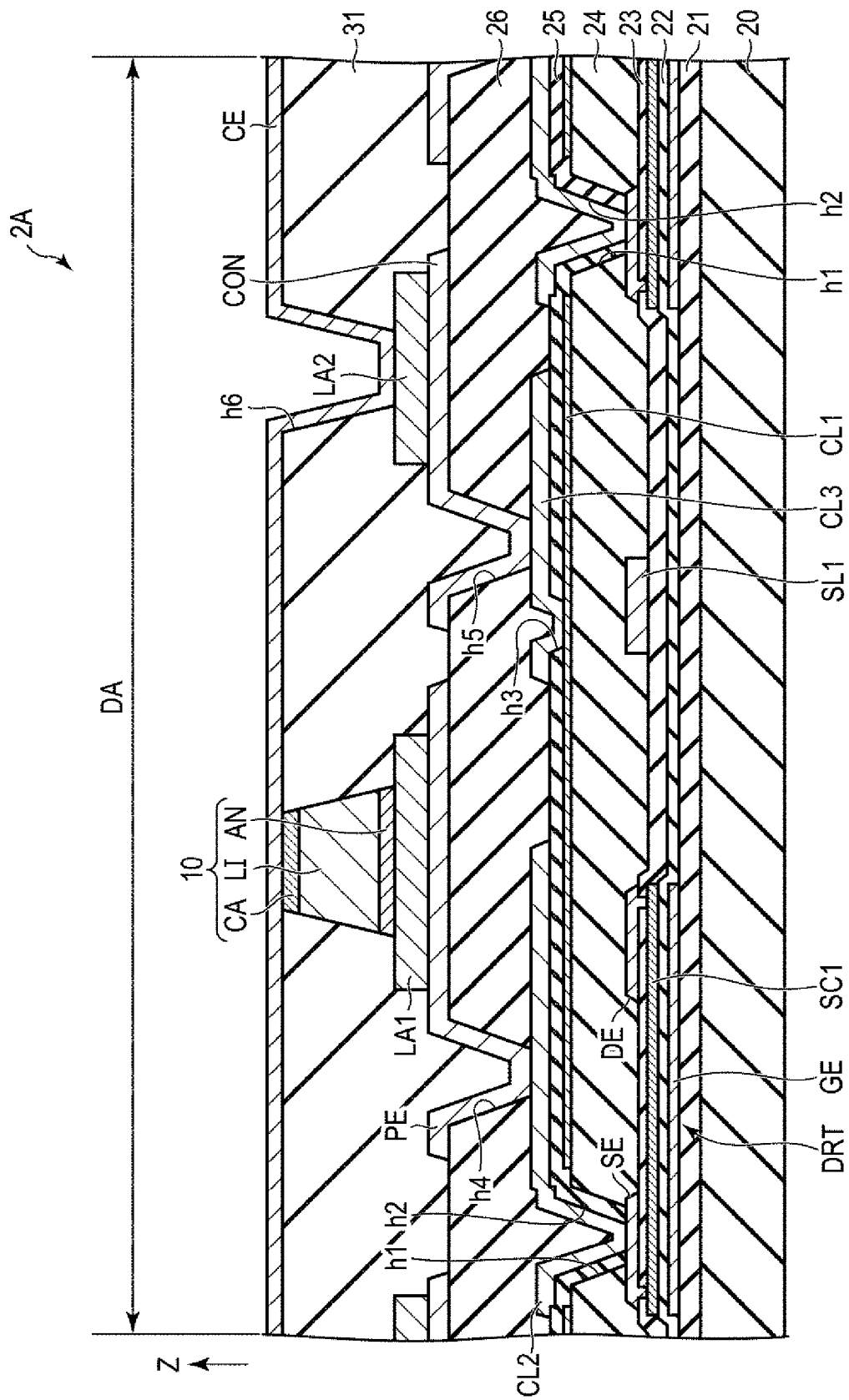
[図4]



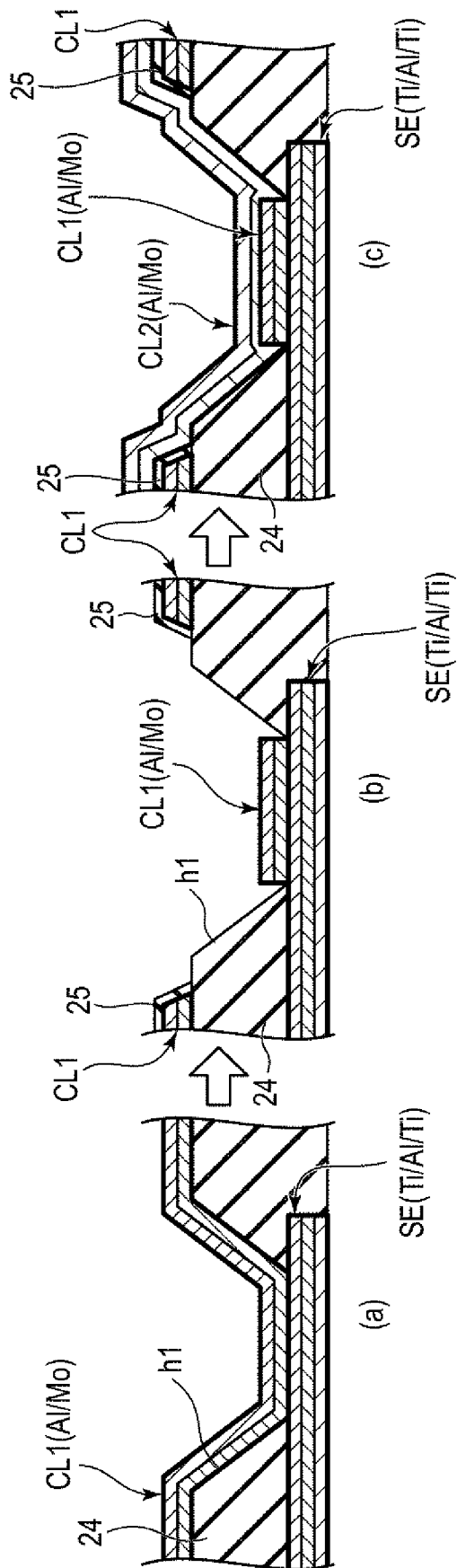
[図5]



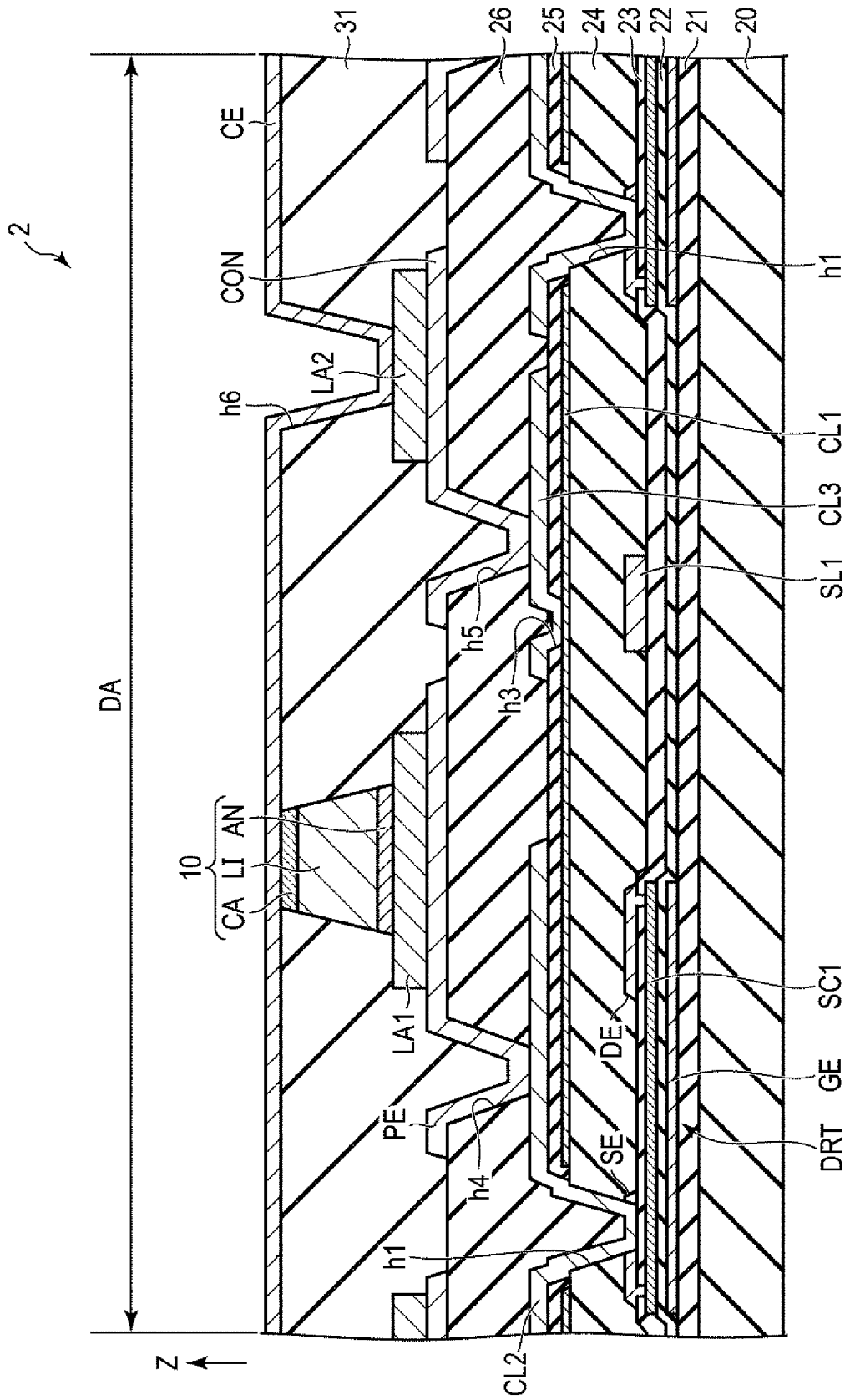
[図6]



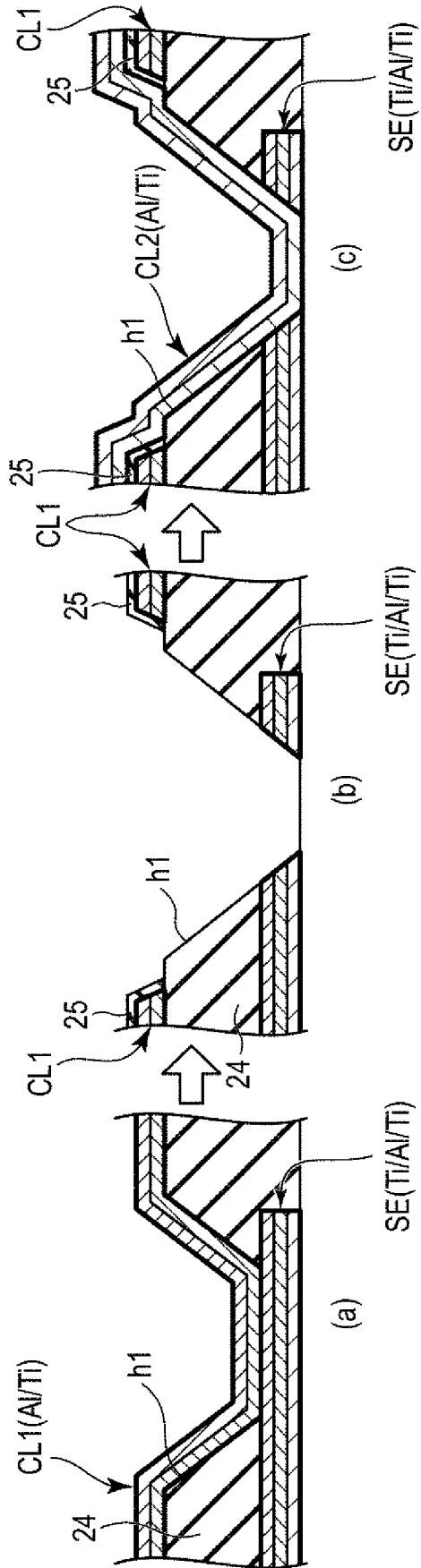
[7]



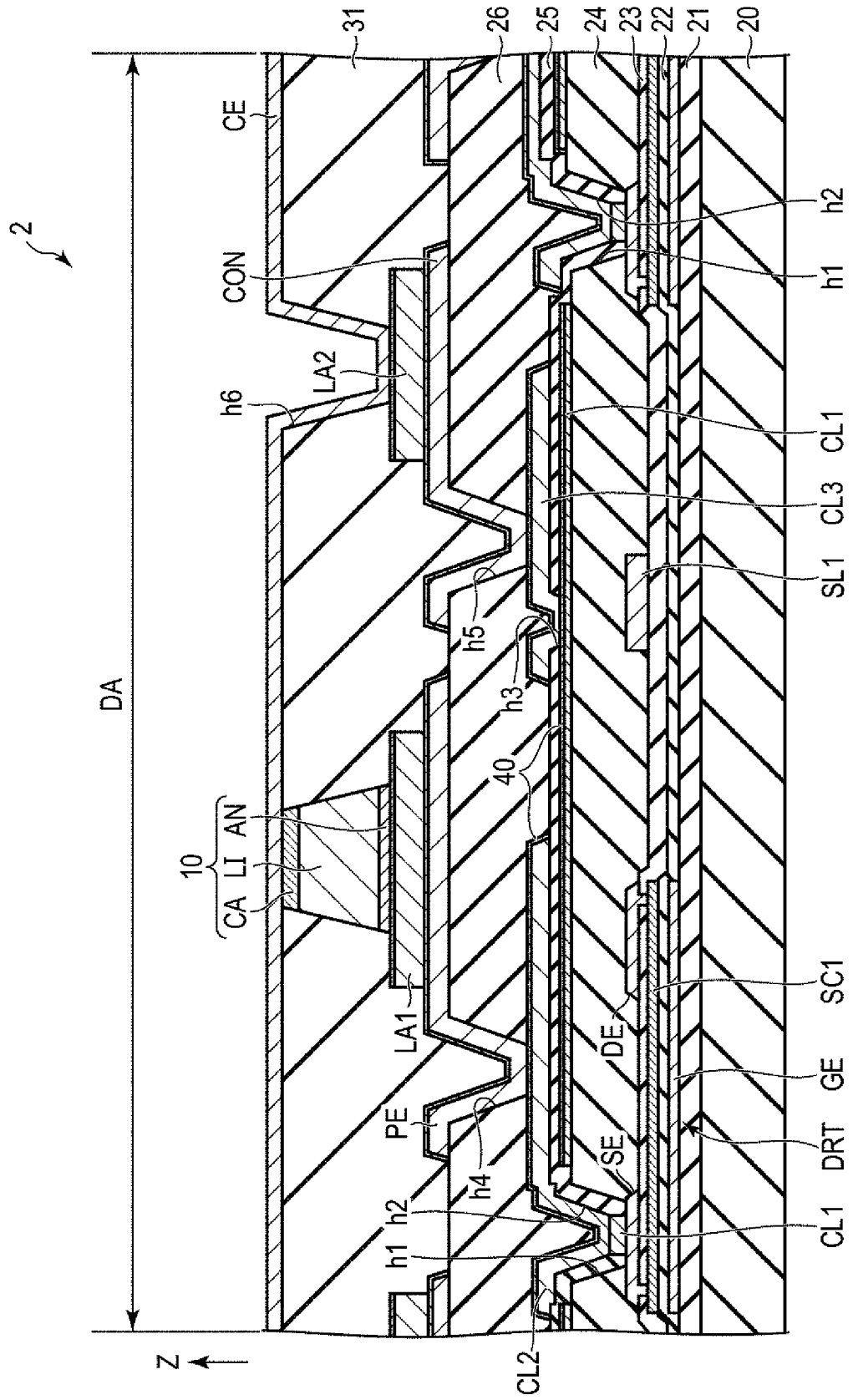
[図8]



[9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/030793

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G09F 9/30</i> (2006.01)i; <i>G09F 9/33</i> (2006.01)i; <i>H01L 33/48</i> (2010.01)i FI: G09F9/30 338; G09F9/33; H01L33/48		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09F9/00-9/42; H01L51/50; H01L27/32; H05B33/00-33/28; H01L33/00; H01L33/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/003364 A1 (TOPPAN PRINTING CO., LTD.) 02 January 2020 (2020-01-02) entire text	1-10
A	JP 2018-10309 A (APPLE INC.) 18 January 2018 (2018-01-18) entire text	1-10
A	JP 2010-218718 A (SEIKO EPSON CORP.) 30 September 2010 (2010-09-30) entire text	1-10
A	JP 2004-79509 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 March 2004 (2004-03-11) entire text	1-10
A	US 2020/0212279 A1 (LG DISPLAY CO., LTD.) 02 July 2020 (2020-07-02) entire text	1-10
A	US 2018/0174519 A1 (LG DISPLAY CO., LTD.) 21 June 2018 (2018-06-21) entire text	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 22 October 2021		Date of mailing of the international search report 09 November 2021
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/030793

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020/003364	A1	02 January 2020	US	2021/0149259	A1	
JP	2018-10309	A	18 January 2018	US	8791474	B1	
				US	2014/0267683	A1	
				WO	2014/149864	A1	
				TW	201445730	A	
				KR	10-2015-0119149	A	
				CN	105144387	A	
JP	2010-218718	A	30 September 2010	(Family: none)			
JP	2004-79509	A	11 March 2004	US	2004/0080263	A1	
US	2020/0212279	A1	02 July 2020	EP	3675165	A1	
				KR	10-2020-0082629	A	
				CN	111402745	A	
US	2018/0174519	A1	21 June 2018	EP	3336831	A2	
				KR	10-2018-0071062	A	
				CN	108230991	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09F 9/30(2006.01)i; G09F 9/33(2006.01)i; H01L 33/48(2010.01)i FI: G09F9/30 338; G09F9/33; H01L33/48		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09F9/00-9/42; H01L51/50; H01L27/32; H05B33/00-33/28; H01L33/00; H01L33/48 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2020/003364 A1 (凸版印刷株式会社) 02.01.2020 (2020-01-02) 全文	1-10
A	JP 2018-10309 A (アップル インコーポレイテッド) 18.01.2018 (2018-01-18) 全文	1-10
A	JP 2010-218718 A (セイコーエプソン株式会社) 30.09.2010 (2010-09-30) 全文	1-10
A	JP 2004-79509 A (株式会社半導体エネルギー研究所) 11.03.2004 (2004-03-11) 全文	1-10
A	US 2020/0212279 A1 (LG DISPLAY CO., LTD.) 02.07.2020 (2020-07-02) 全文	1-10
A	US 2018/0174519 A1 (LG DISPLAY CO., LTD.) 21.06.2018 (2018-06-21) 全文	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 22.10.2021	国際調査報告の発送日 09.11.2021	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 中村 直行 21 9214 電話番号 03-3581-1101 内線 3272	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/030793

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/003364	A1	02.01.2020	US	2021/0149259	A1	
JP	2018-10309	A	18.01.2018	US	8791474	B1	
				US	2014/0267683	A1	
				WO	2014/149864	A1	
				TW	201445730	A	
				KR	10-2015-0119149	A	
				CN	105144387	A	
JP	2010-218718	A	30.09.2010	(ファミリーなし)			
JP	2004-79509	A	11.03.2004	US	2004/0080263	A1	
US	2020/0212279	A1	02.07.2020	EP	3675165	A1	
				KR	10-2020-0082629	A	
				CN	111402745	A	
US	2018/0174519	A1	21.06.2018	EP	3336831	A2	
				KR	10-2018-0071062	A	
				CN	108230991	A	