



(12) 发明专利申请

(10) 申请公布号 CN 103809318 A

(43) 申请公布日 2014. 05. 21

(21) 申请号 201410050914. 9

(22) 申请日 2014. 02. 14

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 王孝林

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1333(2006. 01)

G02F 1/1343(2006. 01)

权利要求书1页 说明书7页 附图4页

(54) 发明名称

一种阵列基板制造方法、阵列基板及显示设备

(57) 摘要

本发明实施例提供一种阵列基板制造方法、阵列基板及显示设备,涉及显示技术领域,包括:在基板的表面分别形成多条栅线和数据线,所述栅线和所述数据线纵横交叉构成多个呈矩阵形式排列的像素单元,并且形成第一电极图案和/或第二电极图案,其中,各栅线通过所述第一电极图案相互电连接,各数据线通过所述第二电极图案相互电连接;刻蚀所述第一电极图案和/或第二电极图案,以使得各栅线以及各数据线之间彼此电绝缘。本发明可以消除在阵列基板的制作过程中所产生的静电。

在基板的表面分别形成多条栅线和数据线,栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元,并且形成第一电极图案和/或第二电极图案,其中,各栅线通过第一电极图案相互电连接,各数据线通过第二电极图案相互电连接
S201
刻蚀第一电极图案和/或第二电极图案,以使得各栅线以及各数据线之间彼此电绝缘
S202

1. 一种阵列基板制造方法,其特征在于,包括:

在基板的表面分别形成多条栅线和数据线,所述栅线和所述数据线横纵交叉构成多个呈矩阵形式排列的像素单元,并且形成第一电极图案和 / 或第二电极图案,其中,各栅线通过所述第一电极图案相互电连接,各数据线通过所述第二电极图案相互电连接;

刻蚀所述第一电极图案和 / 或第二电极图案,以使得各栅线以及各数据线之间彼此电绝缘。

2. 根据权利要求 1 所述的阵列基板制造方法,其特征在于,

在形成有所述第一电极图案的情况下,所述栅线、所述第一电极图案以及公共电极线的图案采用相同材料,通过一次构图工艺同层形成。

3. 根据权利要求 2 所述的阵列基板制造方法,其特征在于,在形成所述栅线、所述第一电极图案以及所述公共电极线的图案之后,所述方法还包括:

在基板上逐层形成栅绝缘层、接触层以及树脂层;

在任意两条栅线之间与所述第一电极图案对应的位置,贯通所述栅绝缘层、接触层以及树脂层形成过孔以露出所述第一电极图案,通过所述过孔对所述第一电极图案进行刻蚀。

4. 根据权利要求 3 所述的阵列基板制造方法,其特征在于,在刻蚀掉位于任意两条栅线之间的所述第一电极图案之后,所述方法还包括:

在基板上形成钝化层。

5. 根据权利要求 1 至 4 任一项所述的阵列基板制造方法,其特征在于,

在形成有所述第二电极图案的情况下,所述数据线与所述第二电极图案采用相同材料,通过一次构图工艺同层形成。

6. 根据权利要求 1 至 5 任一项所述的阵列基板制造方法,其特征在于,所述第一电极图案和 / 或所述第二电极图案位于所述阵列基板的非显示区域;

其中,所述阵列基板的显示区域包括像素单元。

7. 一种根据权利要求 1 至 6 任一项所述的阵列基板制造方法制造的阵列基板。

8. 一种显示设备,其特征在于,所述显示设备包括如权利要求 7 所述的阵列基板。

一种阵列基板制造方法、阵列基板及显示设备

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种阵列基板制造方法、阵列基板及显示设备。

背景技术

[0002] 随着显示技术的不断提高，人们对于显示装置的要求也在不断提高，在各种显示技术中，TFT-LCD (Thin Film Transistor Liquid Crystal Display, 薄膜晶体管液晶显示器) 技术因其所具有的低能耗以及成本低廉等优点已广泛地应用于各种显示领域。

[0003] 液晶显示设备通常使用液晶分子的光学各向异性和偏振特性产生图像，由于光学各向异性的特性，光的偏振随液晶分子的取向方向而变化。通过改变施加给液晶层的电场即可控制液晶分子的取向方向，从而可以改变通过液晶层光线的明暗变化。因此，一般的液晶显示设备包括分别设置于液晶层两侧的阵列基板和彩膜基板，而在阵列基板或彩膜基板的表面通常设置有电极结构，通过改变电极的电压可以在电极之间激发出电场，从而实现了对液晶分子的控制。

[0004] 现有液晶显示设备中的阵列基板的结构通常如图 1 所示，包括由多条栅线 11 和数据线 12 划分成的呈矩阵形式排列的像素单元 13，每一个像素单元 13 的内部设置有开关晶体管 TFT，通过采用多条平行设置的栅线 11 逐行打开各像素单元 13 的 TFT，并通过数据线 12 通过 TFT 向与该 TFT 相连的像素电极(图 1 中未示出)输入显示信号，实现对液晶层电场的控制。对于传统的阵列基板设计而言，为了确保栅线或数据线之间不发生短路等不良，各条栅线或数据线之间通常彼此独立地平行设置，如图 1 所示。然而，在阵列基板的工序制程中，一些静电将不可避免地产生在阵列基板的内部，此外，在基板搬运的过程中，如在曝光装置、测量装置或检测装置之间进行装载或卸载时，同样可能会产生静电，而这些静电难以通过现有的电路结构导出或消除，从而滞留在栅线或数据线上，产生静电损坏，严重影响阵列基板上电子器件的质量，从而降低显示装置的产品质量。尤其是对于 GOA (Gate Driver on Array, 阵列基板行驱动) 产品而言，由于 GOA 电路并无防静电电路的设计，静电所产生的影响对于 GOA 电路内的电子器件尤为明显。

发明内容

[0005] 本发明的实施例提供一种阵列基板制造方法、阵列基板及显示设备，可以消除在阵列基板的制作过程中所产生的静电。

[0006] 为达到上述目的，本发明的实施例采用如下技术方案：

[0007] 本发明实施例的一方面，提供一种阵列基板制造方法，包括：

[0008] 在基板的表面分别形成多条栅线和数据线，所述栅线和所述数据线横纵交叉构成多个呈矩阵形式排列的像素单元，并且形成第一电极图案和 / 或第二电极图案，其中，各栅线通过所述第一电极图案相互电连接，各数据线通过所述第二电极图案相互电连接；

[0009] 刻蚀所述第一电极图案和 / 或第二电极图案，以使得各栅线以及各数据线之间彼

此电绝缘。

[0010] 进一步地,在形成有所述第一电极图案的情况下,所述栅线、所述第一电极图案以及公共电极线的图案采用相同材料,通过一次构图工艺同层形成。

[0011] 进一步地,在形成所述栅线、所述第一电极图案以及所述公共电极线的图案之后,所述方法还包括:

[0012] 在基板上逐层形成栅绝缘层、接触层以及树脂层;

[0013] 在任意两条栅线之间与所述第一电极图案对应的位置,贯通所述栅绝缘层、接触层以及树脂层形成过孔以露出所述第一电极图案,通过所述过孔对所述第一电极图案进行刻蚀。

[0014] 其中,在刻蚀掉位于任意两条栅线之间的所述第一电极图案之后,所述方法还包括:

[0015] 在基板上形成钝化层。

[0016] 需要说明的是,在形成有所述第二电极图案的情况下,所述数据线与所述第二电极图案采用相同材料,通过一次构图工艺同层形成。

[0017] 此外,所述第一电极图案和/或所述第二电极图案位于所述阵列基板的非显示区域;

[0018] 其中,所述阵列基板的显示区域包括像素单元。

[0019] 本发明另一实施例还提供一种根据如上项所述的阵列基板制造方法制造的阵列基板。

[0020] 本发明又一实施例还提供有一种显示设备,所述显示设备包括如上所述的阵列基板。

[0021] 本发明实施例提供的阵列基板制造方法、阵列基板及显示设备,包括在基板的表面分别形成多条栅线和数据线,该栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元,通过在基板上进一步形成用于释放静电的第一电极图案和/或第二电极图案,各栅线均与该第一电极图案电连接,各数据线均与该第二电极图案电连接,这样一来,在阵列基板的工序制程中可以有效的消除产生的静电,从而克服了现有技术无法消除阵列基板的制作过程中所产生的静电的技术问题。进一步地,在阵列基板工序制程中完成后,通过刻蚀该第一电极图案和/或第二电极图案,可以使得各栅线以及各数据线之间彼此电绝缘,从而不影响栅线的行扫描驱动以及数据线的的数据输入。

附图说明

[0022] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0023] 图 1 为现有技术中一种阵列基板的结构示意图;

[0024] 图 2 为本发明实施例提供的一种阵列基板制造方法的流程示意图;

[0025] 图 3 为本发明实施例提供的另一阵列基板制造方法的流程示意图;

[0026] 图 4 为位于两条栅线之间的预设位置处的第一电极图案的剖视结构图;

- [0027] 图 5 为刻蚀完成后位于两条栅线之间的预设位置处的第一电极图案的剖视结构图；
- [0028] 图 6 为本发明实施例提供的又一阵列基板制造方法的流程示意图；
- [0029] 图 7 为本发明实施例提供的一种阵列基板的结构示意图；
- [0030] 图 8 为本发明实施例提供的另一阵列基板的结构示意图。

具体实施方式

[0031] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0032] 本发明实施例提供的阵列基板制造方法,如图 2 所示,包括:

[0033] S201、在基板的表面分别形成多条栅线和数据线,栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元,并且形成第一电极图案和 / 或第二电极图案,其中,各栅线通过第一电极图案相互电连接,各数据线通过第二电极图案相互电连接。

[0034] 像素单元的内部通常还包括 TFT 以及像素电极等结构,其中, TFT 的栅极连接栅线,源极与数据线相连接,漏极则连接透明导电材料制成的像素电极,通过改变数据线上的电压可以有效控制像素电极的电压,从而改变像素电极与公共电极之间的电场强度。

[0035] 对于液晶显示设备而言,按照公共电极设置位置的不同,液晶显示设备主要可以分为 FFS (Fringe Field Switching,边缘场开关)型、ADS (Advanced-Super Dimensional Switching,高级超维场开关)型、IPS (In Plane Switch,横向电场效应)型或 TN (Twist Nematic,扭曲向列)型等类型,无论上述哪种液晶显示装置都包括对盒成形的彩膜基板和阵列基板。不同的是, TN 型显示装置的公共电极设置在彩膜基板上,像素电极设置在阵列基板上; FFS 型显示装置、ADS 型显示装置和 IPS 型显示装置的公共电极和像素电极均设置在阵列基板上。采用本发明实施例提供的阵列基板制造方法所生产的阵列基板可以适用于上述各种类型液晶显示装置的生产。

[0036] 阵列基板通常包括具有像素单元的显示区域以及具有外围走线的非显示区域,为了进一步提高阵列基板的显示质量,可以将第一电极图案设置于阵列基板的非显示区域,进一步地,第一电极图案的形状可以类似于数据线且与数据线平行设置,这样一来可以有效控制非显示区域宽度的增加,有利于实现显示装置窄边框的设计。与第一电极图案类似的,为了进一步提高阵列基板的显示质量,可以将第二电极图案设置于阵列基板的非显示区域,进一步地,第二电极图案的形状可以类似于栅线且与栅线平行设置,这样一来可以有效控制非显示区域宽度的增加,有利于实现显示装置窄边框的设计。当然,以上也仅仅是举例说明,应当理解,在本发明实施例中,第一电极图案可以根据实际情况设置于任意位置或采用任意形状,本发明对此并不做限定。

[0037] S202、刻蚀第一电极图案和 / 或第二电极图案,以使得各栅线以及各数据线之间彼此电绝缘。

[0038] 本发明实施例提供的阵列基板制造方法,包括在基板的表面分别形成多条栅线和数据线,该栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元,通过在基板上进

一步形成用于释放静电的第一电极图案和 / 或第二电极图案,各栅线均与该第一电极图案电连接,各数据线均与该第二电极图案电连接,这样一来,在阵列基板的工序制程中可以有效的消除产生的静电,从而克服了现有技术无法消除阵列基板的制作过程中所产生的静电的技术问题。进一步地,在阵列基板工序制程中完成后,通过刻蚀该第一电极图案和 / 或第二电极图案,可以使得各栅线以及各数据线之间彼此电绝缘,从而不影响栅线的行扫描驱动以及数据线的的数据输入。

[0039] 具体的,在形成有第一电极图案的情况下,栅线、第一电极图案以及公共电极线的图案可以采用相同材料,通过一次构图工艺同层形成。

[0040] 例如,可以在透明基板的表面采用 ITO (氧化铟锡) 材料形成透明电极层。通过具有特定图案的掩膜板进行曝光显影处理,最终形成栅线、第一电极图案以及公共电极线的图案。

[0041] 进一步地,如图 3 所示,本发明实施例提供的阵列基板制造方法具体可以包括:

[0042] S301、在透明基板的表面通过一次构图工艺同层形成栅线、第一电极图案以及公共电极线的图案。

[0043] S302、在基板上逐层形成栅绝缘层、接触层以及树脂层。

[0044] 在现有的阵列基板制造过程中,通常均包括有上述层级结构,为了形成上述不同的层级结构,通常需要对基板进行不同的表面处理,或在不同的设备之间转运,在这些工序间极易产生静电。在本发明实施例中,由于第一电极图案的短路,可以使得不同栅线上的静电能够被第一电极图案导出消除。

[0045] S303、在任意两条栅线之间与第一电极图案对应的位置,贯通栅绝缘层、接触层以及树脂层形成过孔以露出第一电极图案,通过该过孔对第一电极图案进行刻蚀。

[0046] 在现有的阵列基板制造过程中,通常需要刻蚀掉位于公共电极线的图案位置处的栅绝缘层、接触层以及树脂层。在本发明实施例中,可以通过改变掩膜曝光的形状,实现第一电极图案位置处与公共电极线的图案位置处的栅绝缘层、接触层以及树脂层的同时刻蚀,这样一来,可以无需额外增加刻蚀第一电极图案的制作工序。

[0047] 具体的,在刻蚀掉位于两条栅线之间的第一电极图案位置处的栅绝缘层、接触层以及树脂层之后,阵列基板位于两条栅线之间的第一电极图案位置处的剖视结构可以如图 4 所示,其中,透明基板 40 表面分别形成有第一电极图案 41、栅绝缘层 42、接触层 43 以及树脂层 44,在位于两条栅线之间的预设位置处,第一电极图案 41 上方的栅绝缘层 42、接触层 43 以及树脂层 44 均被刻蚀。

[0048] S304、刻蚀第一电极图案,以使得各栅线之间彼此电绝缘。

[0049] 具体的,在完成栅线与公共电极线的工序制成后,如图 5 所示,可以将位于两条栅线之间的预设位置处的第一电极图案 41 刻蚀掉。这样一来,通过刻蚀该第一电极图案,可以使得不同行栅线彼此电绝缘,从而不影响栅线的行扫描驱动。此外,在本发明实施例提供的阵列基板制造方法中,通过利用现有刻蚀工序,可以无需额外增加工序即能够实现第一电极图案的刻蚀,从而大大简化了工艺难度。

[0050] S305、在基板上形成钝化层。

[0051] 这样一来,可以防止刻蚀后的电极图案直接暴露在空气中,防止了电极的腐蚀,进一步提高了阵列基板的质量。

[0052] S306、形成第二电极图案，每一条数据线通过第二电极图案相互电连接。

[0053] S307、刻蚀第二电极图案，以使得各数据线之间彼此电绝缘。

[0054] 具体的，数据线 with 第二电极图案可以采用相同材料，通过一次构图工艺同层形成。

[0055] 需要说明的是，在本发明实施例中，第一电极图案与第二电极图案之间可以电连接，相互电连接的第一电极图案和第二电极图案可以通过导线将静电导出消除，或者还可以在阵列基板的四周设置静电屏蔽结构，将第一电极图案和第二电极图案均与该静电屏蔽结构电连接以实现静电的消除。

[0056] 本发明实施例提供的阵列基板制造方法通过在基板上进一步形成用于释放静电的第二电极图案，将每一条数据线均与该第二电极图案电连接，这样一来，在阵列基板的工序制程中可以有效的消除栅线和数据线上所产生的静电。进一步地，在阵列基板工序制程中完成后，通过刻蚀该第二电极图案，可以使得不同列数据线彼此电绝缘，从而不影响不同列数据线的信号输入。

[0057] 当然，为了消除数据线上的静电，可以有针对性地只设置第一电极图案或第二电极图案，例如，当仅设置第二电极图案时，方法如图 6 所示，包括：

[0058] S601、在基板的表面分别形成多条栅线和数据线，栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元。

[0059] S602、形成第二电极图案，每一条数据线通过第二电极图案相互电连接。

[0060] S603、刻蚀第二电极图案，以使得各数据线之间彼此电绝缘。

[0061] 其中，数据线 with 第二电极图案可以采用相同材料，通过一次构图工艺同层形成。

[0062] 为了进一步提高阵列基板的显示质量，可以将第二电极图案设置于阵列基板的显示区域，进一步地，第二电极图案的形状可以类似于栅线且与栅线平行设置，这样一来可以有效控制非显示区域宽度的增加，有利于实现显示装置窄边框的设计。当然，以上也仅仅是举例说明，应当理解，在本发明实施例中，第一电极图案可以根据实际情况设置于任意位置或采用任意形状，本发明对此并不做限定。

[0063] 本发明实施例提供的阵列基板制造方法，包括在基板的表面分别形成多条栅线和数据线，该栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元，通过在基板上进一步形成用于释放静电的第二电极图案，各数据线均与该第二电极图案电连接，这样一来，在阵列基板的工序制程中可以有效的消除产生的静电，从而克服了现有技术无法消除阵列基板的制作过程中所产生的静电的技术问题。进一步地，在阵列基板工序制程中完成后，通过刻蚀该第二电极图案，可以使得各数据线之间彼此电绝缘，从而不影响不同列数据线的信号输入。

[0064] 本发明实施例还提供一种阵列基板，包括：

[0065] 基板，在该基板的表面分别形成有多条栅线和数据线，栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元。

[0066] 其中，如图 7 所示，在基板上还形成有第一电极图案 711，每一条栅线 72 通过第一电极图案 711 相互电连接。在基板上还形成有第二电极图案 712，每一条数据线 73 通过第二电极图案 712 相互电连接。

[0067] 在基板制程结束后，如图 8 所示，第一电极图案 711 断开，第二电极图案 712 断开，以使得个栅线 72 以及各数据线 73 之间彼此电绝缘。

[0068] 本发明实施例提供的阵列基板,包括在基板的表面分别形成多条栅线和数据线,该栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元,通过在基板上进一步形成用于释放静电的第一电极图案和/或第二电极图案,各栅线均与该第一电极图案电连接,各数据线均与该第二电极图案电连接,这样一来,在阵列基板的工序制程中可以有效的消除产生的静电,从而克服了现有技术无法消除阵列基板的制作过程中所产生的静电的技术问题。进一步地,在阵列基板工序制程中完成后,通过刻蚀该第一电极图案和/或第二电极图案,可以使得各栅线以及各数据线之间彼此电绝缘,从而不影响栅线的行扫描驱动以及数据线的信号输入。

[0069] 进一步地,在形成有所述第一电极图案的情况下,栅线、第一电极图案以及公共电极线的图案可以采用相同材料,通过一次构图工艺同层形成。

[0070] 在形成有所述第二电极图案的情况下,数据线 with 第二电极图案同样可以采用相同材料,通过一次构图工艺同层形成。

[0071] 阵列基板通常包括具有像素单元的显示区域以及具有外围走线的非显示区域,为了进一步提高阵列基板的显示质量,可以将第一电极图案设置于阵列基板的非显示区域,进一步地,第一电极图案的形状可以类似于数据线且与数据线平行设置,与第一电极图案类似的,为了进一步提高阵列基板的显示质量,可以将第二电极图案设置于阵列基板的非显示区域,进一步地,第一电极图案的形状可以类似于栅线且与栅线平行设置。这样一来可以有效控制非显示区域宽度的增加,有利于实现显示装置窄边框的设计。当然,以上也仅仅是举例说明,应当理解,在本发明实施例中,电极图案可以根据实际情况设置于任意位置或采用任意形状,本发明对此并不做限定。

[0072] 当然,为了消除数据线上的静电,可以有针对性地只设置第一电极图案或第二电极图案,例如当仅设置第二电极图案时,此时阵列基板包括:

[0073] 基板,在基板的表面分别形成有多条栅线和数据线,栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元。

[0074] 在基板上还形成有第二电极图案,每一条数据线通过第二电极图案相互电连接。

[0075] 在基板制程结束后,第二电极图案断开,以使得数据线之间彼此电绝缘。

[0076] 其中,数据线 with 第二电极图案可以采用相同材料,通过一次构图工艺同层形成。

[0077] 为了进一步提高阵列基板的显示质量,可以将第二电极图案设置于阵列基板的显示区域,进一步地,第二电极图案的形状可以类似于栅线且与栅线平行设置,这样一来可以有效控制非显示区域宽度的增加,有利于实现显示装置窄边框的设计。当然,以上也仅仅是举例说明,应当理解,在本发明实施例中,第一电极图案可以根据实际情况设置于任意位置或采用任意形状,本发明对此并不做限定。

[0078] 本发明实施例提供的阵列基板,包括在基板的表面分别形成多条栅线和数据线,该栅线和数据线纵横交叉构成多个呈矩阵形式排列的像素单元,通过在基板上进一步形成用于释放静电的第二电极图案,各数据线均与该第二电极图案电连接,这样一来,在阵列基板的工序制程中可以有效的消除产生的静电,从而克服了现有技术无法消除阵列基板的制作过程中所产生的静电的技术问题。进一步地,在阵列基板工序制程中完成后,通过刻蚀该第二电极图案,可以使得各数据线之间彼此电绝缘,从而不影响不同列数据线的信号输入。

[0079] 本发明实施例还提供一种显示设备,所述显示设备包括如上所述的阵列基板。

[0080] 在本发明实施例中,显示设备具体可以包括液晶显示设备,例如该显示设备可以为液晶显示器、液晶电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件。

[0081] 需要说明的是,阵列基板可以适用于FFS(Fringe Field Switching,边缘场开关)型、ADS(Advanced-Super Dimensional Switching,高级超维场开关)型、IPS(In Plane Switch,横向电场效应)型以及TN(Twist Nematic,扭曲向列)型等像素电极与公共电极均设置于阵列基板上的一类液晶显示装置的生产。

[0082] 其中,阵列基板的详细结构已在前述实施例中做了详细的描述,此处不再赘述。

[0083] 本发明实施例提供的显示设备,包括阵列基板,该阵列基板包括在基板的表面分别形成多条栅线 and 数据线,该栅线 and 数据线横纵交叉构成多个呈矩阵形式排列的像素单元,通过在基板上进一步形成用于释放静电的第一电极图案和 / 或第二电极图案,各栅线均与该第一电极图案电连接,各数据线均与该第二电极图案电连接,这样一来,在阵列基板的工序制程中可以有效的消除产生的静电,从而克服了现有技术无法消除阵列基板的制作过程中所产生的静电的技术问题。进一步地,在阵列基板工序制程中完成后,通过刻蚀该第一电极图案和 / 或第二电极图案,可以使得各栅线以及各数据线之间彼此电绝缘,从而不影响栅线的行扫描驱动以及数据线的的数据输入。

[0084] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

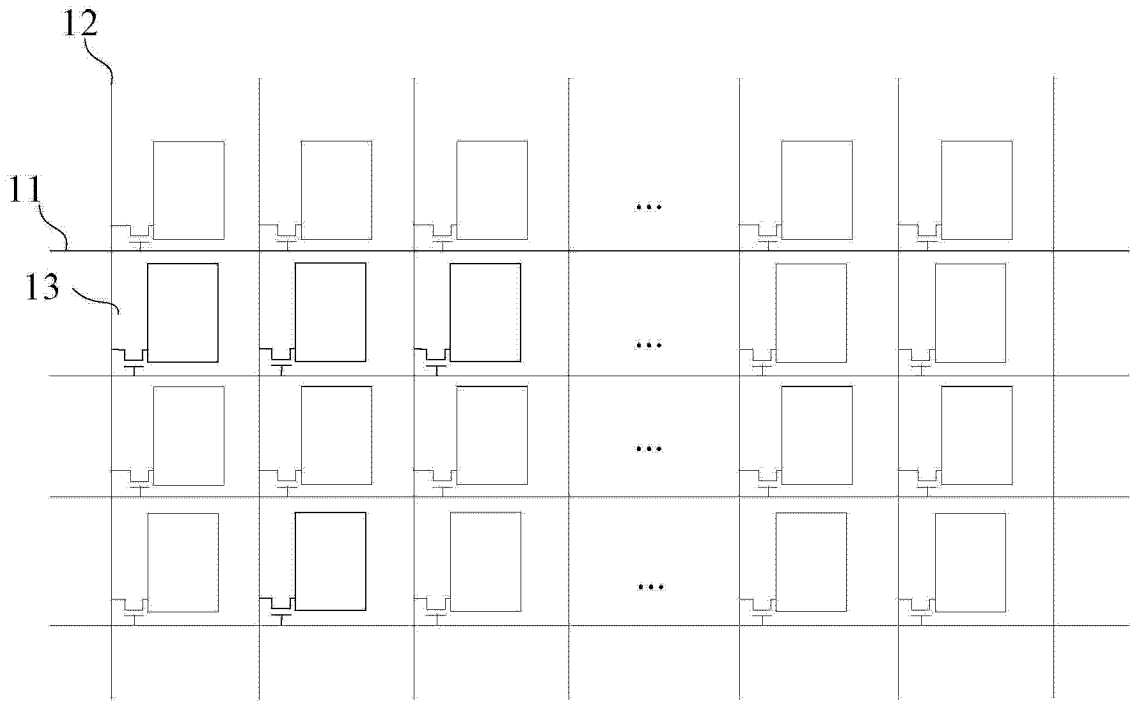


图 1

在基板的表面分别形成多条栅线和数据线，栅线和数据线横纵交叉构成多个呈矩阵形式排列的像素单元，并且形成第一电极图案和/或第二电极图案，其中，各栅线通过第一电极图案相互电连接，各数据线通过第二电极图案相互电连接 S201

刻蚀第一电极图案和/或第二电极图案，以使得各栅线以及各数据线之间彼此电绝缘 S202

图 2

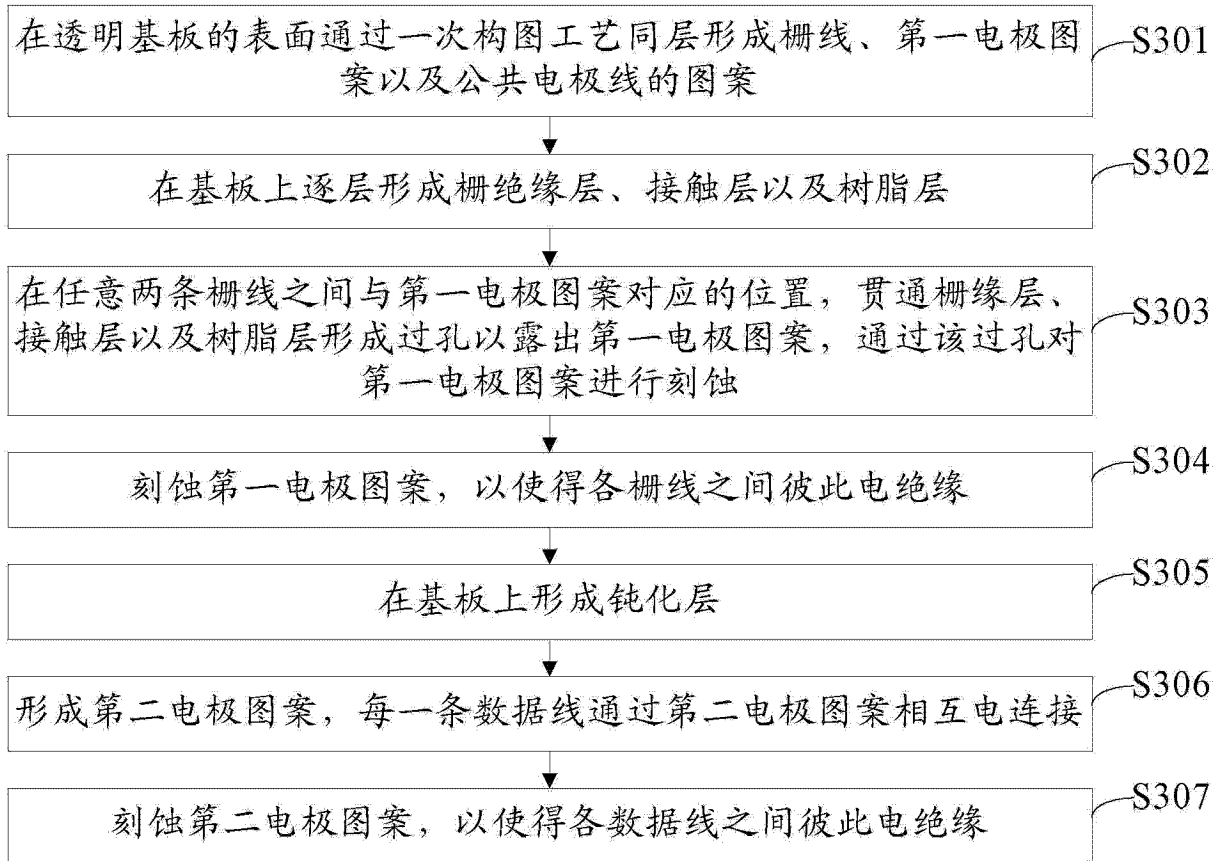


图 3

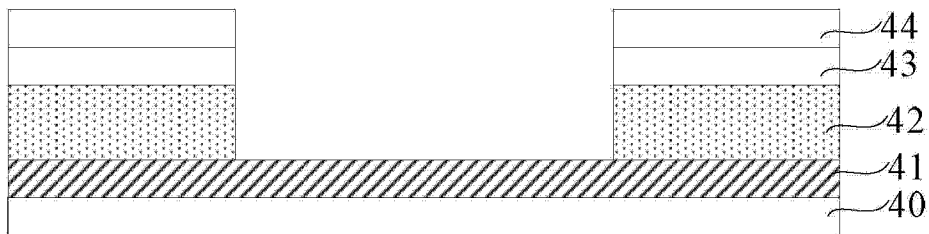


图 4

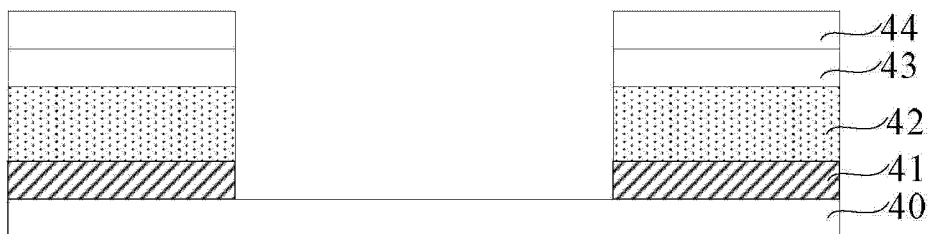


图 5

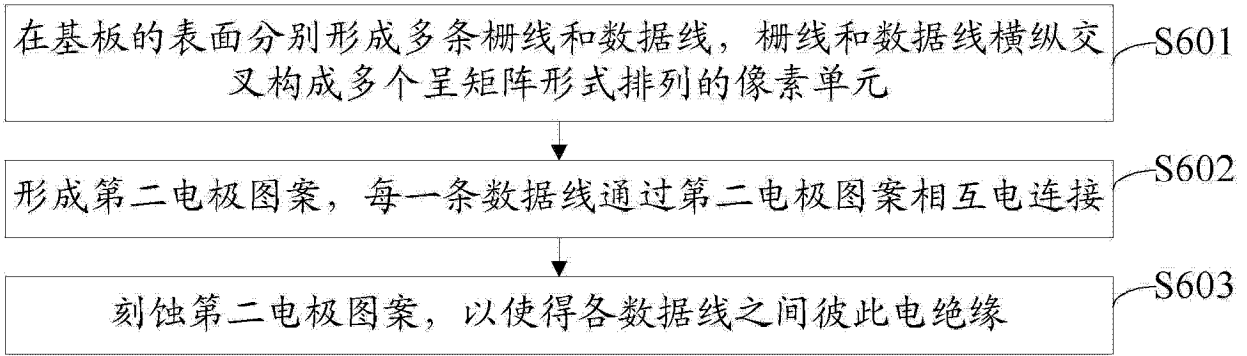


图 6

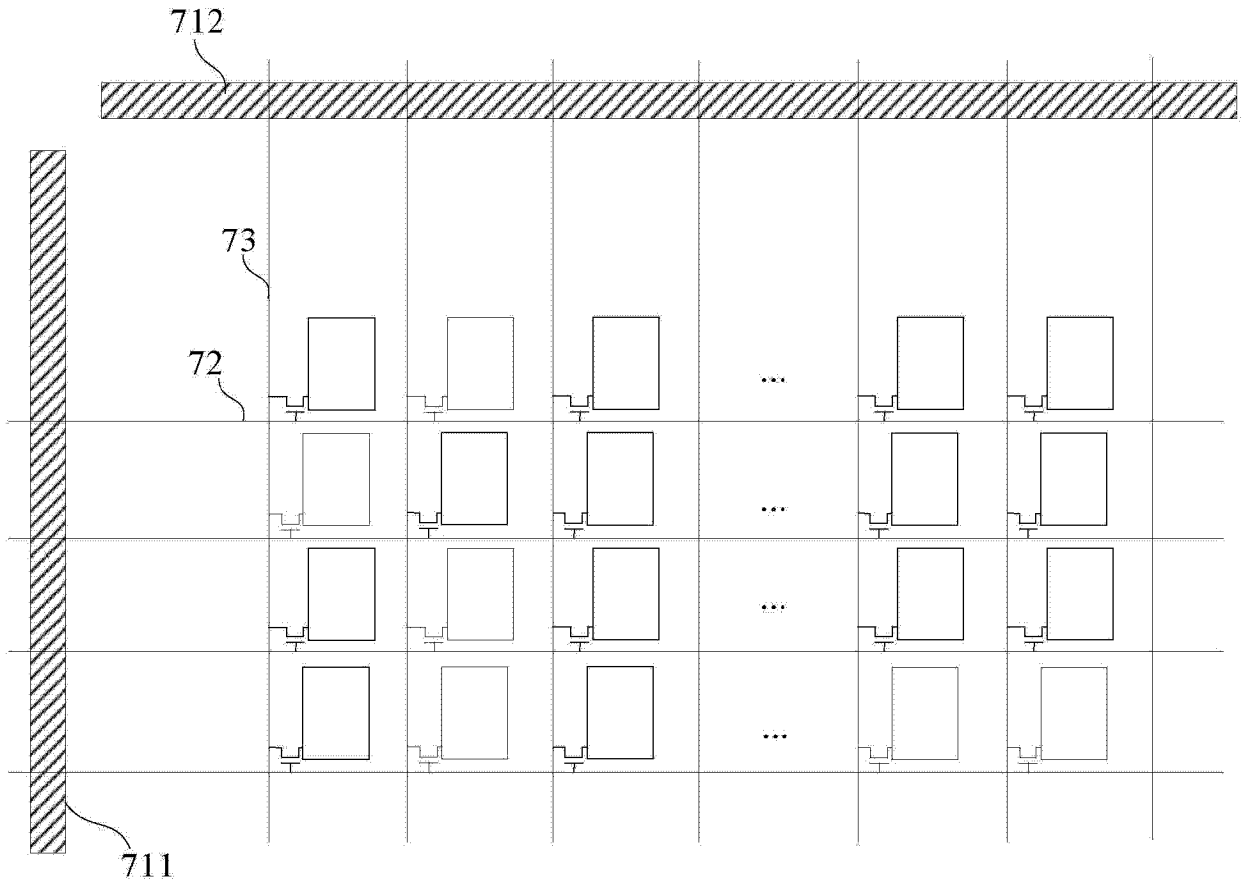


图 7

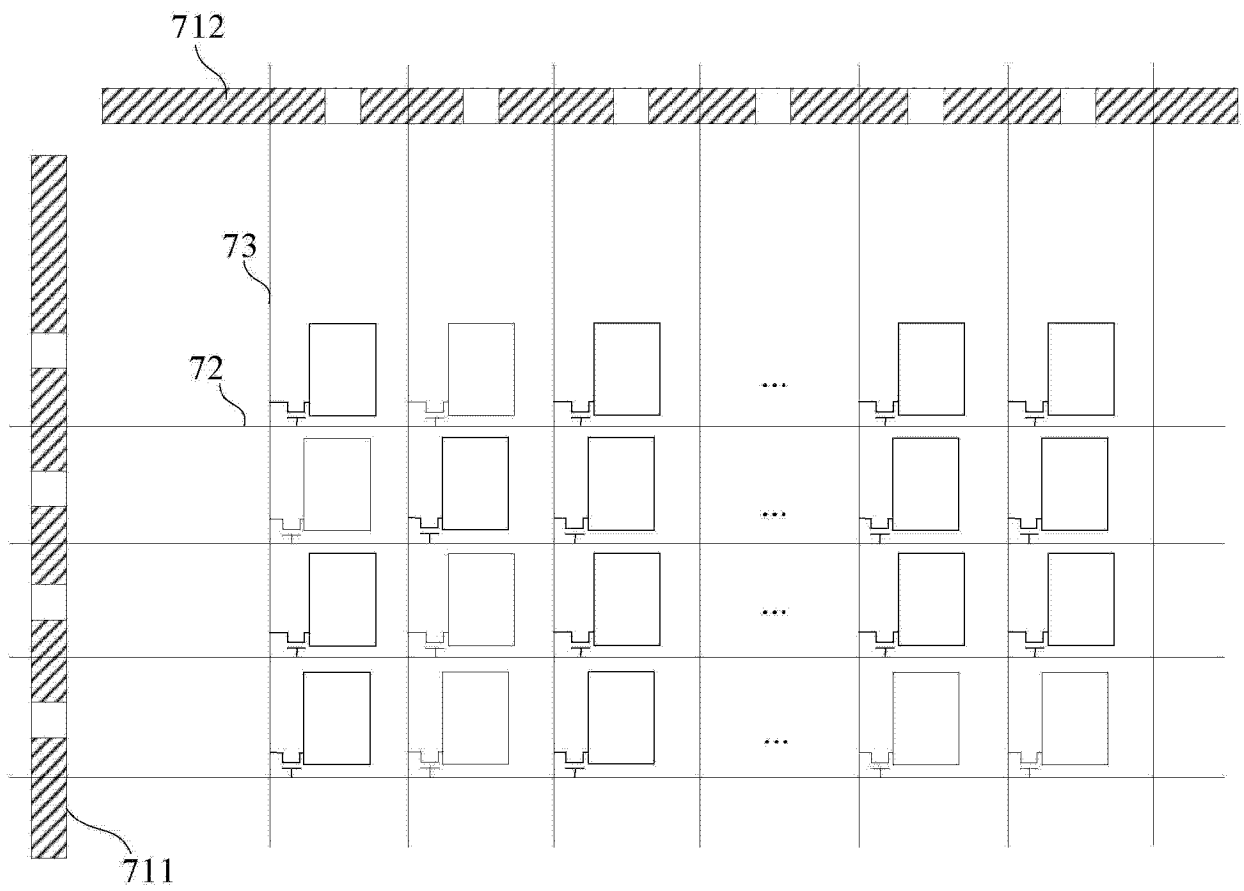


图 8