

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4731056号
(P4731056)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月28日(2011.4.28)

(51) Int.Cl. F I
H O 3 K 19/00 1 O 1 K
H O 3 K 19/0175 (2006.01)

請求項の数 7 (全 17 頁)

(21) 出願番号	特願2001-200683 (P2001-200683)	(73) 特許権者	000006013
(22) 出願日	平成13年7月2日(2001.7.2)		三菱電機株式会社
(65) 公開番号	特開2002-152033 (P2002-152033A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成14年5月24日(2002.5.24)	(74) 代理人	100064746
審査請求日	平成20年6月26日(2008.6.26)		弁理士 深見 久郎
(31) 優先権主張番号	特願2000-262444 (P2000-262444)	(74) 代理人	100085132
(32) 優先日	平成12年8月31日(2000.8.31)		弁理士 森田 俊雄
(33) 優先権主張国	日本国(JP)	(74) 代理人	100091409
			弁理士 伊藤 英彦
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100096792
			弁理士 森下 八郎

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1信号を伝送する第1信号線と、
前記第1信号と実質的に相補な第2信号を伝送する第2信号線と、
前記第1信号線と前記第2信号線との間にクロスカップルされる第1および第2MOSトランジスタと、
前記第1信号線の信号をゲートに受ける第3MOSトランジスタを含む第1論理ゲートと、
前記第2信号線の信号をゲートに受ける第4MOSトランジスタを含む第2論理ゲートとを備える、半導体集積回路。

【請求項2】

前記第1信号を受ける第1端子と、
前記第2信号を受ける第2端子と、
前記第1端子と前記第1信号線との間に接続される、前記第1および第2MOSトランジスタ、ならびに前記第3および第4MOSトランジスタと異なるプロセス条件で形成される第5MOSトランジスタを含む第3論理ゲートと、
前記第2端子と前記第2信号線との間に接続される、前記第1および第2MOSトランジスタ、ならびに前記第3および第4MOSトランジスタと異なるプロセス条件で形成される第6MOSトランジスタを含む第4論理ゲートとをさらに備える、請求項1に記載の半導体集積回路。

10

20

【請求項 3】

前記第 1 および第 2 MOS トランジスタは、
前記第 5 および第 6 MOS トランジスタとゲート酸化膜の厚さが異なる、請求項 2 に記載の半導体集積回路。

【請求項 4】

前記第 1 および第 2 MOS トランジスタは、
前記第 5 および第 6 MOS トランジスタと耐圧が異なる、請求項 2 に記載の半導体集積回路。

【請求項 5】

前記第 1 および第 2 MOS トランジスタは、
P MOS トランジスタであり、
前記第 1 MOS トランジスタは、
電源電圧線と前記第 1 信号線との間に接続され、ゲートが前記第 2 信号線と接続され、
前記第 2 MOS トランジスタは、
前記電源電圧線と前記第 2 信号線との間に接続され、ゲートが前記第 1 信号線と接続される、請求項 2 に記載の半導体集積回路。

10

【請求項 6】

前記第 1 および第 2 MOS トランジスタは、
N MOS トランジスタであり、
前記第 1 MOS トランジスタは、
接地電圧線と前記第 1 信号線との間に接続され、ゲートが前記第 2 信号線と接続され、
前記第 2 MOS トランジスタは、
前記接地電圧線と前記第 2 信号線との間に接続され、ゲートが前記第 1 信号線と接続される、請求項 2 に記載の半導体集積回路。

20

【請求項 7】

前記第 1 論理ゲートは、
前記第 3 MOS トランジスタとともに第 1 CMOS インバータを構成する、前記第 3 MOS トランジスタとは逆導電型の第 7 MOS トランジスタを含み、
前記第 2 論理ゲートは、
前記第 4 MOS トランジスタとともに第 2 CMOS インバータを構成する、前記第 4 MOS トランジスタとは逆導電型の第 8 MOS トランジスタを含み、
前記第 3 論理ゲートは、
前記第 5 MOS トランジスタとともに第 3 CMOS インバータを構成する、前記第 5 MOS トランジスタとは逆導電型の第 9 MOS トランジスタを含み、
前記第 4 論理ゲートは、
前記第 6 MOS トランジスタとともに第 4 CMOS インバータを構成する、前記第 6 MOS トランジスタとは逆導電型の第 10 MOS トランジスタを含む、請求項 2 に記載の半導体集積回路。

30

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

この発明は、半導体集積回路に関し、特に、相補信号を伝送するための回路構成を有する半導体集積回路に関する。

【0002】

【従来の技術】

LSI（大規模集積回路）では、外部と信号を授受するための入出力バッファと信号を処理する内部回路とで電源電圧が異なる場合がある。より具体的には、入出力バッファに高い電圧を与え、内部回路には低い電圧を与える場合がある。

【0003】

このように内部回路に供給する電圧を低くすることにより、次の効果が得られる。第 1 に

50

内部回路における消費電力を押さえることができる。第2に電圧を低くするとトランジスタのゲート電極における耐圧問題が軽減されるため、内部回路を構成するトランジスタのゲート酸化膜を薄くすることができる。第3に、ゲート酸化膜厚を薄くすることで内部回路の動作を高速化することが期待できる。

【0004】

ところで、入出力バッファに高い電圧を内部回路に低い電圧を供給する場合、入出力バッファにはゲート酸化膜の厚いトランジスタを使用し、内部回路にはゲート酸化膜の薄いトランジスタを使用する必要がある。また、内部回路に信号を供給するにあたって、信号の電圧を変える必要がある。

【0005】

ここで、従来の半導体集積回路における要部の構成について、図8を用いて説明する。なお、以下の説明では、入力段の電源電圧が3.3V、内部回路の電源電圧が1.8VであるCMOS・LSI(CMOS:complementary metal-oxide semiconductor)を一例に説明する。内部回路の入出力信号は、CMOSレベルとする。

【0006】

図8に示す従来の半導体集積回路は、外部から入力される互い相補な信号IN, /INを受ける電圧変換回路910, 920、ならびに電圧変換回路910, 920の出力を反転するCMOSインバータ930, 940、信号線L3, L4、およびインバータ930, 940の出力を反転するCMOSインバータ950, 960を含む信号伝送回路900を備える。信号伝送回路900の出力は、図示しない1.8V電源の内部回路に供給される。

【0007】

電圧変換回路910, 920は、信号IN, /INのHレベルを1.8V付近にまで落とすように動作する。インバータ930は、各々のゲートが電圧変換回路910の出力ノード801と接続されるPMOSTランジスタ803とNMOSTランジスタ804とを含む。トランジスタ803は、1.8Vの電源電圧とノード807との間に接続され、トランジスタ804は、接地電圧とノード807(信号線L3)との間に接続される。

【0008】

インバータ940は、各々のゲートが電圧変換回路920の出力ノード802と接続されるPMOSTランジスタ805とNMOSTランジスタ806とを含む。トランジスタ805は、1.8Vの電源電圧とノード808との間に接続され、トランジスタ806は、接地電圧とノード808(信号線L4)との間に接続される。

【0009】

インバータ950は、各々のゲートが信号線L3と接続されるPMOSTランジスタ811とNMOSTランジスタ812とを含む。トランジスタ811は、1.8Vの電源電圧とノード115との間に接続され、トランジスタ812は、接地電圧とノード115との間に接続される。

【0010】

インバータ960は、各々のゲートが信号線L4と接続されるPMOSTランジスタ813とNMOSTランジスタ814とを含む。トランジスタ813は、1.8Vの電源電圧とノード116との間に接続され、トランジスタ814は、接地電圧とノード116との間に接続される。

【0011】

電圧変換回路910, 920の出力のHレベルが1.8Vまで下がらない場合、ゲート酸化膜の薄いトランジスタで当該出力を受けることができない。そこで、インバータ930は、3.3V対応のトランジスタ803, 804で構成し、電源電圧を1.8Vとする。同様に、インバータ940は、3.3V対応のトランジスタ805, 806で構成し、電源電圧を1.8Vとする。一方、トランジスタ811~814は、1.8V対応のトランジスタで構成する。図示しない内部回路には、ノード115および116の信号が与えられる。

10

20

30

40

50

【 0 0 1 2 】

【 発明が解決しようとする課題 】

しかしながら、上述した回路構成であると、以下の問題がある。まず、相補信号間にずれが生じている場合、上記したインバータの縦列構成では当該ずれを補償することができない。

【 0 0 1 3 】

また、3.3V用のトランジスタは駆動能力が低い（特に、PMOSトランジスタはNMOSトランジスタに比べて低い）。したがって、駆動能力を上げるためには、トランジスタのゲート幅を大きくする必要がある。しかしながら、ゲート幅で駆動能力を補うとすれば、トランジスタのゲート幅が大きくなる。これは、レイアウト面積や寄生容量の増大につながってしまう。

10

【 0 0 1 4 】

一般的に、耐圧の高いトランジスタは、相対的にそのしきい値電圧も高くなる。すなわち、3.3V用のトランジスタは、1.8Vのトランジスタよりもしきい値電圧が大きい。また、MOSトランジスタの動作電流（ソース・ドレイン間電流）は、ゲート・ソース間電圧 V_{gs} と閾値電圧 V_t との差、すなわち「 $V_{gs} - V_n$ 」に依存する。

【 0 0 1 5 】

したがって、3.3V用のトランジスタで構成されるにもかかわらず、電源電圧1.8Vで駆動されるインバータ930および940において、各MOSトランジスタの動作電流を十分得ることができない。この結果、信号伝送回路900の動作速度が遅くなってしま

20

【 0 0 1 6 】

信号伝送回路900に要求される出力信号の振幅、すなわち内部回路の電源電圧（1.8V）がより低くなるにつれてこの問題は顕著になる。特に、内部回路の電源電圧が、前段の電圧変換回路910および920の出力を受けるための3.3V用のトランジスタのしきい値電圧よりも低くなると、信号伝送回路900が動作不能となってしまう。

【 0 0 1 7 】

そこで、本発明はこのような問題を解決するためになされたものであり、その目的は、レイアウト面積を抑えて、相補信号を最適なタイミングで伝送することができる回路を備える半導体集積回路を提供することにある。

30

【 0 0 1 8 】

本発明の他の目的は、入力信号の電圧振幅を高速に変換する入力回路を備える半導体集積回路を提供することにある。

【 0 0 1 9 】

【 課題を解決するための手段 】

この発明による半導体集積回路は、第1信号を伝送する第1信号線と、実質的に第1信号線と相補な第2信号を伝送する第2信号線と、第1信号線と第2信号線との間にクロスカップルされる第1および第2MOSトランジスタと、第1信号線の信号をゲートに受ける第3MOSトランジスタを含む第1論理ゲートと、第2信号線の信号をゲートに受ける第4MOSトランジスタを含む第2論理ゲートとを備える。

40

【 0 0 2 0 】

好ましくは、第1信号を受ける第1端子と、第2信号を受ける第2端子と、第1端子と第1信号線との間に接続される、第1ないし第4MOSトランジスタと異なるプロセス条件で形成される第5MOSトランジスタを含む第3論理ゲートと、第2端子と第2信号線との間に接続される、第1ないし第4MOSトランジスタと異なるプロセス条件で形成される第6MOSトランジスタを含む第4論理ゲートとをさらに備える。

【 0 0 2 1 】

特に、第1および第2MOSトランジスタは、第5および第6MOSトランジスタとゲート酸化膜の厚さが異なる。

【 0 0 2 2 】

50

特に、第1および第2 MOSトランジスタは、第5および第6 MOSトランジスタと耐圧が異なる。

【0023】

特に、第1および第2 MOSトランジスタは、PMOSトランジスタであり、第1 MOSトランジスタは、電源電圧線と第1信号線との間に接続され、ゲートが第2信号線と接続され、第2 MOSトランジスタは、電源電圧線と第2信号線との間に接続され、ゲートが第1信号線と接続される。

【0024】

特に、第1および第2 MOSトランジスタは、NMOSトランジスタであり、第1 MOSトランジスタは、接地電圧線と第1信号線との間に接続され、ゲートが第2信号線と接続され、第2 MOSトランジスタは、接地電圧線と第2信号線との間に接続され、ゲートが第1信号線と接続される。

10

【0025】

好ましくは、第1論理ゲートは、第3 MOSトランジスタとともに第1 CMOSインバータを構成する、第3 MOSトランジスタとは逆導電型の第7 MOSトランジスタを含み、第2論理ゲートは、第4 MOSトランジスタとともに第2 CMOSインバータを構成する、第4 MOSトランジスタとは逆導電型の第8 MOSトランジスタを含む。第3論理ゲートは、第5 MOSトランジスタとともに第3 CMOSインバータを構成する、第5 MOSトランジスタとは逆導電型の第9 MOSトランジスタを含み、第4論理ゲートは、第6 MOSトランジスタとともに第4 CMOSインバータを構成する、第6 MOSトランジスタとは逆導電型の第10 MOSトランジスタを含む。

20

【0026】

したがって、上記半導体集積回路によれば、互いに相補な信号を伝送する信号線に配置されるクロスカップルされるMOSトランジスタにより、信号線の電位を高速に駆動することができる。これにより、相補信号間のタイミングのずれを補正することができる。

【0027】

また、前段ゲートに関してはゲート酸化膜の厚いトランジスタを使用し、後段ゲートおよびクロスカップルされるMOSトランジスタに関してはゲート酸化膜の薄いトランジスタを使用する。または、前段ゲートには、後段ゲートおよびクロスカップルされるMOSトランジスタより耐圧の高いトランジスタを用いる。これにより、前段ゲートの駆動能力が低くても、クロスカップルされるMOSトランジスタにより当該駆動能力を補うことができる。

30

【0028】

この発明の他の半導体集積回路は、第1電圧および第2電圧の一方に設定される入力信号を伝達するための第1の信号線と、第2電圧および第3電圧の一方に設定される、レベル変換された入力信号を伝達するための第2の信号線と、第2および第3電圧で駆動され、入力信号に応答して、第2および第3電圧の一方と第1ノードとを接続するための第1論理ゲートと、反転された入力信号に応答して動作し、第1論理ゲートによって第1ノードと第3電圧とが接続される場合に活性化されて、第3電圧と第1ノードとを接続するためのレベル変換補助部と、第2および第3電圧で駆動され、第1ノードの電圧に応じて、第2および第3電圧の一方と第2の信号線とを接続するための第2論理ゲートとを備える。

40

【0029】

好ましくは、第1論理ゲートによって第1ノードと第2電圧とが接続される場合に、レベル変換補助部を非活性化して、第3電圧と第1ノードとを切離すためのリーク電流防止部をさらに備える。

【0030】

好ましくは、第1および第2電圧で駆動され、入力信号を反転するための第3論理ゲートをさらに備える。

【0031】

好ましくは、第1論理ゲートは、入力信号をゲートに受ける第1 MOSトランジスタを含

50

み、第2論理ゲートは、第1ノードと接続されたゲートを有する第2MOSトランジスタを含み、レベル変換補助部は、反転された入力信号に応じて、第3および第2電圧の一方と第2ノードとを接続するための第3論理ゲートと、第2ノードと接続されたゲートを有し、第3電圧と第1ノードとの間に接続された第3MOSトランジスタとを含み、第3論理ゲートは、反転された入力信号をゲートに受ける第4MOSトランジスタを有し、第1および第4MOSトランジスタと、第2および第3MOSトランジスタとは、異なるプロセス条件で形成される。

【0032】

特に、第1および第4MOSトランジスタは、第2および第3MOSトランジスタとゲート酸化膜の厚さが異なる。

10

【0033】

特に、第1および第2MOSトランジスタは、第2および第3MOSトランジスタと耐圧が異なる。

【0034】

特に、第1ノードと接続されたゲートを有し、第3電圧と第2ノードとの間に接続される第5MOSトランジスタをさらに備え、第3および第5MOSトランジスタは、相補的にオンおよびオフする。

【0035】

特に、第5MOSトランジスタは、第3MOSトランジスタと同様のプロセス条件で形成される。

20

【0036】

好ましくは、第1および第2の論理ゲートは、インバータである。

したがって、上記半導体集積回路によれば、第1論理ゲートの動作速度が低下するような電圧レベルの入力信号が入力された場合にも、反転された入力信号にตอบสนองして、レベル変換補助部を構成するMOSトランジスタによって信号線の電位を駆動できる。これにより、入力信号を高速にレベル変換できる。また、第1論理ゲートを構成するMOSトランジスタの駆動能力を補うことができるので、MOSトランジスタのゲート幅を小さくすることができ、レイアウト面積や寄生容量を抑制できる。

【0037】

また、論理ゲートの動作速度が低下しない電圧レベルの入力信号が入力された場合には、レベル変換補助部を構成するMOSトランジスタを速やかにターンオフできる。これにより、リーク電流の発生を防止できる。

30

【0038】

【発明の実施の形態】

以下、本発明の実施の形態を図を参照して説明する。なお、図中同一または相当部分には、同一符号を付してその説明を繰返さない。

【0039】

[第1の実施の形態]

第1の実施の形態による構成について、図1および図2を用いて説明する。第1の実施の形態による半導体集積回路1000は、ノード1で受ける信号INの電圧を変換する電圧変換回路10、信号INと実質的に相補な信号/INの電圧を変換する電圧変換回路20、ならびに電圧変換回路10の出力ノード101の信号を反転するCMOSインバータ30および電圧変換回路20の出力ノード102の信号を反転するCMOSインバータ40を含む信号伝送回路100を備える。

40

【0040】

ノード1,2には、チップの外部から入力される信号IN,信号/INが供給される。電圧変換回路10,20は、3.3V電源で動作する。

【0041】

信号伝送回路100は、図2に示す半導体集積回路1000における入力回路600に配置される。LSIの外部から端子IN,端子/INに入力される信号INおよび/INは

50

、3.3V電源の電圧変換回路10,20において電圧変換される。電圧変換回路10,20の出力は、信号伝送回路100を介して、1.8V電源で動作する内部回路700に供給される。内部回路700の入出力信号は、CMOSレベルであるとする。

【0042】

たとえば、内部回路700では、入力信号に基づき、内部に含まれるメモリセルアレイにデータが書込まれる。また、内部回路700に含まれるメモリセルアレイから読出されたデータは、出力回路750を介して外部に出力(OUT)される。出力回路750が3.3V電源で動作する場合には、出力回路750と内部回路700との間に、電圧変換回路を配置する。

【0043】

図1を参照して、電圧変換回路10,20は、ノード1,2で受ける信号IN, /INを1.8V付近にまで落とすように動作する。なお、ノード101の信号とノード102の信号とは互いに相補な関係にある。

【0044】

インバータ30は、各々のゲートがノード101と接続されるPMOSトランジスタ103とNMOSトランジスタ104とを含む。トランジスタ103は、1.8Vの電源電圧とノード107との間に接続され、トランジスタ104は、接地電圧とノード107との間に接続される。

【0045】

インバータ40は、各々のゲートがノード102と接続されるPMOSトランジスタ105とNMOSトランジスタ106とを含む。トランジスタ105は、1.8Vの電源電圧とノード108との間に接続され、トランジスタ106は、接地電圧とノード108との間に接続される。

【0046】

第1の実施の形態による信号伝送回路100はさらに、ノード107に接続される信号線L1、ノード108に接続される信号線L2、クロスカップル(交差結合)されるPMOSトランジスタ109,110、信号線L1の信号を反転するCMOSインバータ50、および信号線L2の信号を反転するCMOSインバータ60を備える。

【0047】

トランジスタ109は、1.8Vの電源電圧と信号線L1との間に接続され、ゲートが信号線L2と接続される、トランジスタ110は、1.8Vの電源電圧と信号線L2との間に接続され、ゲートが信号線L1と接続される。

【0048】

インバータ50は、各々のゲートが信号線L1と接続されるPMOSトランジスタ111とNMOSトランジスタ112とを含む。トランジスタ111は、1.8Vの電源電圧とノード115との間に接続され、トランジスタ112は、接地電圧とノード115との間に接続される。

【0049】

インバータ60は、各々のゲートが信号線L2と接続されるPMOSトランジスタ113とNMOSトランジスタ114とを含む。トランジスタ113は、1.8Vの電源電圧とノード116との間に接続され、トランジスタ114は、接地電圧とノード116との間に接続される。

【0050】

インバータ30とインバータ50とでは、プロセス条件が異なるトランジスタを使用する。同じく、インバータ40とインバータ60とでは、プロセス条件が異なるトランジスタを使用する。

【0051】

そして、プロセス条件が互いに異なるインバータ30,40と50,60との間に、インバータ50,60と実質的に同じプロセス条件で形成されるトランジスタ109,110を配置する。

10

20

30

40

50

【0052】

より具体的には、トランジスタ103, 104, 105および106として、3.3V用のゲート酸化膜が相対的に厚い、またはノおよび耐圧の高いトランジスタを使用し、トランジスタ109, 110, 111, 112, 113および114として、1.8V用のゲート酸化膜が相対的に薄い、またはノおよび耐圧の低いトランジスタを使用する。

【0053】

図1の構成からクロスカップル構成を除いた場合、インバータ30, 40を構成する3.3V用トランジスタ(特にPMOSTランジスタ)の駆動能力が低いため、当該トランジスタのゲート幅を大きくする必要がある。

【0054】

しかしながら、第1の実施の形態による構成を用いると、ノード101の信号とノード102の信号とは互いに相補な関係にあるので、ノード101の信号が“H”レベルから“L”レベルに変化するとき、同時にノード102の信号が“L”レベルから“H”レベルに変化する。これに伴い、ノード107の信号が“L”レベルから“H”レベルに変化し、ノード108の信号が“H”レベルから“Lレベル”に変化する。

【0055】

そして、信号線L2の電圧レベルが低下すると、トランジスタ109により信号線L1の電圧がHレベルにプルアップされる。同様に、信号線L1の電圧レベルが低下すると、トランジスタ110により信号線L2の電圧がHレベルにプルアップされる。

【0056】

すなわち、第1の実施の形態による構成では、クロスカップルされるトランジスタによる電位駆動により、前段のゲートを構成するトランジスタ(特に、トランジスタ103, 105)の駆動能力を補うことができる。したがって、前段のゲートを構成するトランジスタのゲート幅を小さくすることができ、レイアウト面積や寄生容量を小さく抑えることができる。

【0057】

また、インバータ30, 40の電源電圧は1.8Vであるため、ノード107, 108の電圧レベルは1.8Vを超えることはない。このため、トランジスタ109, 110として、駆動能力の高い、ゲート酸化膜の薄い1.8V用トランジスタを使用することができ、レイアウト面積を小さく抑えることができる。

【0058】

一方、電圧変換回路10, 20において十分に入力信号の電圧を下げるできない場合であっても、トランジスタ103, 104, 105, 106の耐圧を上げることで、当該トランジスタのゲート酸化膜が保護される。

【0059】

さらに、第1の実施の形態による構成を用いた場合、相補信号間のずれを補正することができる。相補信号間のずれの補正について、図3を用いて説明する。

【0060】

図3は、ノード101およびノード102に信号が印加されると、ノード107およびノード108の信号波形がどのように変化するかを示している。

【0061】

時刻 t_A において、ノード101がLレベルからHレベルに立上がり、時刻 t_D ($t_0 = t_D - t_A$)において、ノード102がHレベルからLレベルに立下がるものとする。すなわち、相補信号間のずれを t_0 とする。

【0062】

図8に示す従来の信号伝送回路は、トランジスタ109, 110を含まない。したがって、入力される相補信号間のずれが t_0 であれば、相補信号間のずれ t_0 はそのまま保持される。したがって、内部回路に供給される相補信号間のずれは t_0 である。

【0063】

一方、第1の実施の形態による信号伝送回路100によれば、時刻 t_A より遅れて時刻 t

10

20

30

40

50

B ($t_B > t_A$) でノード 107 が H レベルから L レベルに変化するが、ノード 107 が L レベルに立下がるとトランジスタ 110 がオンする。この結果、時刻 t_D より早い時刻 t_C ($t_C = t_B + t_1$) で、ノード 108 が L レベルから H レベルに変化することになる。

【0064】

したがって、ノード 107 のレベル変化の時間とノード 108 のレベル変化の時間との差は、従来よりも短く、 t_1 になる。

【0065】

すなわち、信号伝送回路 100 を通過することにより、相補信号間のずれが補正され小さくなる。この結果、内部回路において、最適な動作が保証される。

10

【0066】

[第2の実施の形態]

図4を参照して、第2の実施の形態による信号伝送回路200は、プロセス条件の異なるインバータ30, 40と50, 60との間に、インバータ50, 60と実質的に同じプロセス条件で形成されるNMOSトランジスタ209, 210を配置する。具体的には、インバータ50, 60、およびNMOSトランジスタ209, 210には、1.8V用のトランジスタを使用する。

【0067】

NMOSトランジスタ209は、接地電圧とノード107との間に接続され、ゲートにノード108の信号を受ける。NMOSトランジスタ210は、接地電圧とノード108との間に接続され、ゲートにノード107の信号を受ける。

20

【0068】

信号線L2の電圧レベルが上昇すると、トランジスタ209により信号線L1の電圧レベルがLレベルにプルダウンされる。信号線L1の電圧レベルが上昇すると、トランジスタ210により信号線L2の電圧レベルがLレベルにプルダウンされる。

【0069】

したがって、インバータ30, 40におけるNMOSトランジスタの駆動能力が低い場合であっても、トランジスタ104, 106のゲート幅を広げることなく、NMOSトランジスタの駆動能力を補うことができる。これにより、レイアウト面積、寄生容量を小さくすることができる。

30

【0070】

さらに、第2の実施の形態による構成を用いた場合、相補信号間のずれを補正することができる。相補信号間のずれの補正について、図5を用いて説明する。

【0071】

図5は、ノード101およびノード102に信号が印加されると、ノード107およびノード108の信号波形がどのように変化するかを示している。

【0072】

時刻 t_A において、ノード 102 が H レベルから L レベルに立下がり、時刻 t_D ($t_0 = t_D - t_A$) において、ノード 101 が L レベルから H レベルに立上がるものとする。すなわち、相補信号間のずれを t_0 とする。

40

【0073】

図8に示す従来の信号伝送回路は、トランジスタ209, 210を含まない。したがって、入力される相補信号間のずれが t_0 であれば、相補信号間のずれ t_0 はそのまま保持される。したがって、内部回路に供給される相補信号間のずれは t_0 である。

【0074】

一方、第2の実施の形態による信号伝送回路200によれば、時刻 t_A より遅れて時刻 t_B ($t_B > t_A$) でノード 108 が L レベルから H レベルに変化するが、ノード 108 が H レベルに立上がるとトランジスタ 209 がオンする。この結果、時刻 t_D より早い時刻 t_C ($t_C = t_B + t_2$) で、ノード 107 が H レベルから L レベルに変化することになる。

50

【 0 0 7 5 】

したがって、ノード 1 0 7 のレベル変化の時間とノード 1 0 8 のレベル変化の時間との差は、従来よりも短く、 t_2 になる。

【 0 0 7 6 】

すなわち、信号伝送回路 2 0 0 を通過することにより、相補信号間のずれが補正され小さくなる。この結果、内部回路において、最適な動作が保証される。

【 0 0 7 7 】

[第 3 の実施の形態]

第 3 の実施の形態による半導体集積回路の主要部の構成について説明する。第 3 の実施の形態では、第 1 , 第 2 の実施の形態の構成を組み合わせ、2 種類のゲート間に P M O S クロスカップルと N M O S クロスカップルとを配置する。

10

【 0 0 7 8 】

図 6 を参照して、第 3 の実施の形態による信号伝送回路 3 0 0 は、プロセス条件の異なるインバータ 3 0 , 4 0 と 5 0 , 6 0 との間に、インバータ 5 0 , 6 0 と実質的に同じプロセス条件で形成される P M O S トランジスタ 1 0 9 , 1 1 0 および N M O S トランジスタ 2 0 9 , 2 1 0 を配置する。

【 0 0 7 9 】

P M O S トランジスタ 1 0 9 は、1 . 8 V の電源電圧とノード 1 0 7 との間に接続され、ゲートにノード 1 0 8 の信号を受ける。P M O S トランジスタ 1 1 0 は、1 . 8 V の電源電圧とノード 1 0 8 との間に接続され、ゲートにノード 1 0 7 の信号を受ける。

20

【 0 0 8 0 】

さらに、N M O S トランジスタ 2 0 9 は、接地電圧とノード 1 0 7 との間に接続され、ゲートにノード 1 0 8 の信号を受ける。N M O S トランジスタ 2 0 9 は、接地電圧とノード 1 0 8 との間に接続され、ゲートにノード 1 0 7 の信号を受ける。

【 0 0 8 1 】

信号線 L 2 の電圧レベルが低下すると、トランジスタ 1 0 9 により信号線 L 1 の電圧レベルが H レベルにプルアップされる。信号線 L 1 の電圧レベルが低下すると、トランジスタ 1 1 0 により信号線 L 2 の電圧レベルが H レベルにプルアップされる。

【 0 0 8 2 】

信号線 L 2 の電圧レベルが上昇すると、トランジスタ 2 0 9 により信号線 L 1 の電圧レベルが L レベルにプルダウンされる。信号線 L 1 の電圧レベルが上昇すると、トランジスタ 2 1 0 により信号線 L 2 の電圧レベルが L レベルにプルダウンされる。

30

【 0 0 8 3 】

インバータ 3 0 , 4 0 におけるトランジスタの駆動能力が低い場合であっても、トランジスタ 1 0 9 , 1 1 0 により、信号線 L 1 , L 2 の電圧レベルを高速に駆動することができる。同じく、トランジスタ 2 0 9 , 2 1 0 により、信号線 L 1 , L 2 の電圧レベルを高速に駆動することができる。

【 0 0 8 4 】

したがって、インバータ 3 0 , 4 0 におけるトランジスタの駆動能力が低い場合であっても、当該トランジスタのゲート幅を広げることなく、駆動能力を補うことができる。

40

【 0 0 8 5 】

この結果、インバータ 3 0 , 4 0 を構成するトランジスタのサイズを小さくすることができる。したがって、レイアウト面積および寄生容量が小さくなる。

【 0 0 8 6 】

また、第 3 の実施の形態による信号伝送回路 3 0 0 によれば、相補信号間のタイミングのずれを補正することが可能になる。具体的には、図 3 , 図 5 を用いて説明した第 1 および第 2 の実施の形態による効果を奏することができる。

【 0 0 8 7 】

[第 4 の実施の形態]

第 4 の実施の形態による半導体集積回路の主要部の構成について説明する。第 4 の実施の

50

形態では、相補でない単一の入力信号にも対応可能な、入力信号の電圧振幅を高速に変換する入力回路の構成を説明する。

【0088】

図7を参照して、第4の実施の形態による入力回路610は、図2に示される入力回路600に代えて用いることが可能である。入力回路610は、レベル変換機能を有し、高電圧VDDH（たとえば3.3V）振幅の入力信号INを、低電圧VDDL（たとえば1.8V）振幅に変換して、低電圧VDDL（1.8V）電源で動作する内部回路700に供給する。

【0089】

入力回路610は、高電圧VDDH振幅の入力信号INを伝達する信号線615と、インバータ620、630、640、650と、PMOSトランジスタ660、670と、低電圧VDDL振幅に変換された入力信号を伝達する信号線680とを含む。

【0090】

インバータ620は、接地電圧（GND）および高電圧VDDHで駆動される。インバータ620は、各々のゲートが信号線615と接続されるPMOSトランジスタ622とNMOSトランジスタ624とを含む。トランジスタ622は、高電圧VDDHとノード625との間に接続され、トランジスタ624は、接地電圧とノード625との間に接続される。トランジスタ622および624には、高電圧対応（3.3V用）のトランジスタを使用する。

【0091】

インバータ630は、接地電圧および低電圧VDDLで駆動される。インバータ630は、各々のゲートがノード625と接続されるPMOSトランジスタ632とNMOSトランジスタ634とを含む。トランジスタ632は、低電圧VDDLとノード635との間に接続され、トランジスタ634は、接地電圧とノード635との間に接続される。トランジスタ632および634には、高電圧対応（3.3V用）のトランジスタを使用する。

【0092】

インバータ640は、接地電圧および低電圧VDDLで駆動される。インバータ640は、各々のゲートが信号線615と接続されるPMOSトランジスタ642とNMOSトランジスタ644とを含む。トランジスタ642は、低電圧VDDLとノード645との間に接続され、トランジスタ644は、接地電圧とノード645との間に接続される。トランジスタ642および644には、高電圧対応（3.3V用）のトランジスタを使用する。

【0093】

インバータ650は、接地電圧および低電圧VDDLで駆動される。インバータ650は、各々のゲートがノード645と接続されるPMOSトランジスタ652とNMOSトランジスタ654とを含む。トランジスタ652は、低電圧VDDLと信号線680との間に接続され、トランジスタ654は、接地電圧と信号線680との間に接続される。トランジスタ632および634には、低電圧対応（1.8V用）のトランジスタを使用する。

【0094】

PMOSトランジスタ660は、ノード635と接続されたゲートを有するとともに、低電圧VDDLとノード645との間に接続される。PMOSトランジスタ670は、ノード645と接続されたゲートを有するとともに、低電圧VDDLとノード635との間に接続される。トランジスタ660および670には、低電圧対応（1.8V用）のトランジスタを使用する。

【0095】

インバータ620は、入力信号INを反転して、高電圧VDDH振幅でノード625に出力する。これに対して、インバータ630、640および650は、低電圧VDDL振幅の信号を出力する。

10

20

30

40

50

【0096】

それぞれのインバータのプロセス条件および動作条件を考慮すると、高電圧対応（3.3V用）のトランジスタで構成され、かつ低電圧VDDLで駆動されるインバータ630および640において、PMOSTランジスタのオンに反応してHレベル（低電圧VDDL）信号を出力する際の動作速度が低下する。

【0097】

一方、インバータ630および640においても、NMOSTランジスタのオンに反応してLレベル（接地電圧）信号を出力する際の動作速度は確保される。信号線615およびノード625には、高電圧VDDH振幅の信号が伝達されているからである。

【0098】

入力回路610におけるレベル変換動作は、基本的には、入力信号INの入力段として動作するインバータ640と、インバータ640の出力に応じて信号線680の電位を駆動するインバータ650によって実行される。したがって、入力信号INがLレベル（接地電圧）である場合において、インバータ640の動作速度が低下する点を補う必要がある。

10

【0099】

インバータ630は、インバータ620によって反転された入力信号（高電圧VDDH振幅）を、さらに反転して、低電圧VDDL振幅の信号をノード635に出力する。したがって、入力信号INがLレベル（接地電圧）である場合には、動作速度が低下することなく、ノード635はLレベル（接地電圧）に設定される。

20

【0100】

ノード635が接地電圧になると、PMOSTランジスタ660は、ターンオンして、低電圧VDDLとノード645との間を接続する。したがって、インバータ640の動作速度低下を補って、ノード645を速やかに低電圧VDDLに立ち上げることができる。すなわち、インバータ630およびPMOSTランジスタ660は、インバータ640がノード645をHレベル（低電圧VDDL）に設定する場合において、反転された入力信号に反応して、ノード645と低電圧VDDLとを接続するためのレベル変換補助部として動作する。

【0101】

このような構成とすることによって、インバータ640を構成する3.3V用トランジスタ（特にPMOSTランジスタ）の駆動能力を補うことができる。したがって、これらのトランジスタのゲート幅を小さくすることができ、レイアウト面積や寄生容量を抑制できる。

30

【0102】

このように、入力信号およびその反転信号を用いて、入力段のインバータの出力ノードの電位を駆動することによって、入力信号の電圧レベル変換を高速に行なうことができる。

【0103】

一方、入力信号INがHレベル（高電圧VDDL）である場合、すなわちインバータ640がノード645をLレベル（接地電圧）に設定する場合には、PMOSTランジスタ632がオンするので、インバータ630の動作速度が低下する。一方、インバータ640内ではNMOSTランジスタ644が高速にオンするので、動作速度は低下しない。この結果、PMOSTランジスタ660のターンオフが遅れると、リーク電流が発生するおそれが生じる。

40

【0104】

PMOSTランジスタ670は、インバータ640がノード645をLレベル（接地電圧）に設定する場合にターンオンして、ノード635すなわちPMOSTランジスタ660のゲートを、低電圧VDDLと接続する。これに反応して、PMOSTランジスタ660は、ターンオフされる。

【0105】

したがって、インバータ640の動作速度が低下しないケースである、入力信号INがH

50

レベル（高電圧VDDH）である場合において、ノード645におけるHレベル（低電圧VDDL）への立ち上げを高速化するためのPMOSトランジスタ660を速やかにオフさせて、リーク電流の発生を防止できる。

【0106】

以上説明したように、第4の実施の形態に従う入力回路によれば、内部でリーク電流を生じさせることなく、高電圧振幅の入力信号を低電圧振幅に高速に変換することができる。さらに、入力信号は、相補信号である必要はなく、単一の入力信号に対してもレベル変換を高速に実行できる。

【0107】

あるいは、相補信号を入力信号に用いる場合には、信号線615およびノード625に相補信号のそれぞれを入力すれば、インバータ620の配置を省略できる。この場合には、相補信号のそれぞれ対応させて入力回路610を配置し、入力回路610のそれぞれにおいて、信号線615およびノード625と、相補信号との対応関係を反対に設定すればよい。

【0108】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0109】

【発明の効果】

以上のように、本発明に係る半導体集積回路によれば、互いに相補な信号を伝送する信号線L1, L2に対し、クロスカップルされるMOSトランジスタを配置する。これにより、信号線L1, L2の電位を高速に駆動することができる。

【0110】

また、相補信号間にタイミングのずれが生じている場合であっても、クロスカップルされるMOSトランジスタにより一方の信号線の電位変化にตอบสนองして他方の信号線の電位を変化させることができるため、相補信号間のタイミングのずれを補正することができる。

【0111】

さらに、信号線L1, L2の前段に接続される前段ゲートと、信号線L1, L2の後段に接続される後段ゲートおよびクロスカップルされるMOSトランジスタとで、互いにプロセス条件の違うものを使用する。

【0112】

たとえば、前段ゲートに関してはゲート酸化膜の厚いトランジスタを使用し、後段ゲートおよびクロスカップルされるMOSトランジスタに関してはゲート酸化膜の薄いトランジスタを使用する。または、前段ゲートには、後段ゲートおよびクロスカップルされるMOSトランジスタより耐圧の高いトランジスタを用いる。前段ゲートの駆動能力が低くても、クロスカップルされるMOSトランジスタにより駆動能力を補うことができる。したがって、前段ゲートを構成するトランジスタのゲート幅を薄くすることができ、レイアウト面積および寄生容量を小さくすることができる。また、レイアウト面積を広げることなく、電圧レベルを落としながら確実に信号を伝送することができる。

【0113】

さらに、クロスカップルされるトランジスタとして、PMOSまたはNMOS、もしくはPMOSおよびNMOSトランジスタを使用することができる。この結果、MOSトランジスタの特性を活かして、相補信号を伝送する2つの信号線の電位を駆動することができる。

【0114】

本発明の他の構成に係る半導体集積回路によれば、入力段のインバータの動作速度が低下するような電圧レベルの入力信号INが入力された場合にも、反転された入力信号にตอบสนองして、MOSトランジスタによって、入力段のインバータの出力ノードの電位を駆動でき

10

20

30

40

50

る。これにより、入力信号を高速にレベル変換できる。また、入力段を構成するMOSトランジスタの駆動能力を補うことができるので、MOSトランジスタのゲート幅を小さくすることができ、レイアウト面積や寄生容量を抑制できる。また、入力信号が相補信号でない場合にも適用できる。

【0115】

さらに、入力段のインバータの動作速度が低下しないような電圧レベルの入力信号INが入力された場合には、入力段のインバータの出力ノードの電位を駆動するためのMOSトランジスタを速やかにターンオフできる。これにより、リーク電流の発生を防止できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態による信号伝送回路100の構成を示す図である。

10

【図2】 第1の実施の形態による半導体集積回路1000の構成の概要を示すブロック図である。

【図3】 第1の実施の形態による構成に基づく動作を説明するための図である。

【図4】 第2の実施の形態による信号伝送回路200の要部の構成を示す図である。

【図5】 第2の実施の形態による構成に基づく動作を説明するための図である。

【図6】 第3の実施の形態による信号伝送回路300の要部の構成を示す図である。

【図7】 第3の実施の形態による入力回路610の構成を示す図である。

【図8】 従来信号伝送回路900の構成を示す図である。

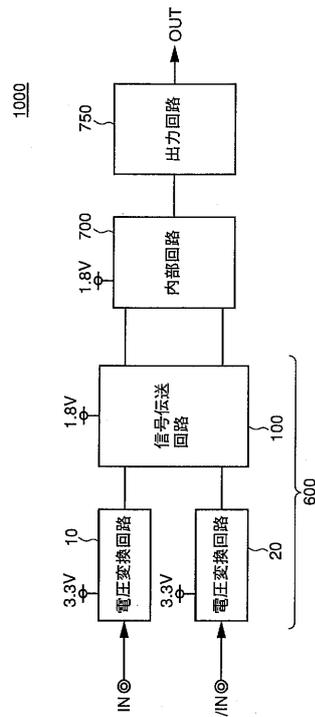
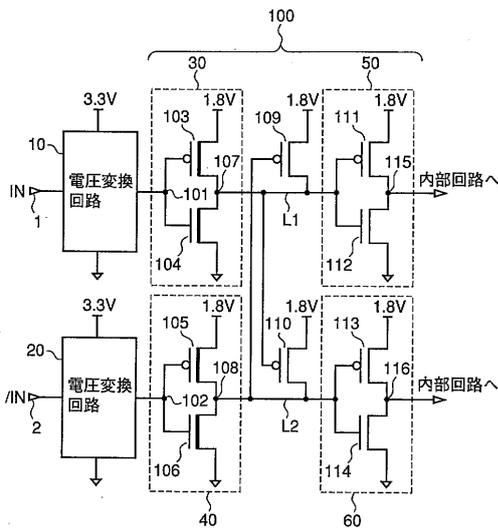
【符号の説明】

10, 20 電圧変換回路、30, 40, 50, 60, 620, 630, 640, 650 インバータ、100, 200, 300 信号伝送回路、103, 105, 109, 110, 111, 113, 622, 632, 642, 652, 660, 670 PMOSトランジスタ、104, 106, 112, 114, 209, 210, 624, 634, 644, 654 NMOSトランジスタ、600, 610 入力回路、700 内部回路、750 出力バッファ、1000 半導体集積回路。

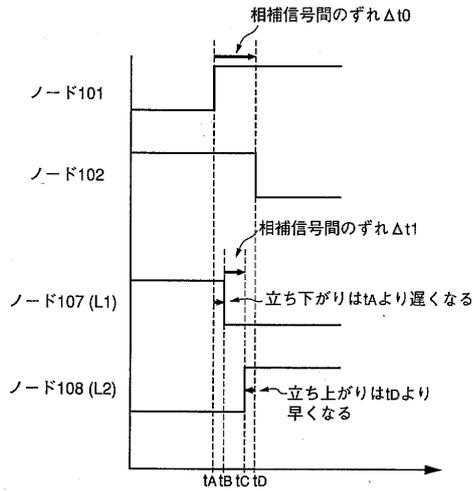
20

【図1】

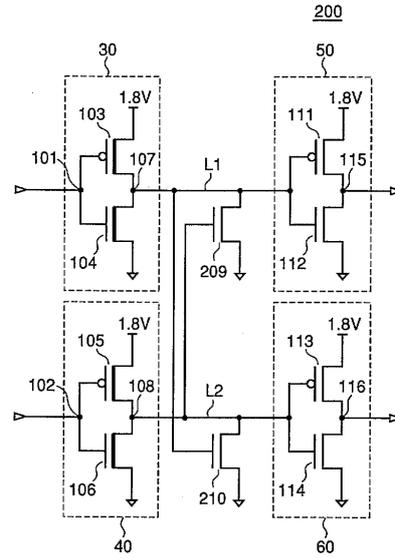
【図2】



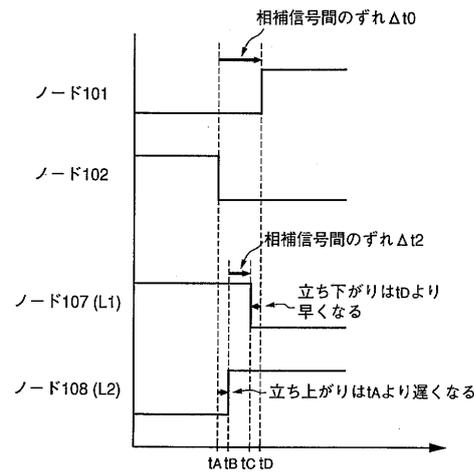
【図3】



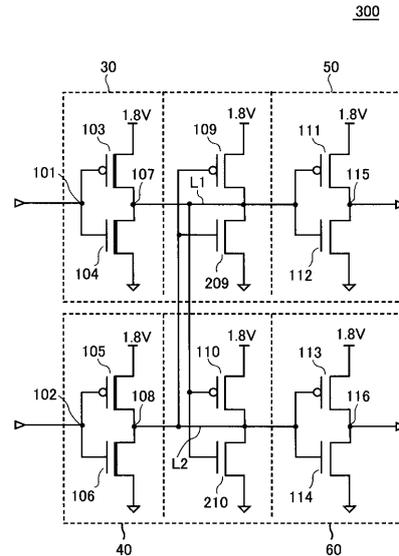
【図4】



【図5】



【図6】



フロントページの続き

- (72)発明者 和田 佳樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 近藤 晴房
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宮島 郁美

- (56)参考文献 特開平05-122053(JP,A)
特開平09-116420(JP,A)
特開2002-009605(JP,A)
特開平10-069780(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K19/00,19/01-19/082,19/092-19/096