



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|---|-------------------------------------|--|
| (51) 。 Int. Cl. G11C 11/408 (2006.01) G11C 8/06 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2006년12월11일 10-0656446 2006년12월05일 |
|---|-------------------------------------|--|

| | | |
|----------------------------------|---|------------------------|
| (21) 출원번호 (22) 출원일자 심사청구일자 | 10-2005-0115065 2005년11월29일 2005년11월29일 | (65) 공개번호 (43) 공개일자 |
|----------------------------------|---|------------------------|

| | | |
|---------------|--|-------------------|
| (73) 특허권자 | 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1 | |
| (72) 발명자 | 조주환 경기 안양시 동안구 평촌동 인덕원 대우아파트 109동 1801호 | |
| (74) 대리인 | 김성남 | |
| (56) 선행기술조사문헌 | JP07122067 A | KR1019990007322 A |
| | KR1020010007514 A | KR1020030033679 A |
| | * 심사관에 의하여 인용된 문헌 | |

심사관 : 김세영

전체 청구항 수 : 총 8 항

(54) 반도체 메모리 장치의 어드레스 입력 회로

(57) 요약

본 발명은 고속으로 동작하는 반도체 메모리 장치에 입력되는 각각의 어드레스의 타이밍 마진을 증가시키는 반도체 메모리 장치의 어드레스 입력 회로를 제시한다.

본 발명의 반도체 메모리 장치의 어드레스 입력 회로는 커맨드의 입력에 따라 내부 클럭과 어드레스를 입력 받아 상기 어드레스 중 X-어드레스만을 래치시키는 X-어드레스 래치부 및 커맨드의 입력에 따라 상기 내부 클럭과 상기 어드레스를 입력 받아 상기 어드레스 중 Y-어드레스만을 래치시키는 Y-어드레스 래치부를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 고속으로 동작하는 반도체 메모리 장치의 각각의 어드레스를 처리하는 데 드는 시간 마진을 증가시키는 이점이 있다.

대표도

도 3

특허청구의 범위

청구항 1.

커맨드의 입력에 따라 내부 클럭과 어드레스를 입력 받아 상기 어드레스 중 X-어드레스만을 래치시키는 X-어드레스 래치부; 및

커맨드의 입력에 따라 상기 내부 클럭과 상기 어드레스를 입력 받아 상기 어드레스 중 Y-어드레스만을 래치시키는 Y-어드레스 래치부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 2.

제 1 항에 있어서,

외부 클럭을 상기 내부 클럭으로 변환하여 상기 X-어드레스 래치부 및 상기 Y-어드레스 래치부에 전송하는 클럭 버퍼를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 3.

제 1 항에 있어서,

어드레스를 받아들여 일시 저장한 후 상기 X-어드레스 래치부 및 상기 Y-어드레스 래치부에 전송하는 어드레스 버퍼를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 4.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 어드레스 버퍼로부터 상기 X-어드레스 래치부 및 상기 Y-어드레스 래치부에 전송되는 어드레스에 대해 X-어드레스 또는 Y-어드레스를 정의하는 커맨드를 출력하여 상기 X-어드레스 래치부 또는 상기 Y-어드레스 래치부에 각각 전달하는 커맨드 디코더를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 5.

커맨드의 입력에 따라 내부 클럭과 어드레스를 입력 받아 상기 어드레스 중 X-어드레스만을 래치시키는 X-어드레스 래치부;

커맨드의 입력에 따라 상기 내부 클럭과 상기 어드레스를 입력 받아 상기 어드레스 중 Y-어드레스만을 래치시키는 Y-어드레스 래치부; 및

커맨드의 입력에 따라 상기 내부 클럭과 상기 어드레스를 입력 받아 상기 어드레스 중 프리차지 어드레스만을 래치시키는 프리차지 어드레스 래치부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 6.

제 5 항에 있어서,

외부 클럭을 상기 내부 클럭으로 변환하여 상기 X-어드레스 래치부, 상기 Y-어드레스 래치부 및 상기 프리차지 어드레스 래치부에 전송하는 클럭 버퍼를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 7.

제 5 항에 있어서,

칩 외부로부터 어드레스를 받아들여 일시 저장한 후 상기 X-어드레스 래치부, 상기 Y-어드레스 래치부 및 상기 프리차지 어드레스 래치부에 전송하는 어드레스 버퍼를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

청구항 8.

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 어드레스 버퍼로부터 상기 X-어드레스 래치부, 상기 Y-어드레스 래치부 및 상기 프리차지 어드레스 래치부에 전송되는 어드레스에 대해 X-어드레스 또는 Y-어드레스 또는 프리차지 어드레스 래치부를 정의하는 커맨드를 출력하여 상기 X-어드레스 래치부 또는 상기 Y-어드레스 래치부 또는 상기 프리차지 어드레스 래치부에 각각 전달하는 커맨드 디코더를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 어드레스 입력 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 어드레스 입력 회로에 관한 것으로, 보다 상세하게는 고속으로 동작하는 반도체 메모리 장치에 입력되는 각각의 어드레스의 타이밍 마진을 증가시키는 반도체 메모리 장치의 어드레스 입력 회로에 관한 것이다.

일반적으로 SDRAM(Synchronous Dynamic RAM)은 외부로부터 클럭(clock)을 입력 받아 내부 클럭으로 변환시킨 뒤 각각의 어드레스 및 데이터를 상기 내부 클럭에 동기시켜 처리한다. 상기 SDRAM 뿐만 아니라 DDR(Double Data Rate) SDRAM 등의 보다 진보된 형태의 반도체 메모리 장치에서도 클럭을 통해 어드레스 및 데이터를 입력 받는다. 이 때 어드레스는 제어하고자 하는 메모리 셀의 정보를 담고 있어야 하므로 로우(Row) 어드레스(이하, X-어드레스), 컬럼(Column) 어드레스(이하, Y-어드레스) 및 프리차지(precharge) 어드레스를 포함한다. 반도체 메모리 장치에서 수행하는 모드 레지스터 셋트(MRS), 액티브(active), 읽기(read), 쓰기(write) 및 프리차지(precharge) 등의 동작을 지시하는 커맨드(command)는 어드레스와 함께 입력되어 처리된다.

이하, 종래의 기술에 따른 어드레스 입력 회로를 도 1 및 도 2를 참조하여 설명하면 다음과 같다.

도 1은 종래의 기술에 따른 반도체 메모리 장치의 어드레스 입력 회로의 구성도이다.

도시한 어드레스 입력 회로는 칩 외부에서 전달되는 외부 클럭(ext_clk)을 변환하여 내부 클럭(int_clk)을 생성하는 클럭 버퍼(10), 칩 외부에서 전달되는 어드레스를 받아들여 일시 저장한 후 전송하는 어드레스 버퍼(20), 상기 어드레스에 대해 X-어드레스, Y-어드레스 또는 프리차지 어드레스를 정의하는 커맨드(command)를 출력하는 커맨드 디코더(30), 상기 커맨드 디코더(30)로부터 출력되는 복수 개의 커맨드(command) 신호를 하나로 조합하여 출력하는 신호 조합부(35), 상기 커맨드(command)의 입력에 따라 상기 클럭 버퍼(10)에서 출력된 상기 내부 클럭(int_clk)과 상기 어드레스 버퍼(20)에서

출력된 어드레스를 입력 받아 상기 내부 클럭(int_clk)의 라이징 에지 타임에 상기 어드레스를 래치시키는 어드레스 래치부(40), 상기 어드레스 래치부(40)에서 래치된 어드레스를 메모리 뱅크 영역으로 전송하는 X-어드레스 경로(50), 상기 어드레스 래치부(40)에서 래치된 어드레스를 메모리 뱅크 영역으로 전송하는 프리차지 어드레스 경로(60) 및 상기 어드레스 래치부(40)에서 래치된 어드레스를 메모리 뱅크 영역으로 전송하는 Y-어드레스 경로(70)로 구성된다.

상기 커맨드(command)의 어드레스 래치 지시에 따라 상기 어드레스 래치부(40)는 상기 어드레스 버퍼(20)로부터 어드레스를 입력 받아 상기 내부 클럭(int_clk)의 라이징 에지 타임에 상기 어드레스를 래치시킨다. 이 때 래치되는 어드레스에는 X-어드레스, Y-어드레스 및 프리차지 어드레스가 포함되어 있다. 상기 각각의 어드레스는 상기 커맨드 디코더(30)로부터 전달되는 커맨드(command)에 의해 X-어드레스, Y-어드레스 및 프리차지 어드레스로 구분된다. 상기 커맨드(command)에 의해 구분되는 상기 X-어드레스는 상기 어드레스 래치부(40)에서 래치되어 상기 X-어드레스 경로(50)에 전달되고 상기 커맨드(command)에 의해 구분되는 상기 Y-어드레스는 상기 Y-어드레스 래치부(40)에서 래치되어 상기 Y-어드레스 경로(60)에 전달되며 상기 커맨드(command)에 의해 구분되는 상기 프리차지 어드레스는 상기 어드레스 래치부(40)에서 래치되어 상기 프리차지 어드레스 경로(70)에 전달된다. 이후 상기 X-어드레스 경로(50), 상기 Y-어드레스 경로(60) 및 상기 프리차지 어드레스 경로(70)는 입력되는 어드레스들을 메모리 뱅크 영역으로 전송하여 각각의 메모리 뱅크 영역에 구비된 어드레스 디코더에서 디코딩 되도록 한다.

도 2는 종래의 기술에 따른 반도체 메모리 장치의 어드레스 입력 회로의 동작을 설명하기 위한 타이밍도이다.

도면을 통해 상기 내부 클럭(int_clk)의 첫 번째 라이징 에지 타임에 X-어드레스가 래치되고 상기 내부 클럭(int_clk)의 두 번째 라이징 에지 타임에 Y-어드레스가 래치되는 것을 확인할 수 있다.

저속으로 동작하는 반도체 메모리 장치에서는 이와 같은 방법으로 어드레스를 래치시켜도 문제될 것이 없었다. 그러나 고속으로 동작하는 반도체 메모리 장치에서는 이와 같은 방법으로 어드레스를 래치시키게 되면 하나의 어드레스를 처리하는 데 드는 시간이 더 짧아져야 한다. 즉 도 2의 경우, X-어드레스를 처리하지 못했는데도 Y-어드레스가 입력되어 래치되는 경우가 발생할 수 있다. 따라서 고속으로 동작하는 반도체 메모리 장치에서는 상술한 방법으로는 정상적인 어드레스 입력을 기대하기 어렵게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 반도체 메모리 장치의 어드레스 입력시 X-어드레스를 래치시키기 위한 래치부 및 Y-어드레스를 래치시키기 위한 래치부를 각각 구비함으로써 각각의 어드레스를 처리하는 데 드는 시간 마진을 증가시키는 반도체 메모리 장치의 어드레스 입력 회로를 제공하는 데에 그 기술적 과제가 있다.

발명의 구성

상술한 기술적 과제를 달성하기 위한 본 발명의 반도체 메모리 장치의 어드레스 입력 회로는, 커맨드의 입력에 따라 내부 클럭과 어드레스를 입력 받아 상기 어드레스 중 X-어드레스만을 래치시키는 X-어드레스 래치부; 및 커맨드의 입력에 따라 상기 내부 클럭과 상기 어드레스를 입력 받아 상기 어드레스 중 Y-어드레스만을 래치시키는 Y-어드레스 래치부;를 포함하는 것을 특징으로 한다.

이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

도 3은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 어드레스 입력 회로의 구성도이다.

본 발명에 따른 반도체 메모리 장치의 데이터 입력 회로는 도시한 바와 같이, 칩 외부에서 전달되는 외부 클럭(ext_clk)을 변환하여 내부 클럭(int_clk)을 생성하는 클럭 버퍼(100), 칩 외부에서 전달되는 어드레스를 받아들여 일시 저장한 후 전송하는 어드레스 버퍼(200), 상기 어드레스에 대해 X-어드레스 또는 Y-어드레스를 정의하는 커맨드(command)를 출력하는 커맨드 디코더(300), 커맨드(command)의 입력에 따라 상기 내부 클럭(int_clk)과 상기 어드레스를 입력 받아 상기 어드레스 중 X-어드레스만을 래치시키는 X-어드레스 래치부(400), 커맨드(command)의 입력에 따라 상기 내부 클럭(int_clk)과 상기 어드레스를 입력 받아 상기 어드레스 중 Y-어드레스만을 래치시키는 Y-어드레스 래치부(500), 상기 X-어드레스 래치부(400)에서 래치된 X-어드레스를 메모리 뱅크 영역으로 전송하는 X-어드레스 경로(700) 및 상기 Y-어드레스 래치부(500)에서 래치된 Y-어드레스를 메모리 뱅크 영역으로 전송하는 Y-어드레스 경로(800)로 구성된다.

상기 클럭 버퍼(100)에서 출력되는 상기 내부 클럭(int_clk)과 상기 어드레스 버퍼(200)에서 출력되는 상기 어드레스는 상기 X-어드레스 래치부(400) 및 상기 Y-어드레스 래치부(500)에 함께 입력된다. 그리고 X-어드레스의 래치 동작을 지시하는 커맨드(command)는 상기 X-어드레스 래치부(400)에 입력되고 Y-어드레스의 래치 동작을 지시하는 커맨드(command)는 상기 Y-어드레스 래치부(500)에 각각 입력된다. 이후 상기 X-어드레스의 래치 동작을 지시하는 커맨드(command)에 의해 상기 X-어드레스 래치부(400)는 상기 X-어드레스를 상기 내부 클럭(int_clk)을 이용하여 래치시킨다. 마찬가지로 상기 Y-어드레스의 래치 동작을 지시하는 커맨드(command)에 의해 상기 Y-어드레스 래치부(500)는 상기 Y-어드레스를 래치시킨다.

상기 X-어드레스 경로(700)는 상기 X-어드레스 래치부(400)로부터 전달되는 X-어드레스를 메모리 बैं크 영역으로 전송하고 상기 Y-어드레스 경로(800)는 상기 Y-어드레스 래치부(500)로부터 전달되는 Y-어드레스를 메모리 बैं크 영역으로 전송한다.

도 4는 도 3에 도시한 반도체 메모리 장치의 어드레스 입력 회로의 동작을 설명하기 위한 타이밍도이다.

도면을 통해 상기 내부 클럭(int_clk)의 첫 번째 라이징 에지 타임에 상기 X-어드레스가 래치되고 상기 내부 클럭(int_clk)의 두 번째 라이징 에지 타임에 Y-어드레스가 래치되는 것을 확인할 수 있다. 여기에서 상기 X-어드레스와 상기 Y-어드레스는 각각 다른 래치부에서 의해 래치된다. 따라서 상기 내부 클럭(int_clk)의 주파수가 높아진다고 해도 상기 X-어드레스의 처리 시간에 의해 상기 Y-어드레스의 처리 시간이 영향을 받지 않는다는 것을 알 수 있다.

도 5는 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 어드레스 입력 회로의 구성도이다.

본 발명의 다른 실시예에는 상기 X-어드레스 래치부(400), 상기 Y-어드레스 래치부(500) 외에 커맨드(command)의 입력에 따라 상기 내부 클럭(int_clk)과 상기 어드레스를 입력 받아 상기 어드레스 중 프리차지 어드레스만을 래치시키는 프리차지 어드레스 래치부(600) 및 상기 프리차지 어드레스 래치부(600)에서 래치된 프리차지 어드레스를 메모리 बैं크 영역으로 전송하는 프리차지 어드레스 경로(900)가 추가로 구비된다.

상기 프리차지 어드레스의 래치 동작을 지시하는 커맨드(command)에 의해 상기 프리차지 어드레스 래치부(600)는 상기 프리차지 어드레스를 상기 내부 클럭(int_clk)을 이용하여 래치시킨다. 이후 상기 프리차지 어드레스 경로(900)는 상기 프리차지 어드레스 래치부(600)로부터 전달되는 프리차지 어드레스를 메모리 बैं크 영역으로 전송한다.

이처럼 상기 X-어드레스 및 상기 Y-어드레스를 래치시키는 래치부를 각각 따로 구비하여 각각의 어드레스를 따로 처리하면 상기 반도체 메모리 장치에 고속으로 어드레스가 입력될 때 각각의 어드레스를 처리하기 위한 시간 마진을 넉넉히 확보할 수 있게 된다.

이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

이상에서 설명한 본 발명의 반도체 메모리 장치의 어드레스 입력 회로는 어드레스 입력시 X-어드레스를 래치시키기 위한 래치부 및 Y-어드레스를 래치시키기 위한 래치부를 각각 구비함으로써 각각의 어드레스를 처리하는 데 드는 시간 마진을 증가시키는 효과가 있다.

도면의 간단한 설명

도 1은 종래의 기술에 따른 반도체 메모리 장치의 어드레스 입력 회로의 구성도,

도 2는 종래의 기술에 따른 반도체 메모리 장치의 어드레스 입력 회로의 동작을 설명하기 위한 타이밍도,

도 3은 본 발명의 일 실시예에 따른 반도체 메모리 장치의 어드레스 입력 회로의 구성도,
 도 4는 도 3에 도시한 반도체 메모리 장치의 어드레스 입력 회로의 동작을 설명하기 위한 타이밍도,
 도 5는 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 어드레스 입력 회로의 구성도이다.

<도면의 주요 부분에 대한 부호 설명>

10/100 : 클럭 버퍼 20/200 : 어드레스 버퍼

30/300 : 커맨드 디코더 35 : 신호 조합부

40 : 어드레스 래치부 50/700 : X-어드레스 경로

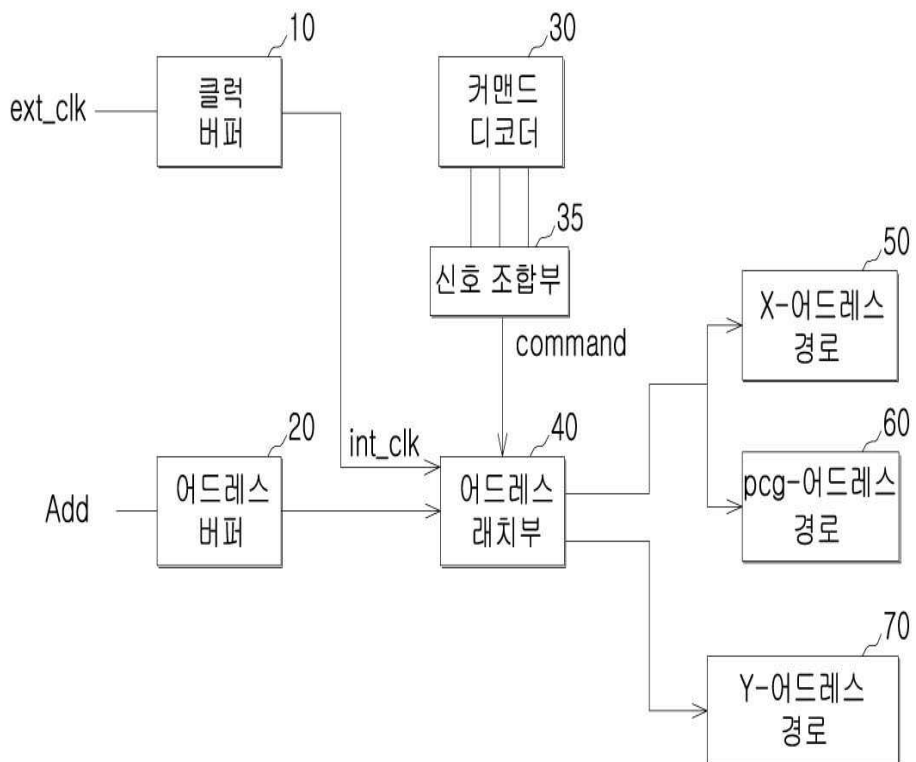
60/900 : 프리차지 어드레스 경로 70/800 : Y-어드레스 경로

400 : X-어드레스 래치부 500 : Y-어드레스 래치부

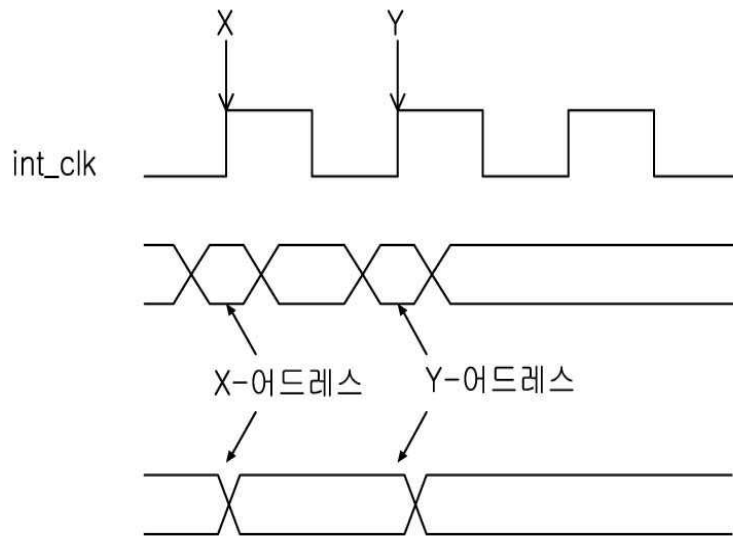
600 : 프리차지 어드레스 래치부

도면

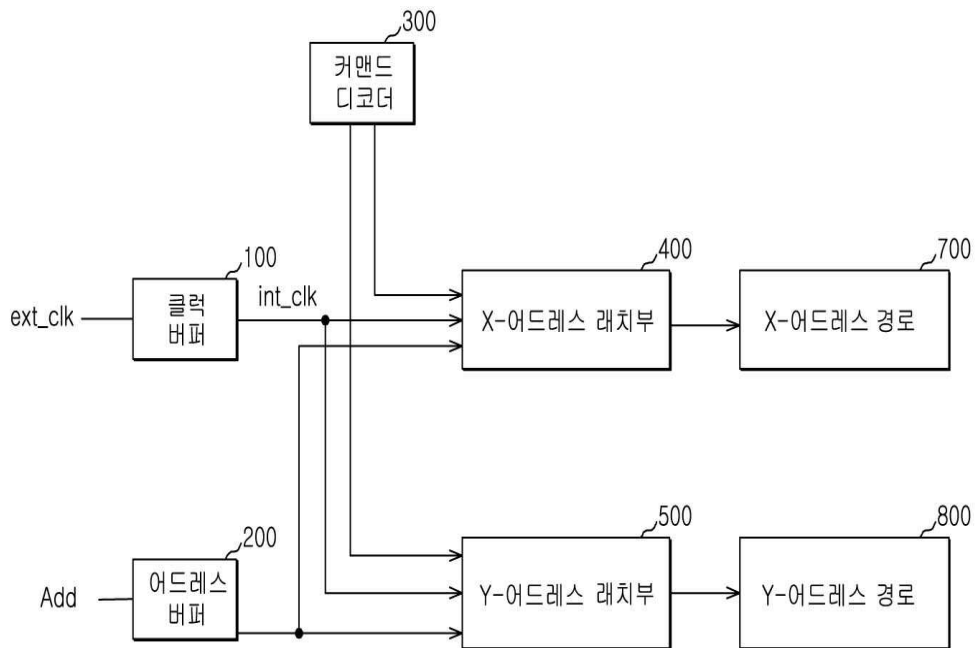
도면1



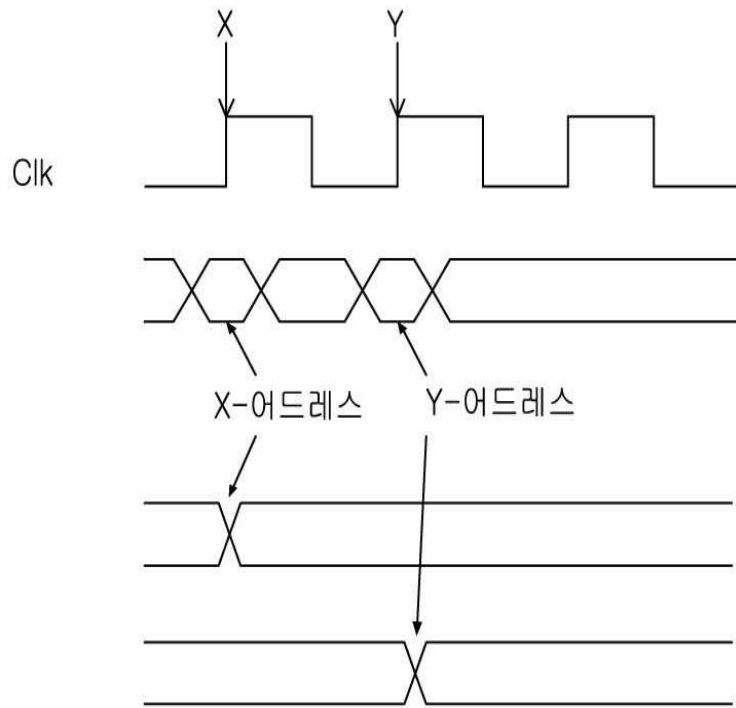
도면2



도면3



도면4



도면5

