



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0007270
(43) 공개일자 2008년01월17일

- | | |
|--|---|
| <p>(51) Int. Cl.
<i>H03K 19/0175</i> (2006.01)</p> <p>(21) 출원번호 10-2007-7027781</p> <p>(22) 출원일자 2007년11월28일
심사청구일자 2007년11월28일
번역문제출일자 2007년11월28일</p> <p>(86) 국제출원번호 PCT/US2006/016802
국제출원일자 2006년05월02일</p> <p>(87) 국제공개번호 WO 2006/119276
국제공개일자 2006년11월09일</p> <p>(30) 우선권주장
11/119,638 2005년05월02일 미국(US)</p> | <p>(71) 출원인
아트멜 코포레이션
미국 캘리포니아주 95131 산호세 오처드 파크웨이 2325</p> <p>(72) 발명자
위치, 매튜, 토드
미국 80920 콜로라도주 콜로라도 스프링스 햄튼 파크 웨이 3670</p> <p>(74) 대리인
양영준, 장수길</p> |
|--|---|

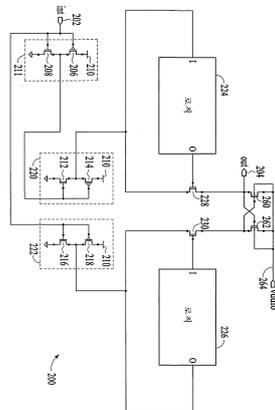
전체 청구항 수 : 총 20 항

(54) 전압 레벨 시프터

(57) 요약

전압 레벨 시프터에서, 입력 라인은 시프트될 입력 전압을 전달하도록 구성된다. 입력 라인으로부터 입력 전압을 수신하기 위해 트랜지스터들의 쌍이 접속되고 구성된다. 제1 측면 및 제2 측면이 존재하고, 각 측면은, 트랜지스터의 쌍에 접속된 저 전압 트랜지스터, 저 전압 트랜지스터에 접속된 중간 전압 트랜지스터, 중간 전압 트랜지스터에 접속된 고 전압 트랜지스터, 및 입력 전압보다 큰 출력 전압을 제공하기 위해 제1 및 제2 측면들에 접속된 출력 라인을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

전압 레벨 시프터(voltage-level shifter)로서,
 시프트될 입력 전압을 제공하기 위한 입력 라인;
 상기 입력 전압을 수신하기 위해 상기 입력 라인에 접속된 트랜지스터 쌍;
 제1 측면 및 제2 측면 - 각각의 측면은,
 상기 트랜지스터 쌍에 접속된 저 전압 트랜지스터;
 상기 저 전압 트랜지스터에 접속된 중간 전압 트랜지스터;
 상기 중간 전압 트랜지스터에 접속된 고 전압 트랜지스터를 포함함 -; 및
 상기 입력 전압보다 큰 출력 전압을 제공하기 위해, 상기 제1 및 제2 측면들 각각에 접속된 출력 라인
 을 포함하는 전압 레벨 시프터.

청구항 2

제1항에 있어서,
 상기 저 전압 트랜지스터들 각각은 얇은-산화물의(thin-oxide), 단채널(short-channel) 트랜지스터를 포함하는
 전압 레벨 시프터.

청구항 3

제1항에 있어서,
 상기 한 쌍의 트랜지스터는 인버터로서 구성되는 전압 레벨 시프터.

청구항 4

제1항에 있어서,
 상기 중간 전압 트랜지스터들의 각각은 상기 저 전압 트랜지스터들 각각을 과도한 전압으로부터 보호하는 전압
 레벨 시프터.

청구항 5

제1항에 있어서,
 상기 제1 측면 및 상기 제2 측면의 각각에 대해, 상기 저 전압 트랜지스터로부터 상기 중간 전압 트랜지스터로
 상기 신호를 반전하기 위한 인버터를 더 포함하는 전압 레벨 시프터.

청구항 6

제1항에 있어서,
 상기 중간 전압 트랜지스터들 각각은 약 0볼트의 문턱 전압을 갖는 중간 산화물 두께의 트랜지스터들을 포함하
 는 전압 레벨 시프터.

청구항 7

전압 레벨 시프터로서,
 신호를 수신하도록 구성된 입력 라인;
 상기 입력 라인으로부터 상기 신호를 수신하기 위해 상기 입력 라인에 접속된 제1 트랜지스터 쌍;
 상기 제1 트랜지스터 쌍으로부터 신호를 수신하기 위해 상기 제1 트랜지스터 쌍에 접속된 제2 트랜지스터 쌍;

상기 입력 라인으로부터 상기 신호를 수신하기 위해 상기 입력 라인에 접속된 제3 트랜지스터 쌍;

상기 제2 트랜지스터 쌍으로부터 신호를 수신하기 위해 상기 제2 트랜지스터 쌍에 접속된 제1 트랜지스터 - 상기 제2 트랜지스터 쌍으로부터의 상기 신호는 상기 제1 트랜지스터를 디어써트함(deasserting) - ;

상기 제3 트랜지스터 쌍으로부터 신호를 수신하기 위해 상기 제3 트랜지스터 쌍에 접속된 제2 트랜지스터 - 상기 제3 트랜지스터 쌍으로부터의 신호는 상기 제2 트랜지스터를 어써트함(asserting) - ;

상기 제1 및 제2 트랜지스터들로부터 신호를 수신하기 위해 상기 제1 및 제2 트랜지스터들에 접속된 제4 트랜지스터 쌍; 및

상기 제1 트랜지스터가 디어써트된(deasserted) 경우, 전압 레벨 시프트된 신호를 전송하기 위해 상기 제1 트랜지스터와 상기 제4 트랜지스터 쌍 사이에 접속된 출력 라인

을 포함하는 전압 레벨 시프터.

청구항 8

제6항에 있어서,

상기 제1, 제2 및 제3 트랜지스터 쌍은 얇은-산화물의, 단채널 트랜지스터들을 포함하는 전압 레벨 시프터.

청구항 9

제7항에 있어서,

상기 제1, 제2, 및 제3 트랜지스터 쌍들은 인버터들로서 구성되는 전압 레벨 시프터.

청구항 10

제8항에 있어서,

상기 제4 트랜지스터 쌍은 서로 교차 결합되는 전압 레벨 시프터.

청구항 11

제7항에 있어서,

상기 제1 및 제2 트랜지스터들은 상기 제2 및 제3 트랜지스터 쌍보다 더 높은 전압 수용성을 가지며, 상기 제1 및 제2 트랜지스터들은 상기 제2 및 제3 트랜지스터 쌍들을 과도한 전압으로부터 보호하는 전압 레벨 시프터.

청구항 12

제7항에 있어서,

상기 제4 트랜지스터 쌍은 상기 제1 및 제2 트랜지스터들보다 더 높은 전압 수용성을 갖는 전압 레벨 시프터.

청구항 13

제11항에 있어서,

상기 제4 트랜지스터 쌍은 상기 제1 및 제2 트랜지스터들보다 더 높은 전압 수용성을 가지는 전압 레벨 시프터.

청구항 14

제7항에 있어서,

상기 제2 트랜지스터 쌍으로부터 상기 제1 트랜지스터로 상기 신호를 반전하기 위한 수단; 및

상기 제3 트랜지스터 쌍으로부터 상기 제2 트랜지스터로 상기 신호를 반전하기 위한 수단을 더 포함하는 전압 레벨 시프터.

청구항 15

제7항에 있어서,

상기 제1 및 제2 트랜지스터들은 약 0볼트의 문턱 전압을 갖는 중간 산화물 트랜지스터들을 포함하는 전압 레벨 시프터.

청구항 16

전압 레벨 시프터로서,

시프트될 입력 전압을 전달하기 위한 입력 라인;

상기 입력 라인으로부터 상기 입력 전압을 수신하기 위해 상기 입력 라인에 접속된 트랜지스터 쌍;

상기 트랜지스터 쌍으로부터 신호를 수신하기 위해 상기 트랜지스터 쌍에 접속된 제1 저 전압 트랜지스터 쌍;

상기 입력 전압을 수신하기 위해 상기 입력 라인에 접속된 제2 저 전압 트랜지스터 쌍;

제1 저 전압 트랜지스터 쌍으로부터 신호를 수신하기 위해 상기 제1 저 전압 트랜지스터 쌍에 접속된 제1 중간 전압 트랜지스터;

상기 제2 저 전압 트랜지스터 쌍으로부터 신호를 수신하기 위해 상기 제1 저 전압 트랜지스터 쌍에 접속된 제2 중간 전압 트랜지스터; 및

상기 입력 라인에 상기 입력 전압을 수신하고, 상기 고 전압 트랜지스터와 상기 제1 중간 전압 트랜지스터 사이에 접속된 출력 라인에 출력 전압을 전달하기 위해 상기 제1 중간 전압 트랜지스터에 접속된 고 전압 트랜지스터 - 상기 출력 전압은 상기 입력 전압보다 큼 -

를 포함하는 전압 레벨 시프터.

청구항 17

제16항에 있어서,

상기 제1 및 제2 저 전압 트랜지스터 쌍은 얇은-산화물의, 단채널 트랜지스터를 포함하는 전압 레벨 시프터.

청구항 18

제16항에 있어서,

상기 트랜지스터 쌍은 인버터로서 구성되는 전압 레벨 시프터.

청구항 19

제16항에 있어서,

상기 제1 저 전압 트랜지스터 쌍으로부터 상기 제1 중간 전압 트랜지스터로, 그리고 상기 제2 저 전압 트랜지스터 쌍으로부터 상기 제2 중간 전압 트랜지스터로 상기 신호를 반전하기 위한 수단을 더 포함하는 전압 레벨 시프터.

청구항 20

제16항에 있어서,

상기 제1 및 제2 중간 전압 트랜지스터들은 약 0볼트의 문턱 전압을 갖는 중간 산화물 두께의 트랜지스터들을 포함하는 전압 레벨 시프터.

명세서

기술분야

<1> 본 발명은 일반적으로 집적 회로들에 관한 것으로, 특히 집적 회로용의 전압 레벨 시프터(voltage level shifter)에 관한 것이다.

배경기술

<2> 집적 회로들은 다수의 상이한 컴포넌트들을 포함하고, 다수의 상이한 설계에 의해 표현된다. 상이한 설계들의

예들은 디지털 신호 프로세서들, 중앙 처리 장치들, 필드-프로그램머블 게이트 어레이들(field-programmable gate arrays), 메모리 등이다. 비휘발성 메모리는 전력을 이용하거나 또는 이용하지 않고 데이터를 보존하는 메모리의 하나의 유형이다. 비휘발성 메모리의 제조사들은 그들의 메모리가 동작하는 속도를 개선하려 계속해서 힘쓰고 있으며, 전압 시프터(shiftter)는 메모리의 하나의 컴포넌트(component)이다.

- <3> 메모리 속도와 관련된 한가지 문제점은 낮은 입력 전압을 메모리에서 사용되는 더 높은 전압들로 시프트하는 중에 발견된다. 종래의 전압 시프터들은 비교적 낮은 전압, 예를 들어, 1.8V 로직 신호를, 비교적 높은 전압, 예를 들어, 3.3V 신호로 시프트시킨다.
- <4> 도 1은 종래의 전압 레벨 시프터(10)의 일레이다. 시프터(10)는 입력(12)에서 1.8V 신호를 수신하고, 그것을 출력(14)에서의 3.3V의 출력 신호로 시프트한다. 시프터(10)는 다음과 같이 동작한다.
- <5> 트랜지스터들(16 및 18)은 본질적으로 빠르고 작지만, 전원 공급원(20)으로부터 나오는 VDD까지의 전압만을 견딜 수 있는 얇은-산화물(thin-oxide), 단채널(short-channel) 트랜지스터들이다. 트랜지스터들(16 및 18)은 인버터 구성에 존재한다.
- <6> 트랜지스터들(22 및 24)은 트랜지스터들(16 및 18)보다 더 높은 전압을 견딜 수 있는, (트랜지스터들(16, 18)에 비해) 두꺼운-산화물(thick-oxide), 장채널(long-channel) 트랜지스터들이다. 트랜지스터(22)는 입력(12)에 접속되고 트랜지스터들(18 및 16)과 동일한 입력 신호를 수신한다. 그러나, 트랜지스터들(16 및 18)의 인버터 구성으로 인하여 트랜지스터(24)는 입력(12)의 반전된 신호를 수신한다. 입력(12)이 높은(VDD) 전압이라고 가정하면, 트랜지스터(22)의 게이트는 어써트(assert)되는 반면(예를 들어, N-채널 트랜지스터들에 대해 하이 전압이 됨), 트랜지스터(24)의 게이트는 디어써트된다(deasserted)(예를 들어, N-채널 트랜지스터들에 대해 로우 전압이 됨).
- <7> 트랜지스터(22)는 그것이 어써트 되고 있기 때문에 턴 온(turn on)되거나 또는 도통이 시작되는 반면, 트랜지스터(24)는 디어써트되고 있기 때문에 턴 오프(turn off)된다. 이것의 효과는, 3.3V인 전압 레벨 VCC에서의 파워(30)에 함께 접속되어 있는 트랜지스터(26)를 턴 온 또는 어써트하고, 트랜지스터(28)를 턴 오프 또는 디어써트하는 것이다. 트랜지스터들(28 및 26)은 (트랜지스터들(16 및 18)에 비해) 두꺼운-산화물의, 긴 P 채널 트랜지스터들이고, 따라서, 트랜지스터들(16 및 18)보다 더 높은 전압을 견딜 수 있다. 트랜지스터(24)가 오프 상태인 반면, 트랜지스터(26)는 온 상태이며 도통하고 있기 때문에, 출력(14)은 VCC에 있다. 따라서, 1.8V의 입력 전압이 3.3V로 레벨-시프트된다. 입력(12)이 0으로 되면, 출력 또한 0으로 될 것이라는 점에서, 반대의 상황이 성립한다.
- <8> 전압 레벨 시프터(10)와 관련된 한가지 문제점은 느리다는 점이다. 다수의 전자 시스템들에 있어서, 메모리가 하나의 예인데, 전반적인 시스템 성능에는 빠르게 기능하는 회로들이 중요하다.
- <9> 따라서, 더 빠른 전압 레벨 시프터가 요구된다. 본 발명은 그러한 요구에 대처한다.

발명의 상세한 설명

- <10> 본 발명은 이하를 포함하는 전압 레벨 시프터를 제공한다. 전압 레벨 시프터에서, 시프트될 입력 전압을 전달 하도록 입력 라인이 구성된다. 트랜지스터들의 쌍이 입력 라인으로부터 입력 전압을 수신하도록 접속되고 구성된다. 제1 측면과 제2 측면이 존재하며, 각각의 측면은, 트랜지스터 쌍에 접속된 저 전압 트랜지스터, 저 전압 트랜지스터에 접속된 중간 전압 트랜지스터, 중간 전압 트랜지스터에 접속된 고 전압 트랜지스터, 입력 전압보다 높은 출력 전압을 제공하기 위해 제1 및 제2 측면들에 접속된 출력 라인을 포함한다.
- <11> 본 명세서에서 개시된 방법 및 시스템에 따라서, 본 발명은 고 전압 스위칭 트랜지스터들을 중간 전압 트랜지스터들과 직렬로 연결된 저 전압 트랜지스터들로 교체한다. 저 전압 트랜지스터들은 매우 낮은 "온" 저항 및 낮은 캐패시턴스(capacitance)를 가져서, 그들을 비교적 빠르게 만들고, 중간 전압 트랜지스터들은 어써트 신호에 대해 고 전압 트랜지스터들보다는 더욱 빨리 반응한다. 교체의 전반적 효과는 입력 전압으로부터 출력 전압까지의 변환 속도를 증가시키는 것이다.

실시 예

- <16> 본 발명은 일반적으로 집적 회로에 관한 것으로, 특히 집적 회로용의 전압 레벨 시프터에 관한 것이다. 이하의 설명은, 본 기술 분야의 당업자가 본 발명을 이용하고 제작하는 것이 가능하도록 제시되며, 특허 출원 및 그것의 요구사항과 관련하여 제공된다. 본 명세서에서 설명된 바람직한 실시예들의 다양한 변경들 및 일반적 원리

들과 특징들은 본 기술분야의 당업자에게 매우 명백할 것이다. 따라서, 본 발명은 예시된 실시예들에 한정되는 것으로 의도되지 않으며, 본 명세서에서 설명된 원리들 및 특징들과 일치하는 광범위한 범주를 허용하는 것으로 의도된다.

- <17> 도 2는 본 발명의 일 실시예에 따른 전압 레벨 시프터(200)를 도시하는 회로도이다. 시프터(200)는 입력 전압, 예를 들어 입력(202)에서 1.8V를 수신하고, 이 입력 전압을, 예를 들어, 출력(204)에서의 3.3V의 출력 전압으로 시프트한다. 필요한 경우, 트랜지스터 크기의 변화에 대응하여 상이한 입력 및 출력 전압들을 이용할 수 있다. 시프터(200)는 다음과 같이 동작한다.
- <18> 트랜지스터(206 및 208)는 본질적으로 빠르고 작지만, 전력 공급원(210)으로부터의 VDD 전압까지만을 견딜 수 있는 얇은 산화물의 단채널(short-channel) 트랜지스터들이다. 일 실시예에서, VDD는 32 옹스트롬(Angstroms)의 산화물 두께 및 0.18 μm 의 채널 길이를 갖는 트랜지스터들(206 및 208)을 구비한 전력 공급 노드에서 1.8V일 수 있다. 트랜지스터(208)는 N-채널 트랜지스터이고, 트랜지스터(206)는 P-채널 트랜지스터이다. 트랜지스터 쌍(211)이 인버터 구성에 존재한다.
- <19> 트랜지스터들(206 및 208)은 입력(202)로부터 입력 전압을 수신한다. 트랜지스터 쌍(211)이 인버터로서 구성되므로, 트랜지스터 쌍(211)은 입력 전압의 반전된 신호를 출력한다. 예를 들어, 입력 전압이 하이이면, 트랜지스터 쌍(211)은 로우 전압을 출력하고, 그 반대의 경우 역시 출력된다.
- <20> 트랜지스터들(212, 214, 216 및 218)은 또한 본질적으로 빠르고 작지만, 전력 공급원(210)으로부터의 전압 VDD 까지만 견딜 수 있는 얇은 산화물의 단-채널 트랜지스터들이다. 일 실시예에서, VDD는 1.8V일 수 있고, 트랜지스터들(212, 214, 216 및 218)은 32 옹스트롬의 산화물 두께 및 0.78 μm 의 채널 길이를 갖는다. 트랜지스터들(214 및 218)은 P-채널 트랜지스터들이고, 트랜지스터들(212 및 216)은 N-채널 트랜지스터들이다. 트랜지스터 쌍(220 및 222)은 인버터 구성들에 존재한다.
- <21> 트랜지스터 쌍(222)이 입력(202)에 접속되어 트랜지스터 쌍(211)과 동일한 신호를 수신한다. 그러나, 트랜지스터 쌍(220)은, 트랜지스터 쌍(211)의 인버터 구성때문에, 입력(202)의 반전된 신호를 수신한다. 입력(202)이 하이(VDD) 전압이라 가정하면, 트랜지스터 쌍(220)은 로직 로우(low) 입력(예를 들어, N-채널 트랜지스터들에 대한 낮은 전압)을 수신하는 한편, 트랜지스터 쌍(222)은 로직 하이(high) 입력(예를 들어, N-채널 트랜지스터들에 대해 하이 전압)을 수신한다. 트랜지스터 쌍(220)은 어썬트 신호를 생성하고, 트랜지스터 쌍(222)은 하이(VDD) 전압 입력을 이용하여 디어썬트 신호를 생성한다.
- <22> 회로들(224 및 226)이 도 3에 매우 상세하게 설명된다. 도 3은 회로들(224 및 226)의 상세한 실시예를 부가한 도 2와 동일하다. 도 3에서, 회로들(224 및 226)은 서로 동일하고, 도 4의 로직 등가물을 생성한다. 회로들(224 및 226)은 트랜지스터 쌍(220 및 222)으로부터 각각 입력을 수신하고, 트랜지스터들(228 및 230)에 각각 출력한다. 간결성을 위해, 구현된 로직과 관련하여 회로들(224 및 226)의 기능이 다음에 설명된다.
- <23> 도 4는, 도 3의 회로들(224 및 226)에 의해 구현된 하나의 로직 기능을 도시하는 회로도이다. 입력 회로(300)는 도 3으로부터의 트랜지스터 쌍들(220 또는 222) 중 어느 하나일 수 있고, NAND 게이트(310)에 접속된다. 인버터들(320 및 325)의 논리적인 효과는 서로 상쇄되어 소멸되고, 따라서, 입력 회로(300)가 로우 전압(또는 N-채널 트랜지스터들에 대해 디어썬트)일 경우, NAND 게이트(310)는 하이(VDD) 전압(또는 N-채널 트랜지스터들에 대해 어썬트)을 출력 회로(340)에 전송한다. 출력 회로(340)는 도 2 또는 도 3에서의 트랜지스터들(228 또는 230) 중 어느 하나일 수 있다.
- <24> 입력 회로(300)가 하이(high)에서 로우(low) 로직으로 가는 경우, NAND 게이트(310)가 로우 입력을 수신하여, 그것을 실행하고, 출력 회로(340)에 로직 하이로 출력함에 따른 지연이 존재한다. 이 지연은 NAND 게이트(310)의 정상 동작 특성의 부분이다. 그러나, 입력 회로(300)가 로우에서 하이 로직으로 가는 경우, 인버터들(320 및 325) 및 캐패시터(330)에 의해 도입되는 추가적인 지연이 존재한다. NAND 게이트(310)의 출력을 하이 로직 출력으로부터 로우 로직 출력으로 전환하기 위해, NAND 게이트(310)로의 양쪽 입력들은 하이로 되어야 하고, 따라서, 인버터들(325 및 320)이 신호를 처리하고, 캐패시터(330)가 방전되며, 다음에 NAND 게이트(310)이 양쪽 입력들을 하이 로직으로서 수신함에 따른 추가적인 지연이 존재한다. 하이 로직 입력에서 로우 로직 입력으로 전환할 때에, 이 추가적인 지연의 중요성이 이하에서 논의될 것이다.
- <25> 도 3으로 돌아가서, 도 4에 설명된 로직과 관련하여 회로들(224 및 226)이 설명된다. 회로들(224 및 226)의 각각의 컴포넌트들은 이 실시예에서 그들의 기능이 동일하기 때문에 함께 명기되고 설명된다. 트랜지스터 블럭(232)은 트랜지스터들(234 및 236)을 포함하고, 인버터, 예를 들어 도 4의 인버터(320)로서 구성된다. 트랜지

스터 블럭(238)은 트랜지스터들(240 및 242)을 포함하고, 인버터, 예를 들어, 도 4의 인버터(325)로서 구성된다. 캐패시터(244)가 트랜지스터 블럭들(232 및 238) 사이에 접속되고, 도 4에서의 캐패시터(330)로서 기능한다. 트랜지스터 블럭(250)은 트랜지스터들(252, 254, 256 및 258)을 포함하고, 도 4에서의 NAND 게이트(310)로서 기능한다. 회로들(224 및 226)의 효과는 트랜지스터 쌍들(220 및 222)로부터 각각 신호를 수신하고, 신호를 반전하고, 그것을 트랜지스터들(228 및 230)에 전달한다. 회로들(224 및 226) 내의 트랜지스터들은 트랜지스터들(228 및 230)을 구동한다.

- <26> 도 2를 계속 설명하면, 트랜지스터들(228 및 230)은, 예를 들어, (트랜지스터들(206, 208, 212, 214, 216 및 218)과 비교하여) 90 옴스트롬의 중간 산화물 두께 및 약 0 볼트의 문턱 전압을 갖는다. 트랜지스터들(228 및 230)은 N-채널 트랜지스터들이고 과도한 전압으로부터 트랜지스터 쌍(220 및 222)을 보호하여, 그들이 크기가 작고, 적은 캐패시턴스 및 낮은 온 저항을 가지며, 따라서 종래의 시스템에서의 트랜지스터들보다 빠른 저 전압 트랜지스터들로부터 만들어질 수 있게 한다. 트랜지스터들(228 및 212) 및 또한 트랜지스터들(230 및 216)은 직렬 연결되어 있고, 종래의 시스템에서 트랜지스터들의 일부에 대한 기능적 교체로 간주될 수 있다. 종래의 시스템들보다 낮은 문턱 전압을 갖는 트랜지스터(228)와, 저 전압 트랜지스터이면서, 도전성이 높은 트랜지스터(212)와의 직렬 조합은 종래의 시스템들의 단일 고 전압 디바이스보다 더욱 도전성이 좋다.
- <27> 입력(202)에서의 높은(VDD) 전압 신호의 예를 계속하면, 트랜지스터 쌍(220)은 하이(VDD) 전압 신호(또는 본 실시예에서 어썬트 신호)를 회로(224)에 출력하고, 트랜지스터 쌍(222)은 로우 전압 신호(또는 본 실시예에서 디어썬트 신호)를 회로(226)에 출력한다. 회로(224)는 로우 전압(0V) 신호를 트랜지스터(228)에 출력하고, 회로(226)는 하이 전압(VDD) 신호를 트랜지스터(230)에 출력한다.
- <28> 회로의 설명을 계속하면, 트랜지스터들(260 및 262)은 (트랜지스터들(228 및 230)과 비교하여) 트랜지스터들(228 및 230)보다 높은 전압을 견딜 수 있는 두꺼운-산화물의, 긴(long) P-채널 트랜지스터들이다. 트랜지스터들(260 및 262)은 서로 교차 결합되고, 입력 전압이 시프트해야 하는 전압 레벨, 예를 들어, 3.3V 전력 공급원에 접속된다.
- <29> 입력(202)에서의 하이(VDD) 전압의 예를 계속하면, 트랜지스터(228)는 로우 전압 및 디어썬트 신호를 수신하고, 트랜지스터(230)는 하이 전압 또는 어썬트 신호를 수신한다. 트랜지스터들(228 및 212)은 본 예에서 디어썬트되는 반면, 트랜지스터들(230 및 216)은 어썬트된다. 트랜지스터(260)의 게이트는 접지로 연결되고 따라서 어썬트된다. 트랜지스터들(228 및 212)은 디어썬트되기 때문에, 전력 공급원(264)로부터의 전압은 출력(204)으로 전달된다. 마찬가지로, 하이 전압은 트랜지스터(262)의 게이트를 디어썬트한다.
- <30> 반대로, 입력(202)이 로우인 경우, 트랜지스터(216)는 디어썬트되고 트랜지스터 쌍(222)의 출력은 하이이다. 이 실시예에서, 트랜지스터(230)를 완전히 턴 오프하기 위하여, 트랜지스터(230)의 게이트 전압은, 입력(202)에서 0 볼트를 가지며, 0 볼트에 도달해야 하고 트랜지스터들(216 및 230) 사이의 라인선 0 볼트 위로 상승해야 하며, 그렇지 않다면, 트랜지스터(230)는 그것의 낮은 문턱 전압으로 인하여 전류를 누설할 수 있다. 입력(202)이 하이에서 로우로 감에 따라, 트랜지스터들(216 및 218)은 상태들을 전환한다. 트랜지스터(230)는 부분적으로는 그것이 트랜지스터들(216 및 218)과 비교하여 더 느리기 때문에, 또한 부분적으로는 전술된 회로(226)로부터의 추가적인 지연에 기인하여, 소정의 시간이 경과할 때까지 전환하지 않는다. 트랜지스터들(218 및 230)이 온 상태이고, 트랜지스터(216)는 오프 상태일 때, 트랜지스터(218)에 의해 야기된 전압은 트랜지스터(260)의 게이트 전압을 상승시켜서, 레벨 변환을 가속하는데 조력한다. 트랜지스터(230)의 전환에 대한 지연이 끝난 후에, 트랜지스터(230)는 차단되며, 트랜지스터(260)의 게이트는 어느정도 트랜지스터(218)에 의해 브링 업(bring up)되어 있고, 그것이 차단될 때까지 트랜지스터(262)에 의해 브링 업될 것이다.
- <31> 본 발명의 장점들은 얇은-산화물의, 저 전압 트랜지스터들을 이용하는 전압 레벨 변환의 속도를 개선하는 것을 포함한다. 본 발명은 일반적으로 전압 레벨 시프터들에 적용되고, 특히 비휘발성 메모리에서 전압을 1.8V 입력 신호로부터 3.3V 출력 신호로 시프트하는데 적용된다.
- <32> 본 발명은 도시된 실시예들에 따라 설명되었으며, 본 기술분야의 당업자는 실시예들에 대한 변경들이 있을 수 있고, 임의의 변경은 본 발명의 범주와 사상 내에 있을 수 있음을 쉽게 인식할 것이다. N 및 P-채널 트랜지스터들은 단지 예시적인 것이며, 각각은 본 기술분야에 잘 알려져 있는 후속하는 설계 변경을 이용하여 다른 것들로 대체될 수 있음을 본 기술분야의 당업자라면 인식할 것이다. 또한, 본 발명은 레벨 시프터를 사용하는 임의의 집적 회로에 적용될 수 있다. 따라서, 첨부된 청구범위의 범주와 사상으로 부터 벗어나지 않으면서 다수의 변경들이 본 기술분야의 당업자에 의해 이루어질 수 있다.

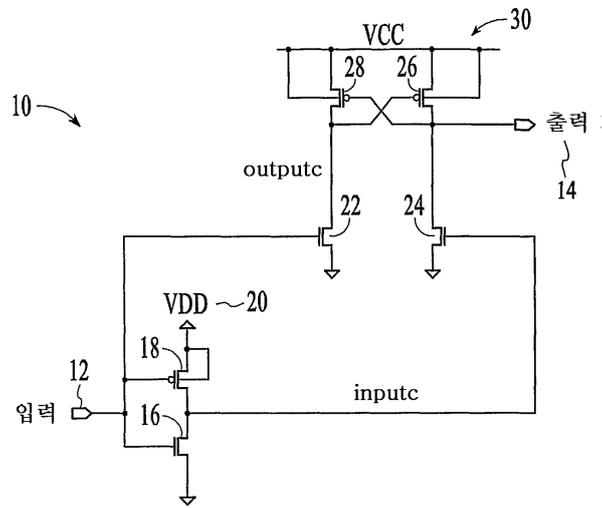
도면의 간단한 설명

- <12> 도 1은 종래의 전압 레벨 시프터의 일례이다.
- <13> 도 2는 본 발명의 일 실시예에 따른 전압 레벨 시프터를 도시하는 회로도이다.
- <14> 도 3은 본 발명의 일 실시예에 따른 전압 레벨 시프터를 도시하는 회로도이다.
- <15> 도 4는 도 3의 회로에 의해 구현되는 하나의 로직 기능을 도시하는 회로도이다.

도면

도면1

(종래 기술)



도면2

