



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0035991  
(43) 공개일자 2016년04월01일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 21/3213 (2006.01) H01L 21/02 (2006.01)<br/>H01L 21/306 (2006.01) H01L 21/311 (2006.01)</p> <p>(52) CPC특허분류<br/>H01L 21/32134 (2013.01)<br/>H01L 21/02109 (2013.01)</p> <p>(21) 출원번호 10-2015-0133942<br/>(22) 출원일자 2015년09월22일<br/>심사청구일자 없음</p> <p>(30) 우선권주장<br/>14/494,914 2014년09월24일 미국(US)</p> | <p>(71) 출원인<br/>램 리써치 코포레이션<br/>미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이 4650</p> <p>(72) 발명자<br/>심스 제임스 에스.<br/>미국, 오리건 97223, 티가드, 사우스웨스트 미셀 코트 13537<br/>켈크너 캐서린 엠.<br/>미국, 오리건 97209, 포틀랜드, 노스웨스트 에버렛 스트리트 2081, 303호<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>오세일</p> |
|---|--|

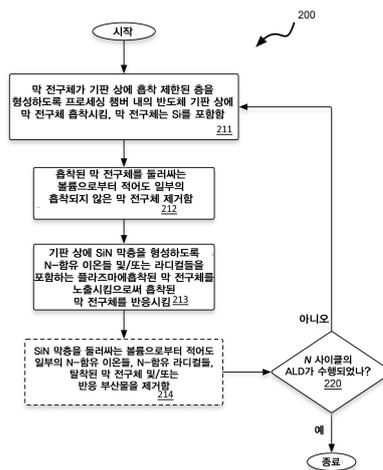
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 ALD에 의해 형성된 실리콘 나이트라이드 막의 피쳐-내 습식 에칭 레이트의 균일한 감소를 위한 방법들 및 장치들

(57) 요약

감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하는 방법들이 본 명세서에 개시된다. 방법들은 전구체의 흡착 제한된 층을 형성하기 위해 프로세싱 챔버 내에서 반도체 기관 상에 Si를 포함하는 막 전구체를 흡착하는 단계, 및 이어서 흡착된 전구체를 둘러싸는 불륨으로부터 흡착되지 않은 전구체를 제거하는 단계를 포함할 수도 있다. 흡착된 전구체는 이어서 기관 상에 SiN 막층을 형성하기 위해 N-함유 이온들 및/또는 라디칼들을 포함하는 플라즈마에 노출됨으로써 반응될 수도 있고, 그리고 SiN 막층은 이어서 He 플라즈마에 노출됨으로써 치밀화될 수도 있다. 전술한 단계들은 이어서 기관 상에 또 다른 치밀화된 SiN 막층을 형성하도록 반복될 수도 있다. 또한 전술한 기법들을 채용하는 반도체 기관들 상에 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치가 본 명세서에 개시된다.

대표도 - 도2



(52) CPC특허분류

*H01L 21/02208* (2013.01)

*H01L 21/0228* (2013.01)

*H01L 21/30604* (2013.01)

*H01L 21/311* (2013.01)

(72) 발명자

**헨리 존**

미국, 오리건 97068, 웨스트 린, 마일즈 드라이브  
21330

**하우스만 데니스 엠.**

미국, 오리건 97034, 레이크 오스위고, 레이크리지  
드라이브 16951

**명세서**

**청구범위**

**청구항 1**

프로세싱 챔버 내의 반도체 기판 상에 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법으로서,

(a) 막 전구체가 상기 반도체 기판 상에 흡착 제한된 층을 형성하도록 상기 프로세싱 챔버 내의 상기 반도체 기판 상에 상기 막 전구체를 흡착시키는 단계로서, 상기 막 전구체는 Si를 포함하는, 상기 막 전구체를 흡착시키는 단계;

(b) 상기 흡착된 막 전구체를 둘러싸는 볼륨으로부터 적어도 일부의 흡착되지 않은 막 전구체를 제거하는 단계;

(c) 상기 단계 (b) 에서 상기 흡착되지 않은 막 전구체를 제거한 후, 상기 흡착된 막 전구체를 상기 기판 상에 SiN 막층을 형성하도록 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 노출함으로써 상기 흡착된 막 전구체를 반응시키는 단계;

(e) 상기 SiN 막층을 He를 포함하는 플라즈마에 0.5 내지 15 초간 노출시킴으로써 상기 SiN 막층을 치밀화하는 단계로서, 상기 He를 포함하는 플라즈마는 약 0.035 내지 2.2 W/cm<sup>2</sup>의 상기 기판 표면에 대한 전력 밀도를 갖는, 상기 SiN 막층을 치밀화하는 단계; 및

(g) 상기 기판 상에 또 다른 치밀화된 SiN 막층을 형성하도록 상기 단계 (a), (b), (c), 및 (e) 를 반복하는 단계를 포함하는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 2**

제 1 항에 있어서,

(d) 상기 단계 (c) 에서 반응시키는 단계 후 및 상기 단계 (e) 에서 치밀화하는 단계 전에 상기 SiN 막층을 둘러싸는 상기 볼륨으로부터 N-함유 이온들, N-함유 라디칼들, 탈착된 막 전구체, 및/또는 반응 부산물 중 적어도 일부를 제거하는 단계를 더 포함하고, 그리고

상기 단계 (g) 는 상기 단계 (d) 를 반복하는 단계를 더 포함하는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 3**

제 2 항에 있어서,

(f) 상기 단계 (e) 에서 치밀화하는 단계 후에 상기 SiN 막층을 둘러싸는 상기 볼륨으로부터 적어도 일부의 He를 제거하는 단계를 더 포함하고, 그리고

상기 단계 (g) 는 상기 단계 (f) 를 반복하는 단계를 더 포함하는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 4**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 막 전구체는 하나 이상의 할로젠들을 더 포함하는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 5**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 막 전구체는 2 이상의 할로젠들을 더 포함하는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 6**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 막 전구체는, 디클로로실란, 헥사클로로디실란, 테트라클로로실란, 및 아미노실란들로부터 선택되는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 7**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 단계 (c) 에서 상기 흡착된 막 전구체가 노출되는 상기 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마는 NH<sub>3</sub>, N<sub>2</sub>, 및 아민들로부터 선택된 N-함유 플라즈마 전구체에 RF EM (electromagnetic) 방사선을 인가함으로써 형성되는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 8**

제 7 항에 있어서,

상기 N-함유 플라즈마 전구체는 NH<sub>3</sub> 및 t-부틸 아민으로부터 선택되는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 9**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 단계 (c) 에서 상기 흡착된 막 전구체가 노출되는 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마는 약 0.035 내지 2.2 W/cm<sup>2</sup>의 전력 밀도를 갖고,

상기 흡착된 막 전구체는 약 0.1 내지 6 초 동안 상기 플라즈마에 노출됨으로써 반응되는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 10**

제 9 항에 있어서,

상기 단계 (c) 에서의 상기 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마의 상기 전력 밀도에 대한, 상기 단계 (e) 에서의 상기 He를 포함하는 플라즈마의 상기 전력 밀도의 비는 1보다 작은, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 11**

제 10 항에 있어서,

상기 단계 (c) 에서의 플라즈마 노출 시간에 대한 상기 단계 (e) 에서의 플라즈마 노출 시간에 대한 비는 1보다 큰, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 12**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 단계 (e) 에서 상기 SiN 층이 노출되는 상기 He를 포함하는 플라즈마는 약 0.070 내지 0.28 W/cm<sup>2</sup>의 전력 밀도를 갖고, 상기 단계 (e) 에서 상기 SiN 층은 약 4 내지 8 초 동안 상기 플라즈마에 노출됨으로써 치밀화되는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 13**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 단계 (e) 동안 상기 기판을 둘러싸는 상기 볼륨 내의 He의 분압은 약 2 내지 6 torr인, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 14**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 단계 (a), (b), (c), 및 (e) 동안 상기 프로세싱 챔버 내의 온도는 약 500 °C 이하인, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 15**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 증착된 SiN 막은 23 °C 및 760 torr에서 100:1 몰비 HF 용액에 노출될 때 약 50 Å/분 이하의 습식 에칭 레이트를 갖는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 16**

제 15 항에 있어서,

상기 반도체 기판은 피처 내에 상단 영역 및 측벽들을 포함하는 상기 피처를 갖고,

상기 SiN 막은 상기 피처 내의 상기 상단 영역 상 및 상기 측벽들 상에 증착되고, 그리고

상기 피처 내의 상기 상단 영역 상 및 상기 측벽들 상의 상기 증착된 SiN 막은 23 °C 및 760 torr에서 100:1 몰비 HF 용액에 노출될 때 약 50 Å/분 이하의 습식 에칭 레이트를 갖는, 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법.

**청구항 17**

반도체 기판들 상에 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치로서,

프로세싱 챔버;

상기 프로세싱 챔버 내의 기판 홀더;

상기 프로세싱 챔버 내로 가스들을 흘리기 위한 하나 이상의 유입부들;

상기 프로세싱 챔버로부터 가스들을 제거하기 위한 진공 소스;

상기 프로세싱 챔버 내에 플라즈마를 생성하기 위한 플라즈마 생성기; 및

기판들 상에 SiN 막층들을 증착하기 위해 상기 하나 이상의 가스 유입부들, 상기 진공 소스, 및 상기 플라즈마 생성기를 동작시키기 위한 머신-관독가능 인스트럭션들을 포함하는 하나 이상의 제어기들을 포함하고,

상기 하나 이상의 제어기들의 상기 인스트럭션들은,

(a) 막 전구체를 상기 프로세싱 챔버 내로 흘리도록 상기 하나 이상의 가스 유입부들을 동작시키고 상기 막 전구체가 반도체 기판 상에 흡착 제한된 층을 형성하도록 상기 기판 홀더 내에 홀딩된 상기 반도체 기판 상에 상기 막 전구체를 흡착시키기 위한 인스트럭션으로서, 상기 막 전구체는 Si를 포함하는, 상기 가스 유입부들을 동작시키고 상기 막 전구체를 흡착시키기 위한 인스트럭션;

(b) 상기 흡착된 막 전구체를 둘러싸는 볼륨으로부터 적어도 일부의 흡착되지 않은 막 전구체를 제거하도록 상기 진공 소스를 동작시키기 위한 인스트럭션;

(c) 상기 (b) 에서 상기 흡착되지 않은 막 전구체를 제거한 후, N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마를 생성하도록 상기 플라즈마 생성기를 동작시키고 상기 반도체 기판 상에 SiN 막층을 형성하도록 상기 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 상기 흡착된 막 전구체를 노출함으로써 상기 흡착된 막 전구체를 반응시키기 위한 인스트럭션;

(e) 상기 (c) 에서 상기 흡착된 막 전구체를 반응시킨 후, 약 0.035 내지 2.2 W/cm<sup>2</sup>의 상기 기판 표면에 대한 전력 밀도를 갖는 He를 포함하는 플라즈마를 생성하도록 상기 플라즈마 생성기를 동작시키고 그리고 상기 SiN 막층을 상기 He를 포함하는 플라즈마에 0.5 내지 15 초간 노출시킴으로써 상기 SiN 막층을 치밀화하기 위한 인스트럭션; 및

(g) 상기 반도체 기판 상에 또 다른 치밀화된 SiN 막층을 형성하도록 상기 (a), (b), (c), 및 (e) 를 반복시키기 위한 인스트럭션을 포함하는, 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치.

**청구항 18**

제 17 항에 있어서,

상기 하나 이상의 제어기들의 상기 인스트럭션들은,

(d) 상기 (c) 에서의 반응 후 및 상기 (e) 에서의 치밀화 전에 상기 SiN 막층을 둘러싸는 상기 불륨으로부터 N-함유 이온들, N-함유 라디칼들, 탈착된 막 전구체, 및/또는 반응 부산물 중 적어도 일부를 제거하도록 상기 진공 소스를 동작시키기 위한 인스트럭션을 더 포함하고, 그리고

상기 (g) 는 상기 (d) 를 반복시키는 것을 더 포함하는, 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치.

**청구항 19**

제 18 항에 있어서,

상기 하나 이상의 제어기들의 상기 인스트럭션들은,

(f) 상기 (e) 에서의 치밀화 후에 상기 SiN 막층을 둘러싸는 상기 불륨으로부터 적어도 일부의 He를 제거하도록 상기 진공 소스를 동작시키기 위한 인스트럭션을 더 포함하고, 그리고

상기 (g) 는 상기 (f) 를 반복시키는 것을 더 포함하는, 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치.

**청구항 20**

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 플라즈마 생성기는 상기 (e) 에서 상기 SiN 층이 노출되는 상기 He를 포함하는 플라즈마가 약 0.070 내지 0.28 W/cm<sup>2</sup>의 전력 밀도를 갖도록 동작되고, 그리고

상기 (e) 에서 상기 SiN 층은 약 4 내지 8 초 동안 상기 플라즈마에 노출됨으로써 치밀화되는, 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치.

**청구항 21**

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 하나 이상의 가스 유입부들 및 진공 소스는 상기 (e) 동안 상기 기판을 둘러싸는 상기 불륨 내의 He의 분압이 약 2 내지 6 torr이도록 동작되는, 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치.

**발명의 설명**

**배경 기술**

[0001]

반도체 산업에서 디바이스 및 피쳐들의 사이즈가 계속해서 축소되고, 또한 3D 디바이스들 구조들 (예를 들어, Intel의 Tri-Gate 트랜지스터 아키텍처) 이 집적 회로 (IC) 설계에서 보다 일반적이 되기 때문에, 얇은 컨포멀 막들 (conformal films) (비평면 (non-planar) 이더라도, 아래에 놓인 구조체의 형상에 비해 균일한 두께를 갖는 재료의 막들) 을 증착하는 능력이 계속해서 중요해질 것이다. ALD (Atomic layer deposition) 는, ALD의 단일의 사이클은 단지 재료의 단일 박층을 증착하고, 막 전구체 자체의 막-형성 화학 반응에 앞서 기판 표면 상에 흡착할 수도 있는 (즉, 흡착 제한된 층을 형성하는) 하나 이상의 막 전구체 반응물질들의 양으로 두께가 제한된다는 사실로 인해, 컨포멀 막들을 증착하는데 적합한 막 형성 기법이다. 복수의 "ALD 사이클들"은 목표된 두께의 막을 구축하기 위해 사용될 수도 있고, 층 각각은 얇고 컨포멀하기 때문에, 최종 막은 실질적으로 아래에 놓인 디바이스 구조체의 형상을 따른다.

[0002]

실리콘 나이트라이드 (SiN) 막들은 현대 트랜지스터 설계들의 제조시 ALD를 통해 형성될 수도 있는 다양한 유전체 막 중 하나의 중요한 막이다. 이들 아키텍처들에서의 SiN 막들의 역할로 인해, 종종 낮은 습식 에칭 레이트

를 갖는 것이 SiN 막에 대해 바람직하다. 여전히, 통상적인 열 예산 제한들 내에서 ALD 프로세스들을 통한 이러한 에칭-내성 SiN 막들의 형성을 달성하는 것은 어렵다. 따라서, 이러한 막들을 형성하기 위한 개선된 방법들 및 장치가 탐구되었다.

**발명의 내용**

[0003]

프로세싱 챔버 내의 반도체 기관 상에 감소된 습식 에칭 레이트를 갖는 SiN 막을 증착하기 위한 방법이 본 명세서에 개시된다. 방법들은 막 전구체가 반도체 기관 상에 흡착 제한된 층을 형성하도록 프로세싱 챔버 내의 반도체 기관 상에 막 전구체를 흡착시키는 단계로서, 막 전구체는 Si를 포함하는, 막 전구체를 흡착시키는 단계 및 이어서 흡착된 막 전구체를 둘러싸는 볼륨으로부터 적어도 일부의 흡착되지 않은 막 전구체를 제거하는 단계를 포함할 수도 있다. 흡착되지 않은 막 전구체를 제거한 후, 이어서 흡착된 막 전구체는 기관 상에 SiN 막층을 형성하도록 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 노출됨으로써 반응될 수도 있다. 그 후, 방법들은 SiN 막층을 He를 포함하는 플라즈마에 0.5 내지 15 초간 노출시킴으로써 SiN 막층을 치밀화하는 단계를 더 포함할 수도 있다. He 플라즈마는 약 0.035 내지 2.2 W/cm<sup>2</sup>의 기관 표면에 대한 전력 밀도를 가질 수도 있다. 이어서 전술한 단계들은 기관 상에 또 다른 치밀화된 SiN 막층을 형성하도록 반복될 수도 있다.

[0004]

또한, 반도체 기관들 상에 감소된 습식 에칭 레이트들을 갖는 SiN 막들을 증착하기 위한 장치들이 본 명세서에 개시된다. 장치들은 프로세싱 챔버, 프로세싱 챔버 내의 기관 홀더, 프로세싱 챔버 내로 가스들을 흘리기 위한 하나 이상의 유입부들, 프로세싱 챔버로부터 가스들을 제거하기 위한 진공 소스, 프로세싱 챔버 내에 플라즈마를 생성하기 위한 플라즈마 생성기를 포함할 수도 있다. 장치들은 기관들 상에 SiN 막층들을 증착하기 위해 하나 이상의 가스 유입부들, 진공 소스, 및 플라즈마 생성기를 동작시키기 위한 머신-판독가능 인스트럭션들을 포함하는 하나 이상의 제어기들을 더 포함할 수도 있다. 이들 인스트럭션들은: 막 전구체를 프로세싱 챔버 내로 흘리도록 하나 이상의 가스 유입부들을 동작시키고 막 전구체가 반도체 기관 상에 흡착 제한된 층을 형성하도록 기관 홀더 내에 홀딩된 반도체 기관 상에 막 전구체를 흡착시키기 위한 인스트럭션으로서, 막 전구체는 Si를 포함하는, 가스 유입부들을 동작시키고 막 전구체를 흡착시키기 위한 인스트럭션; 흡착된 막 전구체를 둘러싸는 볼륨으로부터 적어도 일부의 흡착되지 않은 막 전구체를 제거하도록 진공 소스를 동작시키기 위한 인스트럭션; 흡착되지 않은 막 전구체를 제거한 후 실행될, N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마를 생성하도록 플라즈마 생성기를 동작시키고 반도체 기관 상에 SiN 막층을 형성하도록 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 흡착된 막 전구체를 노출함으로써 흡착된 막 전구체를 반응시키기 위한 인스트럭션; 및 흡착된 막 전구체를 반응시킨 후 실행될, 약 0.035 내지 2.2 W/cm<sup>2</sup>의 기관 표면에 대한 전력 밀도를 갖는 He를 포함하는 플라즈마를 생성하도록 플라즈마 생성기를 동작시키고 그리고 SiN 막층을 He를 포함하는 플라즈마에 0.5 내지 15 초간 노출시킴으로써 SiN 막층을 치밀화하기 위한 인스트럭션을 포함할 수도 있다. 인스트럭션들은 반도체 기관 상에 또 다른 치밀화된 SiN 막층을 형성하도록 전술한 인스트럭션들을 반복하기 위한 인스트럭션을 더 포함할 수도 있다.

**도면의 간단한 설명**

[0005]

도 1a는 막 각각의 습식 에칭 레이트의 증착 온도에 대한 의존도를 보여주는 SiN 막들에 대한 데이터를 제공하는 도면이다.

도 1b는 습식 에칭 전후 440 °C에서 증착된 SiN 막을 갖는 기관 피처의 투과 전자 현미경 (transmission electron microscope) 화상들을 제공하는 도면이다.

도 1c는 습식 에칭 전후 520 °C에서 증착된 SiN 막을 갖는 기관 피처의 투과 전자 현미경 화상들을 제공하는 도면이다.

도 2는 SiN 막들을 형성하기 위한 기준 ALD 프로세스의 흐름도이다.

도 3은 ALD 사이클의 부가적인 단계로서 헬륨 플라즈마 처리를 채용하는 수정된 ALD 프로세스의 흐름도이다.

도 4a는 다양한 온도들에서 다양한 ALD 타입 막 형성 기법들을 사용하여 증착된 예시적인 SiN 막들의 세트에 대한 습식 에칭 레이트 결과들을 제공하는 도면이다. 결과들은 예시적인 SiN 막 각각에 대한 반도체 기관 상의 고충형비 피처의 상단 영역들 및 측벽들에 대해 개별적으로 플롯팅되었다.

도 4b는 도 4a에 플롯팅된 결과들에 대응하는, 증착 시 및 에칭 후, 반도체 기관의 고충형비 피처의 TEM (transmission electron microscopy) 화상들을 디스플레이한다.

도 4c는 4 개의 점진적으로 상승하는 온도들에서 기준 ALD 프로세스에 대응하는 습식 에칭 레이트 결과들 및 프로세스 특정 최적화들을 사용하거나 사용하지 않는 ALD 사이클의 부가적인 단계로서 He 플라즈마 처리를 채용하는 수정된 ALD 프로세스에 대응하는 습식 에칭 레이트 결과들을 제공하는 도면이다.

도 4d는 도 4c에 플롯팅된 프로세스 최적화된 결과들에 대응하는, 증착 시 및 에칭 후, 반도체 기판의 고종횡비 피처의 TEM 화상들을 디스플레이한다.

도 5는 단일 프로세스 스테이션을 갖는 프로세싱 챔버를 갖는 기판 프로세싱 장치의 단면 개략도이다.

도 6은 2 개의 프로세스 스테이션들로부터 기판들을 로딩 및 언로딩하기 위한 기판 핸들러 로봇, 프로세스 스테이션들 사이에서 기판들을 이송하기 위한 캐로질, 및 장치를 동작시키기 위한 제어기를 갖는 4-스테이션 기판 프로세싱 장치의 개략도이다.

### 발명을 실시하기 위한 구체적인 내용

[0006]

이하의 기술에서, 다수의 구체적인 상세들이 본 실시예들의 전체적인 이해를 제공하기 위해 언급된다. 그러나 본 발명은 이들 구체적인 상세들 중 일부 또는 전부 없이 실시될 수도 있다. 다른 예들에서, 공지의 프로세스 동작들 또는 하드웨어는 제공된 성과의 발명적인 양태들을 불필요하게 모호하게 하지 않도록 상세히 기술되지 않았다. 본 발명이 구체적인 상세한 실시예들에 관하여 기술될 것이지만, 이는 이들 구체적인 상세한 실시예들이 본 명세서에 개시된 발명적인 개념들의 범위를 제한하는 것으로 의도되지 않는다는 것이 이해될 것이다.

[0007]

컨포멀한 전통적으로, SiN은 적합하게 에칭-내성 SiN 막들을 생성하는 고온에서 대형 노들에서 증착되었다. 다음 세대 디바이스들의 제조시 증착 온도들을 감소시키기 위한 요건들을 사용하여, 노-기반 열적 증착 방법들은 돌출된 성능 요건들을 만족시키는데 실패한다. 그러나, 플라즈마 활성화된 ALD 프로세스들은 특정한 상승된 온도들에서 습식 에칭-내성 SiN 막들을 생성하는 능력을 갖지만, -특별한 절차들/프로세스 수정들 없이- 보다 낮은 온도들이 채용될 때 발생하는 막들은 높은 습식 에칭 레이트들-및 고종횡비 디바이스들이 고려될 때 통상적으로 불균일한 습식 에칭 레이트들을 겪게 된다. 증착 온도가 감소됨에 따라 ALD-형성된 SiN 막들의 습식 에칭 레이트들 (WER)의 상승은 도 1a에 도시된 데이터에 의해 예시된다. 기판 피처의 측벽 및 상단 영역 모두 상의 SiN 막들에 대응하는 데이터가 도시되고, 양자는 온도가 하강됨에 따라 동일하게 바람직하지 않은 WER의 상승을 대략적으로 나타낸다. 습식 에칭 전후 440 °C ALD 프로세스로 형성된 SiN 막을 갖는 기판 피처의 TEM (transmission electron microscope) 화상들이 도 1b에 도시된다. 이 화상들은 440 °C 프로세스 온도에서 형성된 SiN 막의 실질적인 에칭 제거를 도시한다. 반대로, 520 °C의 보다 높은 증착 온도에서의 에칭 내성이, 동일하게 습식 에칭 전후 보다 높은 프로세스 온도에서 형성된 SiN 막을 디스플레이하는, 도 1c에서 TEM 화상들에 의해 예시된다.

[0008]

일부 환경들에서, 높은 프로세스 온도 이외의 기법들은 ALD-형성된 SiN 막들 내에서 낮은 WER들을 달성하기 위해 사용될 수도 있다. 예를 들어, 일부 경우들에서 낮은 WER들은 도핑 절차들 및/또는 어닐링 절차들을 사용함으로써 달성될 수도 있다. 그러나, 도핑은 일반적으로 기판으로 하여금 산화 플라즈마를 겪게 하는 공통 프로세스 흐름들과 양립가능하지 않고, 산화 플라즈마는 도펀트들을 제거하고/하거나 변경하는 경향이 있다. 유사하게, 어닐링은 통상적으로 현재 및 다음 세대 아키텍처들의 제조와 연관된 상술한 열적 예산 제한들로 인해 수용가능하지 않다.

[0009]

따라서, 대안적인 저온 ALD 프로세스들은 에칭-내성 컨포멀 SiN 막들을 생성하기 위해 탐색되었다. 이러한 프로세스들은 통상적으로 기본적인 ALD 프로세스 시퀀스에 대한 하나 이상의 수정들을 수반한다.

[0010]

재료의 막을 형성하기 위한 ALD 기법을 채용하는 반도체 제조 단계는 통상적으로 ALD의 복수의 순차적인 사이클들을 채용한다. ALD의 단일 사이클은 단지 재료의 박막을 증착한다 (종종 단 하나의 분자층 두께). 상당한 목표된 두께의 막을 구축하기 위해, 복수의 ALD 사이클들이 수행될 수 있다. 따라서 순차적으로 반복되는 "ALD 사이클"의 개념이 존재한다.

[0012]

기준 ALD 사이클

[0013]

간단히 말하면, 기판 상에 SiN 막의 단층을 형성하기 위한 기본 "ALD 사이클"은 다음의 단계들: (i) 막 전구체 도징/흡착, (ii) 흡착되지 않은 전구체의 도즈-후 제거, (iii) 흡착된 전구체의 플라즈마-활성화된 반응/변환, 및 선택적으로, (iv) 탈착된 전구체 및/또는 반응 부산물의 반응-후 제거를 포함할 수도 있다. 동작들 (i) 내

지 (iii) - 및 일부 실시예들에서 또한 (iv) - 은 따라서, 기판 상에 막의 부가적인 층들을 증착하고 그에 따라 목표된 대로 상당한 두께의 막을 구축하기 위해 나중에 1회 이상 반복될 수도 있는 ALD의 단일 사이클을 구성한다.

[0014] 보다 심도 깊게, 이러한 SiN 증착을 위한 기본적인 ALD 프로세스 시퀀스는 도 2의 흐름도에 개략적으로 예시된다. 이 도면에 도시된 바와 같이, 단일 ALD 사이클은 막 전구체가 기판 상에 흡착 제한된 층을 형성하도록 프로세싱 챔버 내의 반도체 기판 상에 막 전구체를 흡착시키는 동작 211로 시작할 수도 있다. SiN 막의 증착을 위해, 막 전구체는 통상적으로 Si를 포함하고, 따라서 성장하는 SiN 막을 위한 Si 소스로서 기능한다. 흡착/도즈 동작에 흡착된 막 전구체를 둘러싸는 볼륨으로부터 적어도 일부의 흡착되지 않은 막 전구체를 제거하는 동작 212가 이어진다. 그 후, 동작 213에서, 흡착된 막 전구체는 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 노출됨으로써 반응한다. 이는 이어서 기판 상에 SiN 막층의 형성을 발생시킨다. 마지막으로, 일부 실시예들에서 (도 2에서 파선 박스로 나타낸 바와 같이) 그리고 막형성 반응의 화학물질에 따라, 동작 213에 SiN 막층을 둘러싸는 볼륨으로부터 N-함유 이온들, N-함유 라디칼들, 탈착된 막 전구체, 및/또는 반응 부산물 중 적어도 일부를 제거하기 위한 동작 214가 이어질 수도 있다.

[0015] 동작들 211 내지 214의 전술한 시퀀스는 SiN 막의 단층의 형성을 발생시키는 단일 ALD 사이클을 나타낸다. 그러나, ALD를 통해 형성된 막의 단층이 통상적으로 매우 얇고 -종종 단지 단일 분자 두께임- 복수의 ALD 사이클들은 상당한 두께의 SiN 막을 구축하기 위해 차례로 반복된다. 따라서, 도 2를 다시 참조하면, 상기 N 층들의 막이 증착되고 (또는 증가적으로, N 층 막이라고 할 수 있음), 이어서 복수의 ALD 사이클들 (동작들 211 내지 214) 이 차례로 반복되고, ALD 사이클 각각이 동작 214로 종료된 후, 동작 220에서, N 사이클의 ALD가 수행되었는지 여부가 결정된다. 이어서, N 사이클들이 수행되었으면, 막형성 동작들은 종료되고, 그렇지 않으면, 프로세스 시퀀스는 ALD의 또 다른 사이클을 시작하도록 동작 211로 돌아간다. 이렇게 함으로써, 목표된 두께의 컨포멀 막이 증착될 수도 있다.

[0016] 방금 기술된 ALD 사이클의 단계 (i) 동안 -즉, 막 전구체 도징/증착-실리콘-함유 막 전구체는 약 1 내지 5 sL/m (standard liters per minute), 또는 보다 특별히 약 3 내지 5 sL/m, 또는 더욱 특별히 약 4 내지 5 sL/m, 또는 약 4.5 sL/m 의 레이트로 반응 챔버로 흐를 수도 있다. 이들 값들은 300 mm 직경 웨이퍼들을 핸들링하도록 설계된 4 스테이션 반응 챔버에 대응한다. 플로우 레이트들은 보다 크거나 보다 작은 직경의 웨이퍼들에 대해, 보다 많거나 보다 적은 수의 스테이션들을 갖는 반응 챔버들에 대해 비례적으로 조정될 것이다. 물론, 심지어 고정된 수의 스테이션들 및 웨이퍼 사이즈에 대해, 반응 챔버의 체적이 또한 플로우 레이트의 선택에 영향을 준다. 따라서, 실시예에 따라, 실리콘-함유 막 전구체는, 전구체가 약 1 내지 50 torr, 보다 특별히 약 10 내지 20 torr, 또는 일부 실시예들에서, 약 8 내지 12 torr, 또는 약 10 torr의 챔버 내 분압을 갖도록, 반응 챔버로 흐를 수도 있다. 플로우의 지속 기간은 약 1 내지 15 초, 또는 보다 특별히 약 1 내지 5 초, 또는 한층 보다 특별히 약 2 내지 3 초, 또는 약 2.5 초 동안일 수도 있다.

[0017] 실시예에 따라, 실리콘을 함유하는 것에 부가하여, 단계 (i) 동안 기판 상에 흡착된 막 전구체는 하나 이상의 할로젠들 또는 2 이상의 할로젠들을 포함할 수도 있다 (이하의 할로실란들의 기술을 참조). 후자의 예들은 디클로로실란, 헥사클로로디실란, 테트라클로로디실란을 포함한다. 일부 실시예들에서, 단계 (i) 동안 흡착된 실리콘-함유 막 전구체는 아미노실란들로부터 선택될 수도 있다.

[0018] 방금 기술된 ALD 사이클의 단계 (ii) 동안 -즉, 흡착되지 않은 전구체의 도즈 후 제거- 퍼지는 1 내지 10 초 동안, 또는 보다 특별히 약 1 내지 3 초 동안, 또는 약 2초 동안 약 10 내지 40 sL/m의 플로우 레이트로 반응 챔버로 흐른 불활성 퍼지 가스 (예를 들어, N<sub>2</sub> 또는 Ar) 를 채용할 수도 있다. 다시, 이들 값들은 300 mm 직경 웨이퍼들을 핸들링하도록 설계된 4 스테이션 반응 챔버에 대응한다. 플로우 레이트들은 다시 보다 많거나 보다 적은 수의 스테이션들을 갖는 반응 챔버들에 대해 또는 보다 크거나 보다 작은 직경의 웨이퍼들에 대해 비례적으로 조정될 것이다. 일부 실시예들에서, 이러한 퍼지에 펌프-투-베이스 (PTB: pump-to-base) -즉, 챔버를 통상적으로 달성하는 것이 상당히 실현가능한만큼 낮은 기준 압력으로 펌핑다운- 가 이어질 수도 있다. PTB는 하나 이상의 진공 펌프들에 반응 챔버를 직접적으로 노출시킴으로써 달성될 수도 있다. 일부 실시예들에서, 기준 압력은 통상적으로 수 milliTorr일 수도 있다 (예를 들어, 약 1 내지 20 mTorr).

[0019] 방금 기술된 ALD 사이클의 단계 (iii) 동안 -즉, 흡착된 전구체의 플라즈마-활성화된 반응/변환- 흡착된 실리콘-함유 막 전구체가 노출되어 SiN 막층을 형성하는 표면 반응을 발생시키는 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마가 생성된다. 플라즈마는 RF EM (electromagnetic) 방사선을, 암모니아 (NH<sub>3</sub>), 분자

질소 가스 (N<sub>2</sub>), t-부틸 아민과 같은 아민, 또는 전술한 것들의 조합일 수도 있는, 질소-함유 플라즈마 전구체에 인가함으로써 형성된다.

[0020] 그러나, 일부 실시예들에서, N-함유 플라즈마를 생성하기 전에, N-함유 플라즈마 전구체 (예를 들어, NH<sub>3</sub>) 의 사전-흐름 (pre-flow) 이 약 0.5 내지 10 초, 또는 보다 특별히, 약 4 내지 8 초, 또는 약 6 초 동안 확립된다. 플로우 레이트는 약 1 내지 10 sL/m, 또는 보다 특별히 약 4 내지 6 sL/m, 또는 약 3 sL/m일 수도 있지만, 다시, 이 값들은 300 mm 웨이퍼들을 핸들링하기 위한 4 개의 스테이션들을 갖는 챔버에 대응하고, 따라서 실시예에 따라, N-함유 플라즈마 전구체는 약 1.5 내지 6 torr, 또는 보다 특히 약 1.5 내지 3 torr, 또는 약 2 torr의 플라즈마 전구체의 분압을 확립하기 위한 방식으로 반응 챔버로 흐를 수도 있다.

[0021] 계속해서 단계 (iii) 를 참조하면, 사전-흐름 후, RF 전력은 N-함유 이온들 및/또는 N-함유 라디컬들을 갖는 플라즈마를 생성하도록 스위칭 온된다. 플라즈마 생성 동안 플라즈마 전구체에 대한 실행가능한 플로우들 및 분압들은 사전-흐름에 대해 방금 기술된 바와 동일할 수도 있다. 플라즈마를 생성하기 위한 RF 전력은, 13.56 MHz (27.12 MHz, 40.68 MHz, 또는 54.24 MHz, 등과 같은 13.56 MHz의 양의 정수배가 또한 실시예에 따라 사용될 수도 있지만, 13.56 MHz 또는 이의 배수에 대한 일부 주파수 튜닝은 또한 이하에 더 상세히 기술될 바와 같이 또한 채용될 수도 있다) 의 주파수를 갖는, 약 100 내지 6000 W, 또는 보다 특별히 약 400 내지 5100 W, 또는 한층 보다 특별히 약 900 내지 4100 W, 또는 더욱 더 한층 보다 특별히 약 2500 내지 3500 W, 또는 약 3000 W일 수도 있다. RF 전력은 SiN 막 형성 표면 반응을 유발하는, 약 0.1 내지 6 초 동안 플라즈마의 N-함유 이온들 및/또는 N-함유 라디컬들에 대한 흡착된 실리콘-함유 막 전구체의 대응하는 노출 시간을 발생시키는 약 0.1 내지 6 초 동안 스위칭 온된 채로 남을 수도 있다. 보다 특별히, RF 전력은 약 0.5 내지 3 초 동안, 또는 약 0.5 내지 2 초 동안, 또는 약 1 내지 2 초 동안 스위칭 온 (및 흡착된 막 전구체가 플라즈마에 노출) 될 수도 있다. 다시, 이들 플라즈마 전력들은 300 mm 직경 웨이퍼들을 핸들링하기 위한 4 프로세스 스테이션들을 갖는 챔버에 대응한다는 것이 이해되어야 한다. 이와 같이, 단계 (iii) 에 대한 적절한 플라즈마 전력 밀도들은 약 0.035 내지 2.2 W/cm<sup>2</sup> (0.035  $\approx$  100/(4\* $\pi$ \*15<sup>2</sup>) 이고 2.2  $\approx$  6000/(4\* $\pi$ \*15<sup>2</sup>) 이기 때문에) 일 수도 있고, 상기 언급된 다른 플라즈마 전력 값들 및 범위들에 대해 유사하다.

[0022] 일부 실시예들에서, 플라즈마 노출 시간과 플라즈마 전력 간에 트레이드오프 (tradeoff) 가 있는 것을 알게 되었다 - 즉, 짧은 노출 시간은 높은 플라즈마 전력으로 잘 동작하고, 긴 노출 시간은 낮은 플라즈마 전력으로 잘 동작하고, 그리고 중간 노출 시간은 중간 플라즈마 전력으로 잘 동작한다.

[0023] ALD 사이클의 선택적인 단계 (iv) -탈착된 전구체 및/또는 반응 부산물의 반응 후 제거- 에 대해 방금 기술된 바와 같이, 제거는 약 1 내지 10 초 동안, 또는 보다 특별히 약 1 내지 3 초 동안, 또는 약 2 초 동안, 약 10 내지 40 sL/m의 플로우 레이트에서 불활성 퍼지 가스 (예를 들어, Ar 또는 N<sub>2</sub>) 로 챔버를 퍼지함으로써 달성될 수도 있다. 다시, 플로우 레이트들은 300 mm 직경 웨이퍼들을 핸들링하기 위한 4 스테이션들을 갖는 챔버에 대응하고, 따라서 보다 크거나 보다 작은 직경들을 갖는 보다 많거나 보다 적은 수의 웨이퍼들을 핸들링하는 보다 크거나 보다 작은 챔버들에 대해 비례적으로 조정될 것이다. 압력의 관점에서, 퍼지 동안 챔버 내의 압력은 약 2 내지 10 torr, 또는 보다 특별히 약 4 내지 8 torr, 또는 약 6 torr일 수도 있다. 제거 단계 (ii) 와 마찬가지로, 일부 실시예들에서, PTB는 또한 제거를 용이하게 하도록 단계 (iv) 동안 채용될 수도 있다.

[0024] 따라서, 동작들 (ii) 및 (iv) 에서의 제거는 일반적으로 기판을 둘러싸는 볼륨을 퍼지, 기준 압력으로 펌핑 다운함으로써 배기 ("펌프-투-다운"), 등을 통해 수행될 수도 있다. 일부 실시예들에서, 이들 퍼지들은 본 명세서에서 "1차 퍼지" 또는 "버스트 퍼지 (burst purge)" 및 "2차 퍼지"로서 참조되는 것으로 논리적으로 분할될 수도 있다. (1차/버스트 퍼지 및 2차 퍼지의 사용은, 모든 목적들을 위해 전체가 본 명세서에 참조로서 인용된, 2014년 7월 30일 출원된 명칭이 "METHODS AND APPARATUSES FOR SHOWERHEAD BACKSIDE PARASITIC PLASMA SUPPRESSION IN A SECONDARY PURGE ENABLED ALD SYSTEM"인 미국 특허 출원 제 14/447,203 호에 상세히 기술된다.)

[0026] 수정된 ALD 사이클

[0027] 상기에 나타낸 바와 같이, 기본적인 ALD 사이클 시퀀스에 대한 다양한 수정들이 ALD 형성된 SiN 막의 에칭-내성을 상승시키기 위해 시도하도록 탐구되었다. 일 기법에서, 펄싱된 플라즈마 모드 (펄싱된 RF 필드는 플라즈마를 지지하도록 사용됨) 는 SiN 막이 증착될 때 SiN 막의 치밀화를 야기하는 플라즈마 활성화된 반응/변환 단계

(상기 단계 (iii)) 에서 사용될 수도 있고, SiN 막의 습식 에칭 레이트를 하강시킨다. (치밀화 및 이를 습식 에칭 레이트와 관련시키는 방법은 이하에 더 상세히 기술되지만, 간단히 말하면, 치밀한 SiN 막은 보다 에칭-내성이 되는 경향이 있다). 이러한 펄싱된 플라즈마 모드는, 모든 목적들을 위해 전체가 본 명세서에 참조로서 인용된, 2013년 12월 30일 출원된 명칭이 "Plasma enhanced atomic layer deposition with pulsed plasma exposure"인 미국 특허 출원 제 14/144,107 호 (미국 특허 공개 제 2014/0113457 호) 에 상세히 기술된다.

[0028]

또 다른 기법에서, 아르곤 플라즈마 처리 단계가 도즈-후 제거 단계 (상기 단계 (ii)) 후 그러나 플라즈마 활성화된 반응 단계 (단계 (iii)) 전에 ALD 사이클에 삽입될 수도 있다. Ar 플라즈마 처리는 Ar를 챔버로 흘리는 단계, Ar 플라즈마를 생성하도록 RF 필드를 인가하는 단계, 및 Ar 플라즈마 노출에 후속하여, 프로세스 챔버로부터 Ar 가스를 제거하는 단계를 포함한다. 다시, 이는 (상기에 상세히 기술된 바와 같이, 상이한 플라즈마를 수반하는) 플라즈마 활성화된 반응/변환 단계 (iii) 에 앞서 종료된다. ALD 사이클의 이 상태에서 삽입되어, Ar 플라즈마 처리는 Si-Si 결합을 촉진하고 따라서 SiN 막을 치밀화한다.

[0029]

여전히 또 다른 기법에서, ALD에 기초하지만, 전구체 흡착/도즈 단계 (상기 단계 (i)) 의 말단에서 CVD (chemical vapor deposition) 페이즈 (phase) 를 채용하는 하이브리드 방법이 막을 치밀화하기 위해 사용될 수도 있다. 이는 흡착되지 않은 가스상 전구체가 다음 단계 (상기 단계 (iii)) 에서 프로세싱 챔버로부터 제거되기 전에 도즈되는 막 전구체의 가스상에 대해 짧은 지속 기간 동안 RF 방사선을 인가함으로써 구현될 수도 있다. (통상적인 ALD에서, 변환 반응이 플라즈마 활성화될 때 흡착된 막 전구체만이 프로세싱 챔버 내에 남는다). 이는 또한 가스상 CVD 반응들을 통한 막으로의 Si 통합을 촉진함으로써 증착된 SiN 막의 치밀화를 발생시킨다.

[0030]

마지막으로, SiN 막이 증착될 때 SiN 막을 치밀화하도록 설계된 제 4 기법은 이하에 보다 상세히 기술될 바와 같이, 헬륨 플라즈마 처리를 채용하고, 반응 변환 단계 (iii) 및 선택적인 제거 단계 (iv) 후에 SiN 막의 증착된 막을 치밀화하는 부가적인 단계 (v) 로서 추가된다. ALD 사이클들 동안 부가적인 단계 (v) 로서 주기적인 He 플라즈마 처리들을 수반하는 이러한 제 4 기법은 -이하에 보다 상세히 기술될 정확한 프로세스 조건들 하에서- 블랭크된 SiN 막들의 보다 낮은 습식 에칭 레이트들, 중요하게, 패터닝된 기판 피처의 모든 사이드들 상에서 보다 낮은 습식 에칭 레이트들을 발생시킬 수 있다는 것을 발견하였다. 또한, 이러한 수정된 ALD 기법은 이전에 가능하다고 생각되었던 것보다 낮은 증착 온도들에서 (피처 상단들 및 하단들 대 측벽들에 대한) 실질적으로 균일한 습식 에칭 레이트들을 달성할 능력을 갖는다는 것이 발견되었다.

[0031]

특정한 이론으로 제한되지 않고, 플라즈마의 여기된 상태의 헬륨에 의해 방출된 진공 자외 (VUV: vacuum ultraviolet) 방사선이 이 수정된 ALD 사이클의 He 플라즈마 처리 단계의 습식 에칭 레이트 (WER) 감소 효과에 대한 책임이 있다고 생각되었다. 실험들은, WER이 -통상적으로 SiN 막에 대한 질소의 소스로서 사용된 본래의 반응성 종으로부터 N-H 결합 잔류물로 존재하는- 증착된 SiN 막의 수소의 밀도에 밀접하게 결부된다는 것을 나타낸다. He 플라즈마로부터 방출된 VUV 방사선은 N-Si 결합들과의 치환으로 발생된 이들 N-H 결합들을 부수고, SiN 막을 치밀화하고 SiN 막을 보다 에칭 내성으로 만든다고 생각된다. 부가적으로, 그리고 다시, 특정한 이론으로 제한되지 않고, 여기된 상태의 He 종의 상대적으로 긴 수명은 이들의 VUV 방출 (및 이들의 접지 상태로의 쇠퇴 (decay)) 전에 고 중형비 3D 구조체들로 확산하도록 충분한 시간을 제공하고 따라서 고 중형비 피처들의 전체 표면들 -피처의 측벽들 및 상단 영역들을 포함- 에 걸쳐 실질적으로 균일하게 N-Si 결합들로 N-H 결합 변환 (및 막 치밀화) 을 구동한다고 생각된다.

[0032]

이제 다시 수정된 ALD 사이클에 대한 상세들을 참조하면, ALD 사이클을 완료하기 위해, He 플라즈마를 사용한 처리를 수반하는 전술한 치밀화 단계 (v) 에 선택적으로 치밀화된 SiN 막층을 둘러싸는 볼륨으로부터 He 가스를 제거하는 단계 (vi) 가 이어질 수도 있다는 것을 주의한다.

[0033]

도 3은 이 수정된 ALD 기법의 예를 상세히 제공한다. 도 3에 도시된 바와 같이, He 플라즈마 처리를 통한 치밀화를 수반하는 이 수정된 ALD 프로세스 시퀀스 (300) 는 도 2에 도시된 기본적인 ALD 프로세스 시퀀스 (200) 와 유사한 문제로 시작한다 (즉, 동작들 311, 312, 313, 및 314는 각각 도 2에 도시된 기본 프로세스 (200) 로부터의 동작들 211, 212, 213, 및 214에 대응한다). 그러나, 동작 214/314 (선택적인 동작 214/314가 채용된다고 가정) 프로세스들은 분기한다. 즉, 이때 도 3에 도시된 수정된 ALD 프로세스는 SiN 막층을 He를 포함하는 플라즈마에 노출시킴으로써 SiN 막층을 치밀화하는 동작 315를 채용한다. 이 특정한 실시예에서, 플라즈마 노출은 0.5 내지 15 초의 지속 기간을 갖는다. 부가적으로, 이 특정한 실시예에서, He 플라즈마는 도면에 나타난 바와 같이 약 0.035 내지 2.2 W/cm<sup>2</sup>의 기판 표면에 대한 전력 밀도를 갖고 사용된다. 플라즈마 노출 시간들/지속 기간들 및 플라즈마 전력 밀도들의 다른 범위들은 이하에 보다 상세히 기술된다. 치밀화 동작 315 후에, SiN 막

층을 둘러싸는 불륨으로부터 적어도 일부의 He를 제거하는 동작 316이 수행될 수도 있다 (다시, 선택적으로, 도 2에 파선 박스로 나타낸 바와 같이). 따라서, 동작들 (311 내지 316) 은 이 수정된 스킴에서 단일 ALD 사이클을 구성하고 복수의 ALD 사이클들이 상당한 두께의 막을 구축하도록 부가적인 SiN 층들을 증착하도록 사용될 수도 있다. 따라서, 도 2와 유사하게, 소위  $N$  개의 SiN 층들의 막 (또는, 등가적으로, SiN 막의  $N$  개의 층들이라고 할 수도 있음) 이 증착되는 것이 바람직하다면, 복수의 ALD 사이클들 (동작들 311 내지 316) 이 순차적으로 반복되고, 그리고 ALD 사이클 각각이 동작 316으로 종료된 후, 동작 320에서,  $N$  번의 사이클들의 ALD가 수행되었는지 여부가 결정된다. 이어서,  $N$  사이클들이 수행되었다면, SiN 막-형성 동작들은 종료되고, 그렇지 않다면, 프로세스 시퀀스는 ALD의 또 다른 사이클을 시작하도록 동작 311로 돌아간다.

[0034] 방금 기술된 ALD 사이클의 단계 (v) (또한 도 3의 동작 315로 참조됨) 동안 -즉, 증착된 SiN 막층을 He를 포함하는 플라즈마에 노출시킴으로써 증착된 SiN 막층을 치밀화- 증착된 SiN 막층이 노출되는 He-함유 플라즈마가 생성되어 SiN 막의 증착된 층의 치밀화를 발생시킨다. 플라즈마는 He 가스 (또는 불활성 가스와 같은 또 다른 가스와 혼합된 He) 에 RF EM 방사선을 인가함으로써 형성된다.

[0035] 그러나, 일부 실시예들에서, He 플라즈마를 생성하기 전에, He 가스 (또는 불활성 가스와 같은 또 다른 가스와 혼합된 He) 의 사전-흐름이 약 0.5 내지 15 초 동안, 또는 보다 특별히 약 2 내지 8 초 동안, 또는 약 5 초 동안 확립된다. 플로우 레이트는 약 1 내지 10 sL/m, 또는 보다 특별히 약 4 내지 6 sL/m, 또는 약 5 sL/m일 수도 있지만, 다시, 이들 값들은 300 mm 웨이퍼들을 핸들링하기 위한 4 스테이션들을 갖는 챔버에 대응하고, 따라서, 실시예에 따라, He 가스는 약 2 내지 6 torr, 또는 보다 특별히 약 3 내지 5 torr, 또는 약 4 torr의 프로세스 챔버 내 He의 분압을 확립하는 방식으로 반응 챔버로 흐를 수도 있다.

[0036] 여전히 단계 (v) 를 참조하면, He 사전-흐름 후에, RF 전력은 SiN 막의 층을 치밀화하기 위해 He 플라즈마를 생성하도록 스위칭 온된다. 플라즈마 생성 동안 He 가스에 대한 실행가능한 플로우들 및 분압들은 사전-흐름에 대해 방금 기술된 바와 동일할 수도 있다. 플라즈마를 생성하기 위한 RF 전력은, 13.56 Mhz (27.12 Mhz, 40.68 Mhz, 또는 54.24 Mhz, 등과 같은 13.56 Mhz의 양의 정수배가 또한 실시예에 따라 사용될 수도 있지만, 13.56 Mhz 또는 이의 배수에 대한 일부 주파수 튜닝은 또한 이하에 더 상세히 기술될 바와 같이 또한 채용될 수도 있다) 의 주파수를 갖는, 약 100 내지 6000 W, 또는 보다 특별히 약 400 내지 5100 W, 또는 한층 보다 특별히 약 900 내지 4100 W일 수도 있다. RF 전력은 증착된 SiN 막층을 치밀화하기 위해 증착된 SiN 막층의 대응하는 노출 시간을 발생시키는, 약 0.5 내지 15 초 동안 스위칭 온된 채로 남을 수도 있다. 다시, 이들 플라즈마 전력들은 300 mm 직경 웨이퍼들을 핸들링하기 위한 4 프로세스 스테이션들을 갖는 챔버에 대응한다는 것이 이해되어야 한다. 이와 같이, 단계 (v) 에 대한 적절한 플라즈마 전력 밀도들은 약 0.035 내지 2.2 W/cm<sup>2</sup> ( $0.035 \approx 100/(4\pi * 15^2)$ ) 이고  $2.2 \approx 6000/(4\pi * 15^2)$  이기 때문에) 일 수도 있고, 상기 언급된 다른 플라즈마 전력 값들 및 범위들에 대해 유사하다.

[0037] 반응 변환 단계 (iii) 와 같이, 일부 실시예들에서, 플라즈마 노출 시간과 플라즈마 전력 간에 트레이드오프가 있는 것을 알게 되었다 -즉, 짧은 노출 시간은 높은 플라즈마 전력으로 잘 동작하고, 긴 노출 시간은 낮은 플라즈마 전력으로 잘 동작하고, 그리고 중간 노출 시간은 중간 플라즈마 전력으로 잘 동작한다. 예를 들어, 일부 보다 낮은 플라즈마 전력 실시예들에서, 단계 (v) 에서 SiN 층이 노출되는 He를 포함하는 플라즈마는 약 0.070 내지 0.28 W/cm<sup>2</sup>의 전력 밀도를 가질 수도 있고, 치밀화를 위해 상기 플라즈마에 대한 증착된 SiN 막층의 플라즈마 노출 시간은 약 4 내지 8 초일 수도 있다. ( $0.070 \approx 200/(4\pi * 15^2)$  이고  $0.28 \approx 800/(4\pi * 15^2)$ ), 따라서 200 내지 800 W의 상대적으로 낮은 전력량 범위임을 주의하라). 유사하게, 일부 보다 높은 플라즈마 전력 실시예들에서, 단계 (v) 에서 SiN 층이 노출되는 He를 포함하는 플라즈마는 약 0.88 내지 1.2 W/cm<sup>2</sup>의 전력 밀도를 가질 수도 있고, 치밀화를 위해 상기 플라즈마에 대한 증착된 SiN 막층의 플라즈마 노출 시간은 약 0.5 내지 2 초일 수도 있다. ( $0.88 \approx 2500/(4\pi * 15^2)$  이고  $1.2 \approx 3500/(4\pi * 15^2)$ ), 따라서 2500 내지 3500 W의 상대적으로 낮은 전력량 범위임을 주의하라). 마지막으로, 중간 플라즈마 전력 실시예에서, 단계 (v) 에서 SiN 층이 노출되는 He를 포함하는 플라즈마는 약 0.28 내지 0.88 W/cm<sup>2</sup>의 전력 밀도를 가질 수도 있고, 치밀화를 위해 상기 플라즈마에 대한 증착된 SiN 막층의 플라즈마 노출 시간은 약 2 내지 4 초일 수도 있다. ( $0.28 \approx 800/(4\pi * 15^2)$  이고  $0.88 \approx 2500/(4\pi * 15^2)$ ), 따라서 800 내지 2500 W의 상대적으로 낮은 전력량 범위임을 주의하라).

[0038] 일부 실시예들에서, 치밀화 단계 (v) 에서의 He 플라즈마에 대해 반응 변환 단계 (iii) 에서 사용된 전력 밀도

에 비해 동일하거나 보다 낮은 플라즈마 전력 밀도를 사용하는 것은 잘 작동하고 낮은 습식 에칭 레이트들 (WER) 을 갖는 막들로 유도한다는 것을 알게 되었다. (이하의 예를 참조). 따라서, 일부 실시예들에서, 단계 (iii) 에서의 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마의 전력 밀도에 대한 단계 (v) 에서의 He 플라즈마의 전력 밀도의 비는 1보다 작을 수도 있고, 또는 보다 특별히 약 0.1 내지 0.9, 또는 한층 보다 특별히 약 0.1 내지 0.5, 또는 더욱 한층 보다 특별히 약 0.1 내지 0.3일 수도 있다. 예를 들어, 이하에 논의된 도 4c 및 도 4d를 참조하라. 유사하게, 일부 실시예들에서, 단계 (v) 대 단계 (iii) 에서 동일하거나 보다 긴 플라즈마 노출 시간을 사용하는 것이 낮은 WER들을 갖는 SiN 막들을 생성하기 위해 잘 동작한다는 것을 또한 알게 되었다. 따라서, 일부 실시예들에서, 단계 (iii) 에서의 플라즈마 노출 시간에 대한 단계 (v) 에서의 플라즈마 노출 시간의 비는 1보다 클 수도 있고, 또는 보다 특별히 약 1 내지 10, 또는 또는 한층 보다 특별히 약 2 내지 8, 또는 더욱 한층 보다 특별히 약 5 내지 7일 수도 있다. 다시, 예를 들어, 이하에 논의된 도 4c 및 도 4d를 참조하라. 또한, 일부 실시예들에서, 단계 (iii) 에서 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 대한 기판 노출 시간은 2 초보다 적을 수도 있고, 또는 보다 특별히 약 1 초보다 적을 수도 있다.

[0039] 방금 기술된 ALD 사이클의 선택적인 단계 (vi) -치밀화된 SiN 막층을 둘러싸는 불륨으로부터 He 가스를 제거-에 대해서와 같이 제거는 1 내지 10 초 동안, 또는 보다 특별히 약 1 내지 3 초 동안, 또는 약 2 초 동안 약 10 내지 40 sL/m의 플로우 레이트에서 불활성 퍼지 가스 (예를 들어, Ar 또는 N<sub>2</sub>) 를 사용하여 챔버를 퍼지함으로써 다시 달성될 수도 있다. 다시, 플로우 레이트들은 300 mm 직경 웨이퍼들을 핸들링하기 위한 4 스테이션들을 갖는 챔버에 대응하고 따라서 보다 크거나 보다 작은 직경들의 보다 많거나 보다 적은 수의 웨이퍼들을 핸들링하는 보다 크거나 보다 작은 챔버들에 대해 비례적으로 조정될 것이다. 압력의 관점에서, 퍼지 동안 챔버 내의 압력은 약 5 내지 15 torr, 또는 보다 특별히 약 8 내지 12 torr, 또는 약 10 torr일 수도 있다. 제거 단계들 (ii) 및 (iv) 와 같이, 일부 실시예들에서, PTB는 제거를 용이하게 하도록 단계 (vi) 동안 또한 채용될 수도 있다.

[0040] 도 3에 제공된 동작들의 시퀀스 -He 플라즈마 처리를 통합하는 수정된 ALD 프로세스를 채용하는- 를 사용하여 증착된 SiN 막들은, 심지어 보다 낮은 온도들에서 형성될 때에도 양호한 습식 에칭-내성을 나타내는 것을 알게 되었다. 예를 들어, 일부 실시예들에서, 약 550 °C 이하, 또는 약 525 °C 이하, 또는 약 500 °C 이하, 또는 약 485 °C 이하, 또는 심지어 약 475 °C 이하로 프로세싱 챔버 내의 온도를 유지하는 동안 (예를 들어, 동작들 311 내지 316 동안) 감소된 습식 에칭 레이트들을 갖는 SiN 막들은 앞서 기술된 프로세스들을 채용함으로써 형성될 수도 있다. 전술한 감소된 온도 레짐들에서 이들 프로세스들을 사용하여 증착된 SiN 막들은 23 °C 및 760 torr에서 100:1 몰비 HF 용액에 노출될 때 약 100 Å/분 이하, 또는 약 75 Å/분 이하, 또는 약 50 Å/분 이하, 또는 심지어 약 25 Å/분 이하의 습식 에칭 레이트들을 나타낼 수도 있다.

[0041] 게다가, 이들 기법들이 고 중형비 피쳐들을 갖는 반도체 기판들 상에 SiN 막들을 증착하도록 사용될 때, 습식 에칭 레이트에서의 감소는 SiN 증착을 위해 선택된 특정한 프로세스 조건들에 따라, 이러한 피쳐들의 상단 영역들 및 측벽들 모두에서 유지된다는 것이 관찰되었다. 다시, 실시예에 따라, (상단 영역들, 하단 영역들, 및 측벽들을 고려하면) 실질적으로 균일한 습식 에칭 레이트들은 23 °C 및 760 torr에서 100:1 몰비 HF 용액에 노출될 때 약 100 Å/분 이하, 또는 약 75 Å/분 이하, 또는 약 50 Å/분 이하, 또는 심지어 약 25 Å/분 이하만큼 낮게 관찰될 수도 있다. 습식 에칭-내성 SiN의 이러한 저온 증착은 프로세스 파라미터들의 다양한 선택들에 대해 이하의 예들에 의해 예시된다.

[0043] 예들

[0044] 도 4a 및 도 4b는 다양한 ALD-타입 막 형성 기법들을 사용하여 증착된 제 1 세트의 예시적인 SiN 막들에 대한 결과들을 나타낸다. 구체적으로, 도 4a는 도면에서 (1) 내지 (7) 로 라벨링된 상이한 ALD 프로세스들을 사용하는 각각의 예시적인 SiN 막 증착에 대한 반도체 기판 상의 고 중형비 피쳐의 상단 및 측벽들에 대해 개별적으로 대응하는 습식 에칭 레이트들 (WER) 을 플롯팅한다. WER은 23 °C 및 760 torr에서 100:1 몰비 HF 용액에 노출된 후 영역 각각 (상단 및 측벽들) 상에서 에칭 제거된 SiN 막의 양을 측정함으로써 결정된다. 노출 동안 용액 또는 기판의 교반은 채용되지 않는다 (즉, HF 용액은 기판에 대해 실질적으로 정지 (still)/움직임이 없다 (motionless)). (일부 교반 메커니즘은 명백하게 WER을 약간 향상시키는 경향이 있다). 에칭 제거된 SiN 막의 양은 TEM (transmission electron microscopy) 에 의해 측정되고, 증착 시 및 에칭 후, 고 중형비 피쳐의 TEM 화상들은 도 4b에서, 프로세스들 (1), 및 (3) 내지 (7) 에 대해 나타난다.

- [0045] 도 4a의 최좌측에서 시작하면, 프로세스 (1) 은 지정된 반도체 피치의 상단들 및 측벽들 모두 상에서 매우 높은 WER을 갖는 SiN 막의 증착을 발생시키는, 기준 ALD 프로세스 (또한 도면에서 "BsIn"으로 라벨링됨) 이다. 도면에서 지시된 바와 같이, 피치의 측벽 상의 WER은 163 Å/min보다 크고, 유사하게 피치의 상단 상에서 WER은 161 Å/min을 초과하는 것으로 보인다. 증착 시 막에 대한 피처로부터 에칭 제거된 SiN 막의 정도는 또한 도 4b의 프로세스 (1) 하에서 두드러지게 디스플레이된다. 이 기준 ALD 프로세스는 475 °C의 실질적으로 일정한 페데스탈-타입 웨이퍼-홀더 온도에서 수행되고 반응 변환 단계 (상기 기술된 단계 (iii) 및 도 2의 동작 213) 동안 6000 W로 설정된 플라즈마 전력 소스를 채용한다 - 이는 4 개의 프로세싱 장치가 사용되기 때문에 (이하에 기술된 도 6의 장치 참조), 이는 300 mm 웨이퍼, 대략 2.12 W/cm<sup>2</sup>의 플라즈마 전력 밀도에 대해, 1500 W의 단일 기관 플라즈마 전력의 합이다. 플라즈마는 플라즈마 활성화된 반응 변환 단계 (또한 도면들에 나타난 바와 같이, NH<sub>3</sub> 플라즈마를 사용하는) 동안 SiN 막의 형성을 유발하도록 2 초 동안 (도 4a 및 도 4b에 나타난 바와 같이) 턴 온된다. 475 °C의 상대적으로 낮은 페데스탈 온도가 채용되지만, WER은 수용불가능하게 크다는 것을 주의한다.
- [0046] 도 4a 및 도 4b의 프로세스 (2) 는 페데스탈 온도가 기준 프로세스의 475 °C로부터 프로세스 (2) 의 525 °C로 상승된다는 것을 제외하고 본질적으로 기준 프로세스 (1) 과 동일하다. 피치의 상단 및 측벽 모두 상에서 발생된 SiN 막의 WER은 실질적으로 개선되었다는 것이 도면에 도시되었다. 550 °C의 더 상승된 페데스탈 온도 및 3000 W / 4 = 750 W의 감소된 기관 당 플라즈마 전력을 수반하는 프로세스 (3) 을 사용하여 증착된 SiN 막에 대해 추가 개선이 관찰되고; 한층 추가의 개선은 증착이 585 °C의 훨씬 보다 높은 온도, 다시 750 W의 기관 당 플라즈마 전력 (이 특정한 실험에 대해 3 개의 프로세스 스테이션들만이 활성화되어, 총 플라즈마 전력은 도 4a 및 도 4b에 도시된 바와 같이, 3 \* 750 W = 2250 W였지만) 에서 수행되는 프로세스 (4) 를 사용하여 증착된 SiN 막에 의해 나타난다. (이들 4 개의 경우들 각각에서, 변환 단계 동안 인가된 RF 전력이 동일한 동안 시간 인터벌은 도면들에서 나타난 바와 같이 2 초이다). 따라서, ALD를 통해 형성된 SiN 막들에 대해, 도 4a 및 도 4b에 제공된 데이터는 ALD 프로세스가 수행되는 온도를 상승시킴으로써 고 종횡비 반도체 피치의 상단 영역들 및 측벽들 모두에서 WER들이 감소될 수도 있다 (도 4a에서 하향 화살표로 나타난 바와 같이) 는 것을 예시한다.
- [0047] 그러나, 상기에 기술된 이유들에 대해, 상승된 프로세스 온도는 SiN 막-형성 기법들에서 바람직하지 않고, 일부 경우들에서 제조 단계들의 주어진 세트에 대해 할당된 열 예산을 초과할 수도 있다. 따라서, SiN 막들은 임의의 프로세스 및/또는 프로세스 파라미터들의 세트가 감소된 WER들을 갖는 보다 낮은 온도들에서 SiN 막들을 생성할 것인지 여부를 결정하기 위해, ALD 사이클 각각의 일부로서 다양한 헬륨 (He) 플라즈마 처리들을 채용하는 다양한 ALD 프로세스들을 사용하여 475 °C의 일정한 보다 낮은 페데스탈 온도에서 형성된다. 증착 프로세스에서 헬륨을 사용하여 형성된 이들 SiN 막들에 대응하는 결과들이 프로세스들 (5), (6), 및 (7) 로 라벨링된 도 4a 및 도 4b에 도시되었다.
- [0048] 헬륨 (He) 을 채용하는 제 1 프로세스, 프로세스 (5) 는 ALD 프로세스의 반응/변환 단계 (iii) 동안 He를 채용한다. 이 경우 사용된 기관 당 플라즈마 전력은 3000 W / 4 = 750 W이다. 플라즈마 활성화된 반응/변환 단계 (iii) 동안 He의 사용은 피치의 상단 영역들 상에서 WER을 감소시키지만, WER이 계속 96 Å/min인, 피치의 측벽들 상에서 동일한 목표된 효과를 갖지 않는다는 것이 도 4a에 도시된다. 거의 반대의 결과가, 지시된 프로세스 조건들을 사용하여 증착된 SiN 막이 측벽들 상에서 낮은 WER을 달성하지만, 피치의 상단 영역들 상에서 94 Å/min의 바람직하지 않게 높은 WER을 갖는, 도 4a의 프로세스 (6) 에 대해 디스플레이된다. 도 4a 및 도 4b에 나타난 바와 같이, 이러한 반대되는 결과를 생성하도록 사용된 프로세스는 ALD 사이클 각각의 부가적인 단계 (v) 로서 He 플라즈마를 사용하는 처리를 채용하는 수정된 ALD 프로세스를 활용한다. 그럼에도 불구하고, WER에서의 목표된 균일한 감소는 달성되지 않는다는 것이 이 특정한 예에서 나타난다.
- [0049] 그러나, 도 4a의 마지막 예, 프로세스 (7) 은 프로세스 (6) 과 유사한 수정된 ALD 사이클 -즉, ALD 사이클 각각의 부가적인 단계 (v) 로서 He 플라즈마를 채용- 을 사용하고, WER들에서 전술한 목표된 균일한 감소를 달성할 수 있다. 구체적으로, 증착된 SiN 막은 29 Å/min의 측벽 WER 및 36 Å/min의 상단 영역 WER을 나타낸다. 따라서, 이 프로세스 (7) 는 475 °C의 동일한 낮은 페데스탈 온도에서 기준 프로세스 (1) 에 대해 대략 5의 인자만큼 균일하게 감소된 측벽 및 상단 영역들에 대응하는 WER들을 달성할 수 있다. 도 4b의 프로세스들 (2), (5), (6), (7) 에 대응하는 SEM 화상들은 상기 언급된 조건들에서 HF 용액에 30 초 노출 후 측정되고, 여기서, SEM 화상들은 HF에 60 초 노출 후 (도면에 나타난 바와 같이) 프로세스들 (1) 및 (4) 에 대응하고, 따라서 프로세스들 (1) 및 (4) 에 대응하는 WER들은 다른 것들의 "두 배 (double)"가 되는 것으로 나타난다. 또한, 모든 3 개의 전술한 예들에서 750 W의 동일한 기관 당 플라즈마 전력이 채용되지만, 도면에 나타난 바와 같이, 최우측상의 마지막 예에서, 플라즈마 노출 시간이 변환 단계 (iii) 및 추가의 He 플라즈마 처리 단계 (v) 모두에서 1 초로 감소된다는 것을 주의하라. 특정한 이론으로 제한되지 않고, 변환 단계 동안 보다 짧은 플라즈마 노출은

단계 (v) 에 이어지는 He 플라즈마 처리에 의한 치밀화에 보다 민감한 증착된 SiN 층을 남긴다고 믿어진다. 구체적으로, 그리고 다시 특정한 이론으로 제한되지 않고, 2 초 3000 W He 플라즈마는 너무 강하고, 상단 상에서 상당히 보다 높은 WER을 유발하는 정도로 피치의 상단을 공격한다고 생각된다. 한편, He와 NH<sub>3</sub> 공동-흐름 처리는 상단 영역들 상에서 잘 동작하지만, WER을 적합하게 감소시키기 위해 측벽 영역들 상에서 충분히 효과적이지 않다. 그러나, 1 초 3000W He 플라즈마 처리는, 피치의 상단 영역들 및 측벽들 모두에서 상대적으로 균일한 WER을 발생시키도록 측벽들 상에서 여전히 충분히 효과적이지만, 상단 영역들에서 충분히 "약 (gentle)"하다는 것을 알 수 있다.

[0050]

추가 결과들이 도 4c 및 도 4d에 도시된다. 도 4c는 4 개의 점진적으로 상승하는 기판 온도들에서 기준 ALD 프로세스에 대응하는 측벽 WER들을 플롯팅하고, 상기 논의된 바와 같이 상승하는 온도와 함께 측벽 WER에서의 감소가 나타난다. (상기 언급된 바와 같은 동일한 HF 습식 에칭 조건들, 즉, 교반 없이 100:1 몰비 HF 용액 23 °C 및 760 torr가 사용되었다. 그러나, 도 4c 및 도 4d에 나타난 온도들은 도 4a 및 도 4b에 대해 상기 보고된 페데스탈 기판 홀더가 아니라 실제 기판/웨이퍼 온도들이라는 것을 주의한다. 예를 들어, 약 475 °C의 페데스탈 온도는 대략 440 °C의 실제 웨이퍼 온도에 대응한다). 기준 프로세스와 함께 ALD 사이클의 부가적인 단계로서 He 플라즈마 처리를 채용하는 수정된 ALD 프로세스에 대응하는 측벽 WER 결과들이 플롯팅되고 도면에서 보다 낮은 측벽 WER이 다시 달성되었다는 것을 알 수 있다. 도 4c는 프로세스 특정 최적화를 사용하거나 사용하지 않고 이러한 수정된 ALD 프로세스의 결과들 간을 구별한다. 최적화를 사용하거나 사용하지 않고, 이들 수정된 프로세스들과 연관된 측벽 WER 결과들은 기준 프로세스보다 상당히 보다 낮다. 예를 들어, 495 °C의 웨이퍼 기판 온도에서, He 플라즈마 처리를 채용하는 수정되었지만 최적화되지 않은 ALD 프로세스는 24 Å/min 또는 기준 프로세스의 43 Å/min의 대략 1/2 WER의 측벽 WER을 달성할 수 있다는 것을 알 수 있다. 475 °C의 웨이퍼 기판 온도에서 최적화된 수정된 ALD 프로세스 대 기준 프로세스에서 관찰된 성능 이득이 훨씬 보다 인상적이고, 17 Å/min의 낮은 측벽 WER이 최적화된 프로세스에서 또는 기준 프로세스에 대응하는 76 Å/min WER에 걸쳐 5의 개선 인자에 대해 달성된다. 이 결과에 대응하는 TEM (transmission electron microscopy) 화상들은 도 4d에 디스플레이되고 습식 에칭 전 및 후에 최적화된 프로세스를 사용하여 증착된 SiN 막에는 변화가 거의 없다는 것이 관찰된다. 도 4c 및 도 4d에 도시된 결과들을 야기하는 He를 채용하는 최적화된 ALD 기법에 대한 프로세스 조건들은 여기서 He 플라즈마 처리 지속 기간이 기판 당 125 W의 플라즈마 전력 (4 개의 스테이션들에 대해 총 500 W) 또는 등가적으로 약 0.18 W/cm<sup>2</sup> ( $0.18 \approx 500/(4 * \pi * 15^2)$ ), 예를 들어, 300 mm 웨이퍼에 대해)의 기판 표면에 대한 플라즈마 전력 밀도를 채용하여 6 초였다는 것을 제외하고 상기 도 4a 및 도 4b와 동일하다. 반대로, 도 4c에 도시된 최적화되지 않은/초기 ALD 프로세스 (또한 He 플라즈마 처리를 채용)는: 기판 당 750 W의 플라즈마 전력 (4 개의 스테이션들에 대해 총 3000 W) 또는 등가적으로 약 1.1 W/cm<sup>2</sup> ( $1.1 \approx 3000/(4 * \pi * 15^2)$ ), 예를 들어, 300 mm 웨이퍼에 대해)의 기판 표면에 대한 플라즈마 전력 밀도를 채용하여 2 초의 He 플라즈마 처리 지속 기간을 갖는다.

[0052]

*ALD 기법들 및 동작들에 관한 부가적인 상세들*

[0053]

상기에 논의된 바와 같이, 디바이스들의 사이즈가 계속해서 축소되고, IC들이 3D 트랜지스터들 및 다른 3D 구조들을 채용하는 것으로 이동함에 따라, 컨포멀 막 -예를 들어, SiN 막들 또는 다른 유전체들의 막들과 같은- 의 정밀한 양 (두께) 을 증착하는 능력이 점점 중요해진다. ALD (Atomic layer deposition) 는 목표된 막 두께를 달성하기 위해 통상적으로 복수의 증착 사이클들을 수반하는 컨포멀 막 증착을 달성하기 위한 일 기법이다.

[0054]

활성화된 가스 상 반응들이 막들을 증착하기 위해 사용되는, CVD (chemical vapor deposition) 프로세스와는 반대로, ALD 프로세스들은 층 단위 (layer-by-layer basis) 로 막들을 증착하기 위해 표면-매개 증착 반응들을 사용한다. 예를 들어, 일 부류의 ALD 프로세스들에서, 제 1 막 전구체 (P1) 가 가스 상으로 프로세싱 챔버 내에 도입되고, 기판에 노출되고, 그리고, 기판의 표면 (통상적으로 표면 활성화 사이트들의 집단에서) 에 흡착하게 된다. P1의 일부 분자들은 P1의 화학 흡착된 중 및 물리 흡착된 분자들을 포함하여, 기판 표면 상부에 응결된 상을 형성할 수도 있다. 이어서 화학 흡착된 종만 남도록, 가스 상 및 물리 흡착된 P1을 제거하기 위해 기판 표면을 둘러싸는 볼륨이 배기된다. 이어서 제 2 막 전구체 (P2) 가 프로세싱 챔버 내로 도입되어, P2의 일부 분자들이 기판 표면에 흡착한다. 프로세싱 챔버 내에서 기판을 둘러싸는 볼륨은 다시 배기될 수도 있고, 이때, 결합되지 않은 P2가 제거된다. 후속하여, 기판에 에너지 (예를 들어, 열 에너지 또는 플라즈마 에너지) 가 제공되어 P1 및 P2의 흡착된 분자들 간의 표면 반응들을 활성화하고, 막층을 형성한다. 마지막으로, 기판을 둘러싸는 볼륨은 존재한다면, 반응되지 않은 P1 및/또는 P2 및/또는 반응 부산물을 제거하기 위해 다시 배기되고,

ALD의 단일 사이클을 종료한다.

[0055] 컨포멀 막들을 증착하기 위한 ALD 기법들은 다양한 화학물질들을 수반할 수도 있고, 그리고 목표된 반응 화학물질들뿐만 아니라 증착된 막의 아이덴티티 및 특성들에 따라 채용될 수도 있는 기본적인 ALD 프로세스 시퀀스에 대한 많은 잠재적인 변형들이 존재한다. 많은 이러한 변형들은 명칭이 "PLASMA ACTIVATED CONFORMAL FILM DEPOSITION" (대리인 관리 번호 NOVLP405) 인 2011년 4월 11일 출원된 미국 특허 출원 번호 제 13/084,399 호, 명칭이 "PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION"이고, 이제 미국 특허 제 8,637,411 (대리인 관리 번호 NOVLP427) 호인, 2011년 9월 23일 출원된 미국 특허 출원 번호 제 13/242,084 호, 명칭이 "PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION" (대리인 관리 번호 NOVLP428) 인 2011년 9월 1일 출원된 미국 특허 출원 번호 제 13/224,240 호, 및 명칭이 "CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION" (대리인 관리 번호 NOVLP488) 인 2012년 9월 7일 출원된 미국 특허 출원 번호 제 13/607,386 호에 기술되고, 각각은 모든 목적들을 위해 전체가 참조로서 본 명세서에 인용된다.

[0056] 이들 사전 출원들에 기술된 바와 같이, 기판 상에 재료의 단일 층을 증착하기 위한 기본적인 ALD 사이클은: (i) 막 전구체가 흡착 제한된 층을 형성하도록 상기 막 전구체를 기판 상에 흡착시키는 단계, (ii) 흡착된 막 전구체를 둘러싸는 볼륨으로부터 흡착되지 않은 막 전구체를 제거하는 단계, (iii) 기판 상에 막층을 형성하도록, 흡착된 막 전구체를 반응시키는 단계, 및 (iv) 기판 상에 형성된 막층을 둘러싸는 볼륨으로부터 탈착된 막 전구체 및/또는 반응 부산물을 제거하는 단계를 포함할 수도 있다. 동작 (ii) 및 (iv) 에서의 제거는 기판을 둘러싸는 볼륨을 퍼지, 배기, 기준 압력으로 펌프 다운 ("pump-to-base") 등을 통해 이루어질 수도 있다. 이러한 기본적인 ALD 동작들 (i) 내지 (iv) 의 시퀀스는 상기에 기술된 예에서와 같이 2 개의 화학 흡착된 반응 종 P1 및 P2를 반드시 수반하거나, 제 2 반응 종까지 반드시 수반해야 하는 것은 아니지만, 수반된 목표된 증착 화학물질에 따라, 이들 가능성들/옵션들이 채용될 수도 있다는 것을 주의해야 한다. 나타낸 바와 같이, 많은 변형들이 가능하다. 예를 들어 그리고 상기에 나타낸 바와 같이, SiN 막의 증착을 위해, 실리콘-함유 전구체는 통상적으로 화학흡착되고 (P1이라고 함), SiN 막을 형성하기 위해 화학흡착된 전구체와 반응되는 종은 단계 (iii) 에서의 반응을 유발하도록 사용된 플라즈마가 형성되는 질소-함유 종이다. 따라서, 일부 실시예들에서, N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마는 증착된 SiN 막에 질소 원자들을 제공하고 또한 표면 반응을 활성화하기 위해 에너지를 제공하도록 사용된다. 다른 실시예들에서, 실리콘-함유 전구체는 제 1 화학흡착된 종 (P1) 일 수도 있고, 그리고 질소-함유 종은 제 2 화학흡착된 종 (P2) 일 수도 있고, 그리고 그 후 이러한 ALD 사이클의 단계 (iii) 에서 화학흡착된 종 양자에 인가된 플라즈마는 활성화 에너지를 제공하도록 사용될 수도 있고 증착된 SiN 막의 N 원자들일 필요는 없다는 것을 알 수도 있다. 물론, 상기 기술된 바와 같이, 이러한 ALD 사이클은, 원한다면, 일부 실시예들에서 임의의 남아 있는 플라즈마 종, 탈착된 반응물질들, 및/또는 반응 부산물들, 등을 제거하는 단계 (iv) 가 진행되는, 증착된 SiN 층을 치밀화하는 단계 (v) 를 부가적으로 포함할 수도 있다.

[0057] 그러나, ALD의 흡착 제한된 특성으로 인해, ALD의 단일 사이클은 단지 재료의 박막, 및 통상적으로 막 재료의 단일 모노레이어만을 증착한다. 예를 들어, 막 전구체 도징 동작들의 노출 시간 및 막 전구체들의 (기판 표면으로의) 부착 계수들에 따라, ALD 사이클 각각은 단지 약 0.5 내지 3 Å 두께의 막층을 증착할 수도 있다. 따라서, 통상적인 ALD 사이클의 동작들의 시퀀스 -방금 기술된 동작들 (i) 내지 (iv)- 은 일반적으로 목표된 두께의 컨포멀 막을 형성하기 위해 복수 회 반복된다. 따라서, 일부 실시예들에서, 동작들 (i) 내지 (iv) 은 적어도 1회, 또는 적어도 2회, 또는 적어도 3회, 또는 적어도 5회, 또는 적어도 7회, 또는 적어도 10회 연달아 연속적으로 반복된다. ALD 막은 ALD 사이클 당 약 0.1 Å 내지 약 2.5 Å, 또는 ALD 사이클 당 약 0.2 Å 내지 약 2.0 Å, 또는 ALD 사이클 당 약 0.3 Å 내지 약 1.8 Å, 또는 ALD 사이클 당 약 0.5 Å 내지 약 1.5 Å, 또는 ALD 사이클 당 약 0.1 Å 내지 약 1.5 Å, 또는 ALD 사이클 당 약 0.2 Å 내지 약 1.0 Å, 또는 ALD 사이클 당 약 0.3 Å 내지 약 1.0 Å, 또는 ALD 사이클 당 약 0.5 Å 내지 약 1.0 Å의 레이트로 증착될 수도 있다.

[0058] 일부 막 형성 화학 물질들에서, 보조 반응물질 또는 공반응물질 (공반응물질) -부가적으로 "막 전구체"라고 지칭되는- 이 또한 채용될 수도 있다. 이러한 특정한 실시예들에서, 보조 반응물질 또는 공반응물질은 단계들 (i) 내지 (iv) 의 서브세트 동안 또는 단계들 (i) 내지 (iv) 각각 동안, 단계들이 반복되기 때문에 연속적으로 흐를 수도 있다. 일부 실시예들에서, 이러한 다른 반응성 화학물 종 (보조 반응물질, 공반응물질, 등) 은 막 전구체 (상기 기술된 전구체들 P1 및 P2를 수반하는 예에서와 같이) 와 반응하기 전에 막 전구체와 함께 기판 표면 상에 흡착될 수도 있지만, 다른 실시예들에서, 다른 반응성 화학물 종들은 그 자체가 기판의 표면 상에 이전에 흡착하지 않고 접촉하기 때문에 흡착된 막 전구체와 반응할 수도 있다. 또한, 일부 실시예들에서, 흡착된

막 전구체의 반응 동작 (iii) 은, 실시예에 따라 활성화 에너지를 제공하는 것에 부가하여, 보조 반응물질/공반응물질을 제공할 수도 있는, 플라즈마와 흡착된 막 전구체를 접촉시키는 것을 수반할 수도 있다. 예를 들어, ALD를 통한 SiN 막 형성을 수반하는 상기 기술된 프로세스들에서, 보조 반응물질/공반응물질은 단계 (iii) 에서 플라즈마를 형성하도록 사용된 N-함유 중으로서 고려될 수도 있다.

[0059]

일부 실시예들에서, 다층 증착된 막은 교번하는 조성으로, 예를 들어, 일 조성을 갖는 복수의 층들을 순차적으로 컨포멀하게 증착하고, 이어서 다른 조성을 갖는 복수의 층들을 순차적으로 컨포멀하게 증착하고, 이어서 이들 두 시퀀스들을 잠재적으로 반복 및 교번함으로써, 형성된 영역들/부분들을 포함할 수도 있다. 이러한 양태들의 증착된 ALD 막들은, 예를 들어, 모든 목적들을 위해 전체가 본 명세서에 참조로서 인용된, 명칭이 "CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION" (대리인 관리 번호 NOVLP488) 인, 2012년 9월 7일 출원된 미국 특허 출원 번호 제 13/607,386 호에 기술된다. 교번하는 조성의 부분들 -아래에 놓인 타겟 IC 구조체 또는 기판 영역을 도핑하기 위해 사용된 막들을 포함하는- 을 갖는 컨포멀 막들 및 이들 막들을 형성하는 방법들의 추가 예들은, 명칭이 "PLASMA ACTIVATED CONFORMAL FILM DEPOSITION" (대리인 관리 번호 NOVLP405) 인 2011년 4월 11일 출원된 미국 특허 출원 번호 제 13/084,399 호, 명칭이 "PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION"이고, 이제 미국 특허 제 8,637,411 (대리인 관리 번호 NOVLP427) 호인, 2011년 9월 23일 출원된 미국 특허 출원 번호 제 13/242,084 호, 명칭이 "PLASMA ACTIVATED CONFORMAL DIELECTRIC FILM DEPOSITION" (대리인 관리 번호 NOVLP428) 인 2011년 9월 1일 출원된 미국 특허 출원 번호 제 13/224,240 호, 및 명칭이 "CONFORMAL DOPING VIA PLASMA ACTIVATED ATOMIC LAYER DEPOSITION AND CONFORMAL FILM DEPOSITION" (대리인 관리 번호 NOVLP488) 인 2012년 9월 7일 출원된 미국 특허 출원 번호 제 13/607,386 호; 명칭이 "CAPPED ALD FILMS FOR DOPING FIN-SHAPED CHANNEL REGIONS OF 3-D IC TRANSISTORS"인 2014년 2월 28일 출원된 미국 특허 출원 번호 제 14/194,549 호에 기술되고, 각각은 모든 목적들을 위해 전체가 본 명세서에 참조로서 인용된다.

[0060]

상기 참조된 명세서들에 상세히 설명된 바와 같이, ALD 프로세스들은 종종 컨포멀한 실리콘 옥사이드 막들 (SiO<sub>2</sub>), 실리콘 카바이드 (SiC) 막들, 실리콘 나이트라이드 (SiN) 막들, 실리콘 카보나이트라이드 (SiCN) 막들 또는 이들의 조합들을 증착하기 위해 사용될 수도 있다. 실리콘-탄소-옥사이드들 및 실리콘-탄소-옥시나이트라이드들, 및 실리콘-탄소-나이트라이드들이 또한 ALD-형성된 막들의 일부 변형들로 형성될 수도 있다. 이들 타입들의 막들을 증착하기 위한 방법들, 기법들, 및 동작들은 모든 목적들을 위해 본 명세서에 참조로서 인용된, 명칭이 "REMOTE PLASMA BASED DEPOSITION OF SiOC CLASS OF FILMS"이고, 대리인 관리 번호 NOVLP466/NVLS003722인 2012년 6월 12일 출원된 미국 특허 출원 번호 제 13/494,836 호; 명칭이 "METHOD TO OBTAIN SiC CLASS OF FILMS OF DESIRED COMPOSITION AND FILM PROPERTIES"이고, 대리인 관리 번호 LAMRP046/3149인 2013년 5월 31일 출원된 미국 특허 출원 번호 제 13/907,699 호; 명칭이 "GROUND STATE HYDROGEN RADICAL SOURCES FOR CHEMICAL VAPOR DEPOSITION OF SILICON-CARBON-함유 FILMS"인 미국 특허 출원 번호 제 14/062,648 호; 및 명칭이 "CAPPED ALD FILMS FOR DOPING FIN-SHAPED CHANNEL REGIONS OF 3-D IC TRANSISTORS"이고, 2014년 2월 28일 출원된 미국 특허 출원 번호 제 14/194,549 호에 상세히 기술되었다.

[0061]

복수의 ALD 사이클들이 컨포멀 층들의 스택들의 구축을 위해 반복될 수도 있다. 일부 실시예들에서, 각각의 층은 실질적으로 동일한 조성을 가지지만, 다른 실시예들에서, 순차적으로 ALD 증착된 층들은 상이한 조성들을 가질 수도 있고, 또는 특정한 이러한 실시예들에서, 조성은 층단위로 교번할 수도 있거나, 상기에 기술된 바와 같이, 상이한 조성들을 갖는 층들의 반복하는 시퀀스일 수도 있다. 따라서, 실시예에 따라, 특정한 스택 엔지니어링 개념들은, 상기에 참조로서 인용되고 열거된 특허 출원서들 (미국 특허 출원 번호 13/084,399, 13/242,084, 및 13/224,240) 에 개시된 바와 같이, 이들 막들에서 붕소, 인, 또는 비소 농도를 조정하도록 사용될 수도 있다.

[0063]

막-형성 ALD 화학물질들

[0064]

SiN 막들의 증착은 다양한 화합물들로부터 선택될 수도 있는 하나 이상의 실리콘-함유 막 전구체들을 활용할 수도 있다. 적합한 전구체들은 목표된 조성 특성들, 및 일부 경우들에서, 물리적 또는 전자적 특성들을 제공하도록 선택되고 공급된 유기-실리콘 반응물질들을 포함할 수도 있다. 실리콘-함유 반응물질들/막 전구체들의 예들은 그 중에서도, 실란들, 알킬 실란들, 실록산들, 알콕시실란들, 할로실란들, 및 아미노실란들을 포함할 수도 있다.

[0065]

실란들에 대해, 일부 실시예들에서, 비한정적인 예들은 실란 (SiH<sub>4</sub>), 디실란 (Si<sub>2</sub>H<sub>6</sub>), 트리실란 및 보다 고차의

실란들을 포함하는 SiN 막들을 형성하도록 사용될 수도 있다.

[0066]

알킬실란들 -하나 이상의 알킬기들 및/또는 수소 원자들에 결합된 하나 이상의 실리콘 원자(들)를 갖는 실리콘-함유 화합물들- 은, 일부 실시예들에서, SiN 막들을 형성하도록 사용된다. 실시예에 따라, 실리콘 원자(들)는 4 개의 알킬기들, 또는 3 개의 알킬기들 및 수소, 또는 2 개의 알킬기들 및 2 개의 수소들, 또는 1 개의 알킬기들 및 3 개의 수소들에 결합될 수도 있다. 선택될 수도 있는 가능한 알킬기들은 이로 제한되는 것은 아니지만, Me, Et, i-Pr, n-Pr, 및 t-부틸 작용기들을 포함한다. 막-전구체들로 사용하기에 적합한 알킬실란들의 구체적인 예들은, 이로 제한되는 것은 아니지만, 메틸실란 ( $H_3SiCH_3$ ), 에틸실란, 이소프로필실란, t-부틸실란, 디메틸실란 ( $H_2Si(CH_3)_2$ ), 트리메틸실란 ( $HSi(CH_3)_3$ ), 테트라메틸실란 ( $Si(CH_3)_4$ ), 디에틸실란, 트리에틸실란, 디-t-부틸실란, 아릴실란, sec-부틸실란, 헥실실란 (hexylsilane), 이소아밀실란, t-부틸디실란, 및 디-t-부틸디실란을 포함할 수도 있다.

[0067]

부가적으로, 보다 높은 차수의 실란들이 모노실란들 대신에 사용될 수 있다. 알킬 실란 부류로부터의 하나의 이러한 디실란의 예는 HMDS (hexamethyldisilane) 이다. 알킬 실란 부류로부터의 디실란의 다른 예는 PMDS (pentamethyldisilane) 를 포함할 수 있으며, 이는 SiC 막들을 형성하는데 사용될 수 있다. 일부 실시예들에서, 실리콘 원자들 중 하나는 이 원자에만 유일하게 (exclusively) 부착된 탄소-함유기 또는 알콕시-함유기를 가질 수 있으며, 실리콘 원자들 중 하나는 이 원자에만 유일하게 (exclusively) 부착된 수소 원자들을 가질 수 있다. 다른 타입들의 알킬 실란들은 알킬카보실란들을 포함할 수 있다. 알킬카보실란들은 실리콘 원자에 결합된 알킬기들뿐만 아니라 실리콘 원자에 결합된 탄소를 갖는 분기된 고분자 구조를 가질 수 있다. 예들은 DTMSM (dimethyl trimethylsilyl methane) 및 BDMSE (bis-dimethylsilyl ethane) 를 포함한다. 여전히 다른 타입들의 알킬 실란들은 실라잔들 및 알킬디실라잔들을 포함할 수 있다. 알킬디실라잔들은 2 개의 실리콘 원자들에 결합된 알킬기들 및 실라잔들을 포함한다. 예는 TMDSN (1,1,3,3-tetramethyldisilazane) 을 포함한다. 일부 실시예들에서, TMDSN은 SiCN 막들을 형성할 수 있다.

[0068]

할로실란들 -하나 이상의 할로겐 원자들에 결합된 하나 이상의 실리콘 원자(들)를 갖는 실리콘-함유 화합물들- 은 또한, 일부 실시예들에서, SiN 막들을 형성하도록 사용된다. 실시예에 따라, 실리콘 원자(들)는 4 개의 할로겐 원자들, 또는 3 개의 할로겐 원자들, 또는 2 개의 할로겐 원자들, 또는 1 개의 할로겐 원자들에 결합될 수도 있다. 아이오도실란들, 브로모실란들, 클로로실란들, 및 플루오로실란들은 막-전구체들로서 사용하기에 적합할 수도 있다. 할로실란들, 특히 플루오로실란들이 실리콘 재료들을 에칭할 수 있는 반응성 할라이드 종을 형성할 수도 있지만, 본 명세서에 기술된 특정한 실시예들에서, 실리콘-함유 반응물질은 플라즈마가 스트라이킹 될 때 존재하지 않는다. 막-전구체들로서 사용하기에 적합한 클로로실란들의 구체적인 예들은, 이로 제한되는 것은 아니지만, 테트라클로로실란 ( $SiCl_4$ ), 트리클로로실란 ( $HSiCl_3$ ), 디클로로실란 ( $H_2SiCl_2$ ), 모노클로로실란 ( $ClSiH_3$ ), 헥사클로로디실란, 클로로아릴실란, 클로로메틸실란, 디클로로메틸실란 ( $SiHCH_3Cl_2$ ), 클로로디메틸실란, 클로로에틸실란, t-부틸클로로실란, 디-t-부틸클로로실란, 클로로이소프로필실란, 클로로-sec-부틸실란, t-부틸디메틸클로로실란, 및 에틸디메틸클로로실란을 포함한다. 아이오도실란들, 브로모실란들, 및 플루오로실란들의 구체적인 예들은 이로 제한되는 것은 아니지만, 이들 염소 함유 화합물들과 분자 구조가 유사하지만 염소 원자(들)의 자리에, 요오드, 브롬, 또는 불소 원자(들)를 각각 갖는 화합물들을 포함한다. 예를 들어, 트리클로로실란 ( $HSiCl_3$ ) 에 대응하는 브로모실란은 트리브로모실란 ( $HSiBr_3$ ) 이다.

[0069]

아미노실란들 -하나 이상의 아민기들에 결합된 하나 이상의 실리콘 원자(들)를 갖는 실리콘-함유 화합물들- 은 또한, 일부 실시예들에서, SiN 막들을 형성하도록 사용된다. 실시예에 따라, 실리콘 원자(들)는 4 개의 아민기들, 또는 3 개의 아민기들, 또는 2 개의 아민기들, 또는 1 개의 아민기들에 결합될 수도 있다. 예를 들어, 중앙 실리콘 원자에 결합된 2 개의 아민기들 및 2 개의 수소 원자들을 갖는 특정한 막-전구체는 BTBAS (bis-t-butylaminosilane,  $SiH_2(NHC(CH_3)_3)_2$ ) 이다. 막-전구체들에 사용하기 적합한 아미노실란들의 다른 구체적인 예들은 이로 제한되는 것은 아니지만, 모노-아미노실란, 디-아미노실란, 트리-아미노실란, 및 테트라-아미노실란 (각각  $H_3SiNH_2$ ,  $H_2Si(NH_2)_2$ ,  $HSi(NH_2)_3$ , 및  $Si(NH_2)_4$ ) 을 포함한다. 치환된 모노-아미노실란, 디-아미노실란, 트리-아미노실란, 및 테트라-아미노실란들은 또한 이로 제한되는 것은 아니지만 Me, Et, i-Pr, n-Pr, 및 t-부틸 작용기들로 치환된 아민기를 갖는 이러한 화합물들을 포함하는 적합한 막-전구체들로서 기능할 수도 있다. 구체적인 예들은 t-부틸아미노실란, 메틸아미노실란, t-부틸실란아민, n-tert-부틸트리메틸실릴아민, t-부틸 시릴 카바메이트,  $SiHCH_3(N(CH_3)_2)_2$ ,  $SiH(N(CH_3)_2)_3$ ,  $SiHCl(N(CH_3)_2)_2$ ,  $Si(CH_3)_2(NH_2)_2$ ,  $(Si(CH_3)_2NH)_3$ ,  $(NR)_2Si(CH_3)_2$  (여기서 R은 수소이거나 Me, Et, i-Pr, n-Pr, 및 t-부틸 작용기들로부터 선택된다), 및 트리실릴아민 ( $N(SiH_3)_3$ )

을 포함한다. 다른 구체적인 예들은 디메틸아미노, 비스-디메틸아미노 메틸실란 (BDMAMS), 및 트리스-디메틸아미노 실란 (TDMAS), 2,2-비스(디메틸아미노)-4,4-디메틸-2,4-디실라펜테인, 2,2,4-트리메틸-4-디메틸아미노-3,4-디실라펜테인, 디메틸아미노디메틸실란, 비스(디메틸아미노)메틸실란, 및 트리스(디메틸아미노)실란을 포함한다. 1,1,3,3-테트라메틸디실라잔은 실라잔의 비한정적인 예이다.

[0070]

SiN 막의 증착을 위해서, 적합한 실리콘-함유 반응물질/막-전구체, 예를 들어 상기 기술된 것들이 질소-함유 공반응물질과 함께 사용될 수도 있다. 사용될 수도 있는 질소-함유 공반응물질의 비한정적 예들은 암모니아, 히드라진, 아민들, 예를 들어, 메틸아민, 디메틸아민, 에틸아민, 이소프로필아민, t-부틸아민, 디-t-부틸아민, 사이클로프로필아민, sec-부틸아민, 사이클로부틸아민, 이소아밀아민 (isoamylamine), 2-메틸부탄-2-아민, 트리메틸아민, 디이소프로필아민, 디에틸이소프로필아민, 디-t-부틸히드라진, 및 방향족 함유 아민들, 예를 들어 아닐린들, 피리딘들 및 벤질아민들을 포함한다. 아민들은 1차, 2차, 3차 또는 4차 (예를 들어, 테트라알킬암모늄 화합물들) 일 수도 있다. 질소-함유 공반응물질은 적어도 하나의 질소를 포함하지만, 질소가 아닌 이종원자들 (heteroatoms) 을 포함할 수도 있다. 따라서, 예를 들어, 하이드록실아민, t-부틸옥시카보닐 아민, 및 N-t-부틸 하이드록실아민이 질소-함유 반응물질들로서 고려된다. 일부 실시예들에서, N-함유 반응물질은 N<sub>2</sub>일 수도 있다. 일부 실시예들에서, N-함유 공반응물질은 막-형성 표면 반응을 활성화하기 위해 이온화된 플라즈마 또는 자유-라디칼 플라즈마 내의 종으로서 사용될 수도 있다. N-함유 공반응물질에 기반한 플라즈마를 채용하는 이러한 특정한 실시예들에서, N-함유 공반응물질들로 지칭되는 것들은 NH<sub>3</sub>, N<sub>2</sub>, 및 아민들, 구체적으로 t-부틸 아민을 포함한다.

[0071]

마지막으로, 복수의 ALD 사이클들이 컨포멀층들의 스택들을 구축하도록 반복될 수도 있기 때문에, 일부 실시예들에서, 층 각각은 다른 실시예들에서와 실질적으로 동일한 조성을 가질 수도 있고, 순차적으로 ALD 증착된 층들은 상이한 조성들을 가질 수도 있고, 또는 특정한 이러한 실시예들에서, 조성은 층마다 교번할 수도 있고 또는 상이한 조성들을 갖는 층들의 반복하는 시퀀스가 있을 수도 있다는 것을 주의해야 한다.

[0073]

*기관 프로세싱 장치들*

[0074]

본 명세서에 기술된 방법들은 임의의 적합한 반도체 기관 프로세싱 장치를 사용하여 수행될 수도 있다. 적합한 장치는 프로세스 동작들을 달성하기 위한 하드웨어 및 SiN 막 형성 ALD 방법론들 및 본 명세서에 개시된 치밀화 기법들에 따라 프로세스 동작들을 제어하기 위한 인스트럭션들을 갖는 시스템 제어기를 포함한다. 일부 실시예들에서, 하드웨어는 멀티-스테이션 기관 프로세싱 툴에 포함된 하나 이상의 프로세스 스테이션들, 및 본 명세서에 개시된 막 형성 기법들에 따라 프로세스 동작들을 제어하기 위한 머신-관독가능 인스트럭션들을 갖는 (또는 이에 대해 액세스하는) 제어기를 포함할 수도 있다.

[0075]

따라서, 일부 실시예들에서, 반도체 기관들 상에 습식 에칭 내성 SiN 막들을 증착하기에 적합한 장치는 프로세싱 챔버, 프로세싱 챔버 내의 기관 홀더, 프로세싱 챔버 내로 가스들을 흘리기 위한 하나 이상의 가스 유입부들, 프로세싱 챔버로부터 가스들을 제거하기 위한 진공 소스, 프로세싱 챔버 내에 플라즈마를 생성하기 위한 플라즈마 생성기, 및 반도체 기관들 상으로 SiN 막층을 증착하기 위한 하나 이상의 가스 유입부들, 진공 소스, 및 플라즈마 생성기를 동작시키기 위한 머신-관독가능 인스트럭션들을 포함하는 하나 이상의 제어기들을 포함할 수도 있다. 제어기에 의해 실행된 상기 인스트럭션들은 상기 기술된 바와 같이 ALD 동작들 (i) 내지 (vi) 를 수행하기 위한 인스트럭션들 및 치밀화된 SiN 막의 복수의 층들을 형성하도록 ALD 동작들 (i) 내지 (vi) 를 복수 회 반복하기 위한 인스트럭션들을 포함할 수도 있다. 적합한 시스템 제어기들은 이하에 보다 상세히 기술된다.

[0076]

따라서, 도 5는 본 명세서에 개시된 ALD 기법들을 수행하기 위한 기관 프로세싱 장치 (500) 의 실시예를 개략적으로 예시한다. 프로세싱 장치 (500) 는 간략함을 위해, 독립된 프로세스 스테이션을 호스팅하는 것으로 도시된, 저압 환경을 유지하기 위한 프로세스 챔버 바디 (502) 를 갖는 것으로 도시된다. 그러나, 본 명세서에 기술된 바와 같이, 공통 프로세스 툴 환경 -예를 들어, 공통 반응 챔버 내- 에 포함될 수도 있다는 것이 이해될 것이다. 예를 들어, 도 6은 멀티-스테이션 프로세싱 툴의 실시예를 도시한다. 또한, 일부 실시예들에서, 상기에 상세히 논의된 것들을 포함하는, 프로세싱 장치 (500/600) 의 하나 이상의 하드웨어 파라미터들은 하나 이상의 시스템 제어기들에 의해 프로그램적으로 조정될 수도 있다는 것이 이해될 것이다.

[0077]

다시 도 5를 참조하면, 장치 (500) 의 프로세싱 챔버 (502) 는 진공 펌프 (518) 에 의해 진공 하로 유지될 수도 있는 내부 볼륨 내에 단일 기관 홀더 (508) 를 갖는다. 또한 가스 전달 시스템 (501) 및 샤워헤드 (506) 가

(예를 들어) 막 전구체들, 캐리어 및/또는 퍼지 및/또는 프로세스 가스들, 2차/공반응물질들, 등의 전달을 위해 챔버에 유체적으로 커플링된다. 프로세싱 챔버 내에서 플라즈마를 생성하기 위한 장비는 또한 도 5에 도시되고 이하에 보다 상세히 기술될 것이다. 임의의 경우에, 이하에 상세히 기술되는 바와 같이, 도 5에 개략적으로 도시된 장치는 반도체 기관들 상의 ALD와 같은 막 증착 동작들을 수행하기 위한 기본적인 장비를 제공한다.

[0078] 프로세스 스테이션 (500) 은 분배 샤워헤드 (506) 로 프로세스 가스들을 전달하기 위해 반응물질 전달 시스템 (501) 과 유체적으로 연통한다. 반응물질 전달 시스템 (501) 은 샤워헤드 (506) 로의 전달을 위해 프로세스 가스들을 블렌딩 및/또는 컨디셔닝하기 위한 혼합 용기 (504) 를 포함한다. 하나 이상의 혼합 용기 유입부 밸브들 (520) 은 혼합 용기 (504) 로의 프로세스 가스들의 도입을 제어할 수도 있다.

[0079] 일부 반응물질들은 기화 및 후속하는 프로세싱 챔버 (502) 로의 전달 전에 액체 형태로 저장될 수도 있다. 도 5의 실시예는 혼합 용기 (504) 로 공급될 액체 반응물질을 기화하기 위한 기화 지점 (503) 을 포함한다. 일부 실시예들에서, 기화 지점 (503) 은 가열된 액체 주입 모듈일 수도 있다. 일부 실시예들에서, 기화 지점 (503) 은 가열된 기화기일 수도 있다. 이러한 모듈들/기화기들로부터 생성된 포화된 반응물질 증기는 적절한 제어가 일어나지 않을 때 (예를 들어, 액체 반응물질 기화/원자화 (atomizing) 시 헬륨이 사용되지 않을 때) 다운스트림 전달 파이프에서 응결될 수도 있다. 비양립적인 가스들의 응결된 반응물질에 대한 노출은 작은 입자들을 생성할 수도 있다. 이들 작은 입자들은 파이프를 막고 밸브 동작을 방해하며 기관들을 오염시키는 등을 할 수 있다. 이러한 문제들을 다루기 위한 일부 방식들은 잔류 반응물을 제거하도록 전달 파이프를 스위핑 및/또는 배기하는 것을 수반한다. 그러나, 전달 파이프를 스위핑하는 것은 프로세스 스테이션 사이클 시간을 증가시키며 이로써 프로세스 스테이션 처리량을 감소시킬 수도 있다. 따라서, 일부 실시예들에서, 기화 지점 (503) 의 다운스트림에 있는 전달 파이프는 열 처리될 수도 있다. 일부 예들에서, 혼합 용기 (504) 도 또한 열 처리될 수도 있다. 일 비한정적 예에서, 기화 지점 (503) 의 다운스트림에 있는 파이프는 혼합 용기 (504) 에서 대략 100 °C로부터 대략 150 °C로 이르는 증가하는 온도 프로파일을 갖는다.

[0080] 언급된 바와 같이, 일부 실시예들에서 기화 지점 (503) 은 가열된 액체 주입 모듈 ("액체 주입기"로 약칭) 일 수도 있다. 이러한 액체 주입기는 혼합 용기의 업스트림에서 캐리어 가스 스트림에 액체 반응물질의 펄스들을 주입할 수도 있다. 일 시나리오에서, 액체 주입기는 보다 높은 압력에서 보다 낮은 압력으로 액체를 플래싱 (flashing) 함으로써 반응물질을 기화할 수도 있다. 또 다른 시나리오에서, 액체 주입기는 가열된 전달 파이프 내에서 나중에 기화되는 분산된 마이크로 액적들 (microdroplets) 로 액체를 원자화할 수도 있다. 보다 작은 액적들이 보다 큰 액적들보다 빠르게 기화될 수도 있고, 액체 주입과 기화 완료 사이의 지연을 감소시킨다는 것이 이해될 것이다. 보다 빠른 기화는 기화 지점 (503) 으로부터 다운스트림의 파이프 길이를 감소시킬 수도 있다. 일 시나리오에서, 액체 주입기는 혼합 용기 (504) 에 직접적으로 장착될 수도 있다. 또 다른 시나리오에서, 액체 주입기는 샤워헤드 (506) 에 직접적으로 장착될 수도 있다.

[0081] 일부 실시예들에서, 액체 유량 제어기 (LFC) 가 기화 및 프로세싱 챔버 (502) 로의 전달을 위해 액체의 질량 유량을 제어하기 위해 기화 지점 (503) 의 업스트림에 제공될 수도 있다. 예를 들어, 액체 유량 제어기 (LFC) 는 LFC의 다운스트림에 위치한 열적 질량 유량 미터 (MFM) 를 포함할 수도 있다. 이어서 LFC의 플러저 밸브가 MFM 과 전기적으로 통신하는 PID (proportional-integral-derivative) 제어기에 의해 제공된 피드백 제어 신호들에 응답하여 조정될 수도 있다. 그러나, 이는 피드백 제어를 사용하여 액체 플로우를 안정화시키기 위해 1 초 이상 걸릴 수도 있다. 이는 액체 반응물질을 도장하기 위한 시간을 연장할 수도 있다. 따라서, 일부 실시예들에서, LFC는 피드백 제어 모드와 직접 제어 모드 사이에서 동적으로 전환될 수도 있다. 일부 실시예들에서, LFC 는 LFC 및 PID 제어기의 센스 튜브를 디스에이블함으로써 피드백 제어 모드로부터 직접 제어 모드로 동적으로 전환될 수도 있다.

[0082] 샤워헤드 (506) 는 프로세스 스테이션에서 기관 (512) 을 향하여 프로세스 가스들 및/또는 반응물질들 (예를 들어, 막 프리커서들) 을 분배하고, 이의 플로우를 샤워헤드로부터 업스트림의 하나 이상의 밸브들 (예를 들어, 밸브들 (520, 520A, 505)) 에 의해 제어된다. 도 5에 도시된 실시예에서, 기관 (512) 은 샤워헤드 (506) 아래에 위치되고, 페테스탈 (508) 상에 얹힌 것으로 도시된다. 샤워헤드는 임의의 적합한 형상을 가질 수도 있고, 기관으로 프로세스 가스들을 분배하기 위해 임의의 적합한 수 및 배열의 포트들을 가질 수도 있다는 것이 이해될 것이다.

[0083] 일부 실시예들에서, 마이크로볼륨 (507) 은 샤워헤드 (506) 아래에 위치된다. 프로세싱 챔버의 전체 볼륨에서 보다 기관 가까이 프로세스 스테이션의 마이크로볼륨 내에서 ALD 프로세스를 수행하는 것은 반응물질 노출 및 스위핑 시간들을 감소시킬 수도 있고, 프로세스 조건들 (예를 들어, 압력, 온도, 등) 을 변경하기 위한 시간들

을 감소시킬 수도 있고, 프로세스 가스들에 대한 프로세스 스테이션 로보틱스의 노출을 제한하는 등을 할 수도 있다. 예시적인 마이크로볼륨 사이즈들은 이로 제한되는 것은 아니지만, 0.1 리터 내지 2 리터의 볼륨을 포함한다.

[0084] 일부 실시예들에서, 페테스탈 (508) 은 기관을 마이크로볼륨 (507) 에 노출시키고/시키거나 마이크로볼륨 (507) 의 체적을 변화시키기 위해 상승되거나 하강될 수도 있다. 예를 들어, 기관 이송 페이지에서, 페테스탈은 기관으로 하여금 페테스탈 상으로 로딩되게 하도록 하강될 수도 있다. 기관 상의 증착 프로세스 페이지 동안, 페테스탈은 마이크로볼륨 내에 기관을 포지셔닝하기 위해 상승될 수도 있다. 일부 실시예들에서, 마이크로볼륨은 증착 프로세스 동안 고 플로우 임피던스 영역을 생성하기 위해 페테스탈의 일부뿐만 아니라 기관을 완전히 둘러쌀 수도 있다.

[0085] 선택적으로, 페테스탈 (508) 은 마이크로볼륨 (507) 내에서 프로세스 압력, 반응물질 농도, 등을 조절하기 위해 일부의 증착 프로세스 동안 하강되고/되거나 상승될 수도 있다. 프로세스 챔버 바디 (502) 가 프로세스 동안 기준 압력으로 유지되는 일 시나리오에서, 페테스탈을 하강시키는 것은 마이크로볼륨으로 하여금 배기되게 할 수도 있다. 프로세스 챔버 볼륨에 대한 마이크로볼륨의 예시적인 비들은 이로 제한되는 것은 아니지만, 1:500 내지 1:10의 체적 비를 포함한다. 일부 실시예들에서, 페테스탈 높이는 적합한 시스템 제어기에 의해 프로그램적으로 조정될 수도 있다는 것이 이해될 것이다.

[0086] 또 다른 시나리오에서, 페테스탈의 높이를 조정하는 것은 플라즈마 밀도로 하여금 예를 들어, ALD 또는 CVD 프로세스에 포함된 플라즈마 활성화 및/또는 처리 사이클들 동안 변할 수 있게 한다. 증착 프로세스 단계의 종료 시, 페테스탈은 다른 기관 이송 단계 동안 페테스탈로부터 기관의 제거를 허용하기 위해 하강될 수도 있다.

[0087] 본 명세서에 기술된 예시적인 마이크로볼륨 변화들이 높이-조정가능한 페테스탈을 참조하지만, 일부 실시예들에서, 샤워헤드 (506) 의 위치는 마이크로볼륨 (507) 의 체적을 변화시키기 위해 페테스탈 (508) 에 대해 조정될 수도 있다는 것이 이해될 것이다. 또한, 페테스탈 및/또는 샤워헤드의 수직 위치는 본 개시의 범위 내에 있는 임의의 적합한 메커니즘에 의해 변화될 수도 있다는 것이 이해될 것이다. 일부 실시예들에서, 페테스탈은 기관의 배향을 회전시키기 위한 회전 축을 포함할 수도 있다. 일부 실시예들에서, 하나 이상의 이들 예시적인 조정들은, 전술한 동작들의 전부 또는 서브셋을 수행하기 위한 머신-관독가능 인스트럭션들을 갖는, 하나 이상의 적합한 시스템 제어기들에 의해 프로그램적으로 수행될 수도 있다는 것이 이해될 것이다.

[0088] 도 5에 도시된 실시예로 돌아가면, 샤워헤드 (506) 및 페테스탈 (508) 은 프로세싱 챔버 내에서 생성된 플라즈마에 전력을 공급하기 위해 RF 전력 공급부 (514) 및 매칭 네트워크 (516) 와 전기적으로 통신한다. 일부 실시예들에서, 플라즈마 에너지는 (예를 들어, 적절한 머신-관독가능 인스트럭션들을 갖는 시스템 제어기를 통해) 프로세스 스테이션 압력, 가스 농도, RF 전력 레벨, RF 전력의 주파수, 및 플라즈마 전력 펄스 타이밍 중 하나 이상을 제어함으로써 제어될 수도 있다. 예를 들어, RF 전력 공급부 (514) 및 매칭 네트워크 (516) 는 목표된 조성의 이온들 및/또는 라디칼 종들을 갖는 플라즈마를 형성하도록, 임의의 적합한 전력으로 동작될 수도 있다. 다양한 적합한 플라즈마 전력들의 예들은 -플라즈마 생성기 내에서 설정된 RF 전력 레벨뿐만 아니라 챔버 내의 플라즈마 전력 밀도의 관점으로- 상기에 기술되었고 이에 따라 채용되는 특정한 방법론에 따른다. 실시예에 따라, RF 전력 공급부 (514) 는 수행되는 임의의 프로세싱 방법에 대해 임의의 적합한 주파수의 RF 전력을 제공할 수도 있다. 일부 실시예들에서, RF 전력 공급부 (514) 는 서로 독립적으로 고 주파수 (HF) RF 전력 및 저 주파수 (LF) RF 전력 소스들을 제어하도록 구성될 수도 있다. RF 전력 소스에 의해 생성된 저 주파수들은 실시예에 따라, 약 50 kHz 내지 500 kHz의 범위일 수도 있다. RF 전력 소스에 의해 생성된 고 주파수들은 실시예에 따라, 약 1.8 MHz 내지 2.45 GHz의 범위일 수도 있다. 표면 반응들을 위한 플라즈마 에너지를 제공하도록 임의의 적합한 파라미터들이 이산적으로 또는 연속적으로 조절될 수도 있다는 것이 이해될 것이다. 일부 실시예들에서, 플라즈마 전력은 연속적으로 전력이 공급되는 플라즈마들에 대해 기관 표면과의 이온 충돌을 감소시키기 위해 간헐적으로 펄싱될 수도 있다.

[0089] 일부 실시예들에서, 플라즈마는 하나 이상의 플라즈마 모니터들에 의해 인 시츄 모니터링될 수도 있다. 일 시나리오에서, 플라즈마 전력은 하나 이상의 전압, 전류 센서들 (예를 들어, VI 프로브들) 에 의해 모니터링될 수도 있다. 또 다른 시나리오에서, 플라즈마 밀도 및/또는 프로세스 가스 농도는 하나 이상의 OES (optical emission spectroscopy) 센서들에 의해 측정될 수도 있다. 일부 실시예들에서, 하나 이상의 플라즈마 파라미터들은 이러한 인 시츄 플라즈마 모니터들로부터의 측정치들에 기초하여 프로그램적으로 조정될 수도 있다. 예를 들어, OES 센서는 플라즈마 전력의 프로그램적인 제어를 제공하기 위해 피드백 루프에서 사용될 수도 있다. 일부 실시예들에서, 플라즈마 및 다른 프로세스 특징들을 모니터링하기 위해 다른 모니터들이 사용될 수도 있다는

것이 이해될 것이다. 이러한 모니터들은 이로 제한되는 것은 아니지만, 적외선 (IR) 모니터들, 음향 모니터들, 및 압력 트랜스듀서들을 포함할 수도 있다.

[0090]

일부 실시예들에서, 플라즈마는 IOC (input/output control) 시퀀싱 인스트럭션들을 통해 제어될 수도 있다. 일 예에서, 플라즈마 활성화 페이즈를 위한 플라즈마 조건들을 설정하기 위한 인스트럭션들은 프로세스 레시피의 대응하는 플라즈마 활성화 레시피 페이즈에 포함될 수도 있다. 일부 경우들에서, 프로세스 레시피 페이즈들은 프로세스 페이즈를 위한 모든 인스트럭션들이 이 프로세스 페이즈와 동시에 실행되도록 순차적으로 배열될 수도 있다. 일부 실시예들에서, 하나 이상의 플라즈마 파라미터들을 설정하기 위한 인스트럭션들은 플라즈마 프로세스 페이즈에 선행하는 레시피 페이즈에 포함될 수도 있다. 예를 들어, 제 1 레시피 페이즈는 불활성 (예를 들어, 헬륨) 및/또는 반응물질 가스 (예를 들어, NH<sub>3</sub>) 의 플로우 레이트를 설정하기 위한 인스트럭션들, 전력 설정 점으로 플라즈마 생성기를 설정하기 위한 인스트럭션들, 및 제 1 레시피 페이즈를 위한 시간 지연 인스트럭션들을 포함할 수도 있다. 제 2, 후속하는 레시피 페이즈는 플라즈마 생성기를 인에이블하기 위한 인스트럭션들 및 제 2 레시피 페이즈를 위한 시간 지연 인스트럭션들을 포함할 수도 있다. 제 3 레시피 페이즈는 플라즈마 생성기를 디스에이블하기 위한 인스트럭션들 및 제 3 레시피 페이즈를 위한 시간 지연 인스트럭션들을 포함할 수도 있다. 이들 레시피 페이즈들은 더 세분화될 수도 있고/있거나 본 개시의 범위 내의 임의의 적합한 방식으로 반복될 수도 있다는 것이 이해될 것이다.

[0091]

일부 증착 프로세스들에서, 플라즈마는 스트라이킹되고 대략 몇 초 이상 유지될 수도 있다. 일부 증착 프로세스들에서, 플라즈마는 스트라이킹되고 훨씬 보다 짧은 지속 기간들 동안 유지될 수도 있다. 선택된 지속 기간은 생성될 플라즈마의 특징 및 목적에 따른다. 적합한 플라즈마 지속 기간들 및 기관 노출 시간들은 본 명세서에 개시된 특정한 막 증착 기법들에 대해 상기에 나타내었다. 매우 짧은 RF 플라즈마 지속 기간들은 따라서 플라즈마의 매우 신속한 안정화를 필요로 할 수도 있다는 것을 주의해야 한다. 이를 달성하기 위해, 플라즈마 생성기는 주파수가 플로팅하도록 허용되는 동안, 임피던스 매칭이 특정한 전압으로 프리셋되도록 구성될 수도 있다. 관습적으로, 고주파수 플라즈마들이 약 13.56 MHz로 설정된 RF 주파수에서 생성되지만, 일부 구성들에서, 주파수는 이들 표준 값과 상이한 값으로 플로팅되게 될 수도 있다. 임피던스 매칭을 미리 결정된 전압으로 고정하면서 주파수가 플로팅되게 허용함으로써, 플라즈마는 훨씬 보다 신속하게 안정화될 수 있고, 때때로 ALD 사이클들과 연관된 매우 짧은 플라즈마 지속 기간들을 사용할 때 이 결과가 중요할 수도 있다.

[0092]

특정한 실시예들에서, 13.56 MHz의 표준 HF 값의 배수가 훨씬 보다 높은 주파수 플라즈마들을 생성하도록 사용될 수도 있다. 13.56 MHz의 표준 값이 사용될 때, 13.56 MHz의 보다 높은 주파수 배수에서 생성된 HF 방사선은 또한 정확한 값의 배수 근방에서 플로팅하게 될 수도 있다. 사용될 수도 있는 13.56 MHz의 배수들은, 실시예에 따라, 27.12 MHz (= 2\*13.56 MHz), 40.68 MHz (= 3\*13.56 MHz), 54.24 MHz (= 4\*13.56 MHz), 등을 포함한다. 13.56 MHz의 배수에 대한 주파수 튜닝은 약 +/- 1 MHz, 또는 보다 특별히, 약 +/- 0.5 MHz의 주파수 변형을 포함할 수도 있다. 보다 높은 RF 주파수들은 보다 높은 밀도, 보다 낮은 시트 전압들, 및 보다 적은 이온 충돌 및 지향성을 갖는 보다 에너지적인 (energetic) 플라즈마를 발생시키고, 이는 고 고중형비 3D 구조체들 상으로 증착할 때 유리한 경향이 있다.

[0093]

일부 실시예들에서, 페테스탈 (508) 은 히터 (510) 를 통해 온도 제어될 수도 있다. 또한, 일부 실시예들에서, 프로세싱 장치 (500) 를 위한 압력 제어가 버터플라이 밸브 (518) 와 같은 하나 이상의 밸브로 동작된 진공 소스들에 의해 제공될 수도 있다. 도 5의 실시예에 도시된 바와 같이, 버터플라이 밸브 (518) 는 다운스트림 진공 펌프 (미도시) 에 의해 제공된 진공을 쓰로틀한다. 그러나, 일부 실시예들에서, 프로세싱 장치 (500) 의 압력 제어는 또한 프로세싱 챔버 (502) 에 도입된 하나 이상의 가스들의 플로우 레이트를 변화시킴으로써 조정될 수도 있다. 일부 실시예들에서, 하나 이상의 밸브로 동작된 진공 소스들 -버터플라이 밸브 (518) 와 같은- 은 적절한 ALD 동작 페이즈들 동안 프로세스 스테이션들을 둘러싸는 볼륨들로부터 막 전구체를 제거하기 위해 사용될 수도 있다.

[0094]

일부 환경들에서 도 5와 같은 기관 프로세싱 장치가 충분한 수도 있지만, 시간 소모적인 막 증착 동작들이 수반될 때, 복수의 반도체 기관들 상에서 병렬로 복수의 증착 동작들을 동시에 수행함으로써 기관 프로세싱 처리량을 증가시키기 위해 유리할 수도 있다. 이 목적을 위해, 도 6에 개략적으로 예시된 것과 같은 멀티-스테이션 기관 프로세싱 장치가 채용될 수도 있다. 도 6의 기관 프로세싱 장치 (600) 는 여전히 단일 기관 프로세싱 챔버 (614) 를 채용하지만, 프로세싱 챔버의 벽들에 의해 규정된 단일 내부 볼륨 내에 복수의 기관 프로세스 스테이션들이 있고, 이들 각각은 상기 프로세스 스테이션에서 기관 홀더에 홀딩된 기관 상에서 프로세싱 동작들을 수행하도록 사용될 수도 있다. 일부 실시예들에서, 공통 저압 환경에 복수의 스테이션들을 유지함으로써, 다양

한 스테이션들에서 수행된 막 증착 프로세스들 사이에 진공 브레이크들 (vacuum break) 에 의해 유발된 디펙트들이 회피될 수도 있다는 것을 주의하라.

[0095] 이러한 특정한 구현예에서, 멀티스테이션 기관 프로세싱 장치 (600) 는 4 개의 프로세스 스테이션들 (601, 602, 603, 및 604) 을 갖는 것으로 도시된다. 장치는 또한 기관 로딩 디바이스, 이 경우 포트 (628) 로부터 로딩된 카세트로부터 기관들을 대기 포트 (620) 를 통해 프로세싱 챔버 (614) 내로, 마지막으로 하나 이상의 프로세스 스테이션들, 구체적으로, 이 경우, 프로세스 스테이션들 (601 및 602) 로 이동시키도록 구성된 기관 핸들러 로봇 (626) 을 채용한다. 또한 기관 이송 디바이스로서 기능하는, 이 경우에서, 기관들을 다양한 프로세스 스테이션들 (601, 602, 603, 및 604) 사이에서 이송하기 위한 기관 캐로절 (690) 제공된다.

[0096] 도 6에 도시된 실시예에서, 기관 로딩 디바이스는 기관 조작을 위해 2 개의 암들을 갖는 기관 핸들러 로봇 (626) 으로서 도시되고, 또한 도시된 바와 같이, 기관 로딩 디바이스는 두 스테이션들 (601 및 602) 에서 (아마도, 동시에 또는 아마도 순차적으로) 기관들을 로딩할 수 있다. 이어서, 스테이션들 (601 및 602) 에서 로딩한 후, 기관 이송 디바이스, 도 6에 도시된 캐로절 (690) 은 스테이션들 (601 및 602) 로부터 스테이션들 (603 및 604) 로 2 개의 기관들을 이송시키기 위해 (기관들의 평면에 실질적으로 수직 (면으로부터 나오는) 이고, 기관들 사이에서 실질적으로 등거리인 중심축을 중심으로) 180도 회전할 수 있다. 이 때, 기관 핸들러 로봇 (626) 은 스테이션들 (601 및 602) 에서 2 개의 새로운 기관들을 로딩할 수 있고, 로딩 프로세스를 완료한다. 언로딩하기 위해, 이들 단계들은, 4 개의 웨이퍼들의 복수의 세트들이 프로세싱된다면, 기관 핸들러 로봇 (626) 에 의한 2 개의 기관들의 각각의 언로딩이 이송 캐로절 (690) 을 180도 회전시키기 전에 2 개의 새로운 기관들을 로딩하는 것을 동반하는 것을 제외하고, 반대일 수 있다. 유사하게, 기관들을 단지 하나의 스테이션, 즉, 601에 위치시키도록 구성된 1-암 핸들러 로봇이, 모든 4 개의 스테이션들에서 기관들을 로딩하기 위해 캐로절 (690) 의 90도의 4 번의 회전에 의해 동반된 4 단계 로딩 프로세스에서 사용될 것이다. 도 6이 기관 로딩 디바이스의 예로서 2 개의 암들을 갖는 기관 핸들러 로봇 (626), 그리고 기관 이송 디바이스의 예로서 캐로절 (690) 을 도시하지만, 다른 타입들의 적합한 기관 로딩 및 이송 디바이스들이 또한 채용될 수도 있다는 것이 이해될 것이라는 것을 주의한다.

[0097] 다른 유사한 멀티-스테이션 프로세싱 장치들이 실시예, 예를 들어, 병렬 웨이퍼 프로세싱의 목표된 레벨, 사이즈/공간 제약들, 비용 제약들, 등에 따라 보다 많거나 보다 적은 프로세싱 스테이션들을 가질 수도 있다. 또한 본 명세서에 개시된 다양한 ALD 막 형성 방법론들을 달성하기 위해 기관 프로세싱 장치의 동작을 제어하는 시스템 제어기 (650) 가 도 6에 도시되고 이하에 보다 상세히 기술된다.

[0098] 장비 가격 및 동작 비용 양자에 대해 도 6에 도시된 것과 유사한 멀티-스테이션 기관 프로세싱 장치의 사용을 통해 다양한 효율들이 달성될 수도 있다는 것을 주의한다. 예를 들어, 단일 진공 펌프 (도 6에 도시되지 않지만, 예를 들어, 도 5의 518) 가 모든 4 개의 스테이션들에 대해 소비된 프로세스 가스들을 배기하고, 단일 고진공 환경을 생성하는, 등을 위해 사용될 수도 있다. 유사하게, 일부 실시예들에서, 단일 샤워헤드는 단일 프로세싱 챔버 내의 모든 프로세싱 스테이션들 사이에서 공유될 수도 있다.

[0099] 그러나, 다른 실시예들에서, 프로세스 스테이션 각각은 가스 전달을 위해 고유의 전용 샤워헤드 (예를 들어, 도 5의 506 참조) 를 가질 수도 있지만, 특정한 이러한 실시예들에서 공통 가스 전달 시스템이 채용될 수도 있다 (예를 들어, 도 5의 501). 프로세스 스테이션 당 전용 샤워헤드를 갖는 실시예들에서, 스테이션 각각은 개별적으로 조정되고/되거나 제어된 온도를 가질 수도 있다. 예를 들어, 샤워헤드 각각은 가스들을 전달할 기관에 대해 또는 샤워헤드와 연관된 기관 홀더들에 대해, 등에 대해 온도 조정될 수도 있다. 동일한 방식으로, 가열 및/또는 냉각을 통해 기관 홀더들이 능동적으로 온도 제어되고/조정되는 실시예들에서, 예를 들어 기관 홀더 각각의 온도는 개별적으로 조정될 수도 있다.

[0100] 프로세스 스테이션들 사이에 공유될 수도 있거나 복수 개 제공되고 프로세스 스테이션 당 개별적으로 전용될 수도 있는 다른 하드웨어 엘리먼트들은 플라즈마 생성기 장비의 특정한 엘리먼트들을 포함한다. 모든 프로세스 스테이션들은, 예를 들어, 공통 플라즈마 전력 공급부를 공유할 수도 있지만, 한편, 전용 샤워헤드들이 제공된다면, 그리고 이들이 플라즈마 생성 전기 전위를 인가하도록 사용된다면, 이들은 상이한 프로세스 스테이션들에 개별적으로 전용된 플라즈마 생성 하드웨어의 엘리먼트들을 나타낸다. 다시, 이들 프로세스 스테이션-특정 샤워헤드들 각각은 예를 들어, 사용되는 ALD 프로세스들의 상세들 및 특정한 프로세스 스테이션들의 열적 특성들의 차에 따라 개별적으로 조정된 온도를 가질 수도 있다.

[0101] 물론, 이러한 효율들은 또한 프로세싱 챔버 당 보다 많거나 보다 적은 수의 스테이션들을 사용함으로써 보다 크거나 보다 적은 정도로 달성될 수도 있다는 것이 이해되어야 한다. 따라서, 도시된 프로세싱 챔버 (614) 가 4

개의 프로세스 스테이션들을 포함하지만, 본 개시에 따른 프로세싱 챔버는 임의의 적합한 수의 스테이션들을 가질 수도 있다는 것이 이해될 것이다. 예를 들어, 일부 실시예들에서, 프로세싱 챔버는 1, 또는 2, 또는 3, 또는 4, 또는 5, 또는 6, 또는 7, 또는 8, 또는 9, 또는 10, 또는 11, 또는 12, 또는 13, 또는 14, 또는 15, 또는 16, 또는 그 이상의 프로세스 스테이션들을 가질 수도 있다 (또는 실시예들의 세트는, 반응 챔버 당 2 내지 6 개의 프로세스 스테이션들, 또는 반응 챔버 당 4 내지 8 개의 프로세스 스테이션들, 또는 반응 챔버 당 8 내지 16 개의 프로세스 스테이션들, 등과 같이, 전술한 값들의 임의의 쌍에 의해 규정된 범위 내에서 반응 챔버 당 다수의 프로세스 스테이션들을 갖는 것으로 기술될 수도 있다).

[0102] 또한, 공통 프로세싱 챔버 내의 다양한 프로세스 스테이션들이 실시예에 따라, 복제 병렬 프로세싱 동작들 또는 상이한 프로세싱 동작들에 대해 사용될 수도 있다는 것이 이해되어야 한다. 예를 들어, 일부 실시예들에서, 일부 프로세스 스테이션들은 다른 스테이션들이 CVD 프로세스 모드로 전용되는 동안, 또 다른 스테이션들이 ALD 프로세스 모드와 CVD 프로세스 모드 사이에서 스위칭될 수도 있는 동안, ALD 프로세스 모드로 전용될 수도 있다.

[0104] 시스템 제어기들

[0105] 도 6은 또한 프로세스 툴 (600) 및 이의 프로세스 스테이션들의 프로세스 조건들 및 하드웨어 상태들을 제어하기 위해 채용된 시스템 제어기 (650) 의 실시예를 도시한다. 시스템 제어기 (650) 는 하나 이상의 메모리 디바이스들 (656), 하나 이상의 대용량 저장 디바이스들 (654), 및 하나 이상의 프로세서들 (652) 을 포함할 수도 있다. 프로세서 (652) 는 하나 이상의 CPU들, ASIC들, 범용 컴퓨터(들) 및/또는 특수 목적 컴퓨터(들), 하나 이상의 아날로그 및/또는 디지털 입력/출력 접속부(들), 하나 이상의 스텝퍼 모터 제어기 보드(들), 등을 포함할 수도 있다.

[0106] 일부 실시예들에서, 시스템 제어기 (650) 는 개별 프로세스 스테이션들의 동작들을 포함하는, 프로세스 툴 (600) 의 일부 또는 모든 동작들을 제어한다. 시스템 제어기 (650) 는 프로세서 (652) 상에서 머신-판독가능한 시스템 제어 인스트럭션들 (658) 을 실행할 수도 있고 -시스템 제어 인스트럭션들 (658) 은 일부 실시예들에서, 대용량 저장 디바이스 (654) 로부터 메모리 디바이스 (656) 로 로딩된다. 시스템 제어 인스트럭션들 (658) 은 타이밍, 가스상 및 액체 반응물질들의 혼합, 챔버 및/또는 스테이션 압력, 챔버 및/또는 스테이션 온도, 웨이퍼 온도, 목표 전력 레벨들, RF 전력 레벨들, RF 노출 시간, 기관 폐테스탈, 척 및/또는 서셉터 위치, 및 프로세스 툴 (600) 에 의해 수행된 특정한 프로세스의 다른 파라미터들을 포함할 수도 있다. 이들 프로세스들은 이들로 제한되는 것은 아니지만, 기관들 상의 막의 증착과 관련된 프로세스들을 포함하는, 다양한 타입들의 프로세스들을 포함할 수도 있다.

[0107] 따라서, 시스템 제어기 (650) 에 의해 실행된 머신-판독가능한 인스트럭션들 (658) 은 상기된 바와 같은 ALD 동작들 (i) 내지 (vi) 을 수행하기 위한 인스트럭션들, 및 복수의 치밀화된 SiN 막층들을 형성하기 위해 ALD 동작들 (i) 내지 (vi) 을 반복하기 위한 인스트럭션들을 포함할 수도 있다. 예를 들어, 본 명세서에 개시된 ALD 막-형성 방법론들을 달성하기 위해, 하나 이상의 시스템 제어기들의 인스트럭션들은:

[0108] 막 전구체를 상기 프로세싱 챔버 내로 흘리도록 상기 하나 이상의 가스 유입부들을 동작시키고 상기 막 전구체가 반도체 기관 상에 흡착 제한된 층을 형성하도록 상기 기관 홀더 내에 홀딩된 상기 반도체 기관 상에 상기 막 전구체를 흡착시키기 위한 인스트럭션으로서, 상기 막 전구체는 Si를 포함하는, 상기 가스 유입부들을 동작시키고 상기 막 전구체를 흡착시키기 위한 인스트럭션;

[0109] 상기 흡착된 막 전구체를 둘러싸는 볼륨으로부터 적어도 일부의 흡착되지 않은 막 전구체를 제거하도록 상기 진공 소스를 동작시키기 위한 인스트럭션;

[0110] 상기 흡착되지 않은 막 전구체를 제거하기 위한 인스트럭션들을 실행한 후 실행될, N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마를 생성하도록 상기 플라즈마 생성기를 동작시키고 상기 반도체 기관 상에 SiN 막층을 형성하도록 상기 N-함유 이온들 및/또는 N-함유 라디칼들을 포함하는 플라즈마에 상기 흡착된 막 전구체를 노출함으로써 상기 흡착된 막 전구체를 반응시키기 위한 인스트럭션;

[0111] 상기 흡착된 막 전구체를 반응시키기 위한 인스트럭션들을 실행한 후 실행될, 약 0.035 내지 2.2 W/cm<sup>2</sup>의 상기 기관 표면에 대한 전력 밀도를 갖는 He를 포함하는 플라즈마를 생성하도록 상기 플라즈마 생성기를 동작시키고 그리고 상기 SiN 막층을 상기 He를 포함하는 플라즈마에 0.5 내지 15 초간 노출시킴으로써 상기 SiN 막층을 치

밀화하기 위한 인스트럭션; 및

- [0112] 상기 반도체 기판 상에 부가적인 치밀화된 SiN 막층을 형성하도록 전송한 인스트럭션들을 반복하기 위한 인스트럭션들을 포함할 수도 있다.
- [0113] 일부 실시예들에서, 인스트럭션들은,
- [0114] 흡착된 막 전구체를 반응시키기 위한 인스트럭션들을 실행한 후 그러나 증착된 막층을 치밀화하기 위한 인스트럭션들을 실행하기 전에 실행될, 상기 SiN 막층을 둘러싸는 상기 볼륨으로부터 N-함유 이온들, N-함유 라디칼들, 탈착된 막 전구체, 및/또는 반응 부산물 중 적어도 일부를 제거하도록 상기 진공 소스를 동작시키기 위한 인스트럭션들; 및
- [0115] 증착된 막층을 치밀화하기 위한 인스트럭션들을 실행한 후 실행될, SiN 막층을 둘러싸는 상기 볼륨으로부터 적어도 일부의 He를 제거하도록 진공 소스를 동작시키기 위한 인스트럭션들을 더 포함할 수도 있다.
- [0116] 시스템 제어 인스트럭션들 (658)은 임의의 적합한 방식으로 구성될 수도 있다. 예를 들어, 다양한 프로세스 툴 컴포넌트 서브루틴들 또는 제어 객체들이 다양한 프로세스 툴 프로세스들을 수행하기 위해 필요한 프로세스 툴 컴포넌트들의 동작을 제어하도록 작성될 수도 있다. 시스템 제어 인스트럭션들 (658)은 임의의 적합한 컴퓨터 판독가능 프로그래밍 언어로 코딩될 수도 있다. 일부 실시예들에서, 시스템 제어 인스트럭션들 (658)은 소프트웨어로 구현되고, 다른 실시예들에서, 인스트럭션들은 하드웨어로 구현될 수도 있다 -예를 들어, ASIC (application specific integrated circuit) 내의 로직으로서 하드코딩되거나, 다른 실시예들에서, 소프트웨어 및 하드웨어의 조합으로 구현된다.
- [0117] 일부 실시예들에서, 시스템 제어 소프트웨어 (658)는 상기 기술된 다양한 파라미터들을 제어하기 위한 IOC (input/output control) 시퀀싱 (sequencing) 인스트럭션들을 포함할 수도 있다. 예를 들어, 증착 프로세스 또는 프로세스들의 각각의 단계는 시스템 제어기 (650)에 의해 실행할 하나 이상의 인스트럭션들을 포함할 수도 있다. 막 증착 프로세스 페이지에 대한 프로세스 조건들을 설정하기 위한 인스트럭션들은, 예를 들어, 대응하는 증착 레시피 페이지에 포함될 수도 있다. 일부 실시예들에서, 일 프로세스 페이지를 위한 모든 인스트럭션들이 그 프로세스 페이지와 동시에 실행되도록 레시피 페이지들이 순차적으로 배열될 수도 있다.
- [0118] 일부 실시예들에서 시스템 제어기 (650)와 연관된 대용량 저장 디바이스 (654) 및/또는 메모리 디바이스 (656)에 저장된 다른 컴퓨터-판독가능 인스트럭션들 및/또는 프로그램들이 채용될 수도 있다. 프로그램들 또는 프로그램들의 섹션들의 예들은 기관 포지셔닝 프로그램, 프로세스 가스 제어 프로그램, 압력 제어 프로그램, 히터 제어 프로그램, 및 플라즈마 제어 프로그램을 포함한다.
- [0119] 기관 포지셔닝 프로그램은 페데스탈 (도 5의 508 참조) 상에 기관을 로딩하고 기관과 도 5의 프로세스 툴 (500)의 다른 부분들 사이의 간격을 제어하도록 사용된 프로세스 툴 컴포넌트들에 대한 인스트럭션들을 포함할 수도 있다. 기관 포지셔닝 프로그램은 기관들 상에 막을 증착하기 위해 필요에 따라 반응 챔버의 내부 및 외부로 기관들을 적절하게 이동시키기 위한 인스트럭션들을 포함할 수도 있다.
- [0120] 프로세스 가스 제어 프로그램은 하나 이상의 프로세스 스테이션들을 둘러싸는 볼륨들 내의 압력을 안정화시키기 위해, 증착 전에 하나 이상의 프로세스 스테이션들을 둘러싸는 볼륨들 내로의 가스 조성 및 플로우 레이트들을 제어하기 위한 인스트럭션들 및 선택적으로 하나 이상의 프로세스 스테이션들을 둘러싸는 볼륨들 내로 가스를 흘리기 위한 인스트럭션들을 포함할 수도 있다. 일부 실시예들에서, 프로세스 가스 제어 프로그램은 기관들 상에 막 증착 동안 프로세스 챔버 내의 하나 이상의 프로세스 스테이션들을 둘러싸는 볼륨(들) 내로 특정한 가스들을 도입하기 위한 인스트럭션들을 포함할 수도 있다. 프로세스 가스 제어 프로그램은 또한 동일한 지속 기간 동안, 또는 증착될 막의 조성에 따라 상이한 레이트들 및/또는 상이한 지속 기간 동안, 이들 가스들을 동일한 레이트들로 전달하기 위한 인스트럭션들을 또한 포함할 수도 있다. 프로세스 가스 제어 프로그램은 가열된 주입 모듈 내에 헬륨 또는 일부 다른 캐리어 가스의 존재 시에 액체 반응물질을 원자화/기화하기 위한 인스트럭션들을 또한 포함할 수도 있다.
- [0121] 압력 제어 프로그램은 예를 들어, 프로세스 스테이션의 배기 시스템의 쓰로틀 밸브, 프로세스 스테이션으로의 가스 플로우, 등을 조절함으로써 프로세스 스테이션 내의 압력을 제어하기 위한 인스트럭션들을 포함할 수도 있다. 압력 제어 프로그램은 기관들 상에 다양한 막 타입들의 증착 동안 동일한 압력 또는 상이한 압력들을 유지하기 위한 인스트럭션들을 포함할 수도 있다.
- [0122] 히터 제어 프로그램은 기관을 가열하기 위해 사용된 히팅 유닛으로의 전류를 제어하기 위한 인스트럭션들을 포

함할 수도 있다. 대안적으로 또는 부가적으로, 히터 제어 프로그램은 기관으로의 (헬름과 같은) 열 전달 가스 (heat transfer gas) 의 전달을 제어할 수도 있다. 히터 제어 프로그램은 기관들 상에 다양한 막 타입들의 증착 동안 반응 챔버 및/또는 프로세스 스테이션들을 둘러싸는 볼륨들 내에 동일한 온도 또는 상이한 온도들을 유지하기 위한 인스트럭션들을 포함할 수도 있다.

[0123] 플라즈마 제어 프로그램은 본 명세서의 실시예들에 따라 하나 이상의 프로세스 스테이션들 내에서 RF 전력 레벨들, 주파수들, 및 노출 시간들을 설정하기 위한 인스트럭션들을 포함할 수도 있다. 일부 실시예들에서, 플라즈마 제어 프로그램은 기관들 상에 막 증착 동안 동일하거나 상이한 RF 전력 레벨들 및/또는 주파수들 및/또는 노출 시간들을 사용하기 위한 인스트럭션들을 포함할 수도 있다.

[0124] 일부 실시예들에서, 시스템 제어기 (650) 와 연관된 사용자 인터페이스가 있을 수도 있다. 사용자 인터페이스는 디스플레이 스크린, 장치의 그래픽적인 소프트웨어 디스플레이 및/또는 프로세스 조건들의 그래픽적인 소프트웨어 디스플레이, 및 포인팅 디바이스들, 키보드들, 터치 스크린들, 마이크로폰들 등의 사용자 입력 디바이스들을 포함할 수도 있다.

[0125] 일부 실시예들에서, 시스템 제어기 (650) 에 의해 조정된 파라미터들은 프로세스 조건들과 관련될 수도 있다. 비제한적인 예들은 프로세스 가스 조성 및 플로우 레이트들, 온도 (예를 들어, 기관 홀더 및 샤워헤드 온도들), 압력, (RF 바이어스 전력 레벨들 및 노출 시간들과 같은) 플라즈마 조건들, 등을 포함한다. 이들 파라미터들은 사용자 인터페이스를 활용하여 입력될 수도 있는, 레시피의 형태로 사용자에게 제공될 수도 있다.

[0126] 프로세스를 모니터링하기 위한 신호들은 다양한 프로세스 툴 센서들로부터 시스템 제어기 (650) 의 아날로그 입력 접속부 및/또는 디지털 입력 접속부에 의해 제공될 수도 있다. 프로세스를 제어하기 위한 신호들은 프로세스 툴 (600) 의 아날로그 출력 접속부 및 디지털 출력 접속부 상에 출력될 수도 있다. 모니터링될 수도 있는 프로세스 툴 센서들의 비한정적인 예들은 질량 유량 제어기들 (MFC들), (압력계들 (manometers) 과 같은) 압력 센서들, 열전대들 (thermocouple) 과 같은 온도 센서들, 등을 포함한다. 적절하게 프로그램된 피드백 및 제어 알고리즘들이 프로세스 조건들을 유지하기 위해 이들 센서들로부터의 데이터를 사용할 수도 있다.

[0127] 시스템 제어기 (650) 는 상기 기술된 증착 프로세스들을 구현하기 위한 머신-관독가능한 인스트럭션들을 제공할 수도 있다. 인스트럭션들은 DC 전력 레벨, RF 바이어스 전력 레벨, 압력, 온도, 등과 같은 다양한 프로세스 파라미터들을 제어할 수도 있다. 인스트럭션들은 본 명세서에 기술된 막 증착 동작들을 수행하기 위한 파라미터들을 제어할 수도 있다.

[0128] 따라서, 시스템 제어기는 통상적으로 하나 이상의 메모리 디바이스들 및 장치가 본 명세서에 개시된 프로세스들에 따른 동작들을 수행하도록 머신-관독가능한 인스트럭션들을 실행하도록 구성된 하나 이상의 프로세서들을 포함할 것이다. 본 명세서에 개시된 기관 프로세스들에 따라 동작들을 제어하기 위한 인스트럭션들을 포함하는 머신-관독가능, 비일시적인 매체는 시스템 제어기와 커플링될 수도 있다.

[0129] 상기에 기술된 다양한 장치들 및 방법들은 예를 들어 반도체 디바이스들, 디스플레이, LED, 광전 패널 등의 제조 또는 제작을 위한 리소그래피 패터닝 툴들 및/또는 프로세스들과 함께 사용될 수도 있다. 통상적으로, 반드시 그러한 것은 아니지만 이러한 툴들 또는 프로세스들은 공통 제조 시설 내에서 함께 및/또는 동시에 사용되거나 수행될 수 있다.

[0130] 일부 구현예들에서, 제어기는 상술한 예들의 일부일 수도 있는 시스템의 일부이다. 이러한 시스템들은, 프로세싱 툴 또는 툴들, 챔버 또는 챔버들, 프로세싱용 플랫폼 또는 플랫폼들, 및/또는 특정 프로세싱 컴포넌트들 (웨이퍼 페데스탈, 가스 플로우 시스템, 등) 을 포함하는, 반도체 프로세싱 장비를 포함할 수 있다. 이러한 시스템들은 반도체 웨이퍼 또는 기관의 프로세싱 이전에, 프로세싱 동안에 그리고 프로세싱 이후에 그들의 동작을 제어하기 위한 전자장치에 통합될 수 있다. 전자장치는 시스템 또는 시스템들의 다양한 컴포넌트들 또는 하위 부품들을 제어할 수 있는 "제어기"로서 지칭될 수도 있다. 제어기는, 시스템의 프로세싱 요건들 및/또는 타입에 따라서, 프로세싱 가스들의 전달, 온도 설정사항들 (예를 들어, 가열 및/또는 냉각), 압력 설정사항들, 진공 설정사항들, 전력 설정사항들, 무선 주파수 (RF) 생성기 설정사항들, RF 매칭 회로 설정사항들, 주파수 설정사항들, 플로우 레이트 설정사항들, 유체 전달 설정사항들, 위치 및 동작 설정사항들, 툴 및 다른 전달 툴들 및/또는 특정 시스템과 연결되거나 인터페이스된 로드록들 내외로의 웨이퍼 이송들을 포함하는, 본 명세서에 개시된 프로세스들 중 임의의 프로세스를 제어하도록 프로그램될 수 있다.

[0131] 일반적으로 말하면, 제어기는 인스트럭션들을 수신하고 인스트럭션들을 발행하고 동작을 제어하고 세정 동작들을 인에이블하고, 엔드포인트 측정들을 인에이블하는 등을 하는 다양한 집적 회로들, 로직, 메모리, 및/또는 소

프트웨어를 갖는 전자장치로서 규정될 수도 있다. 집적 회로들은 프로그램 인스트럭션들을 저장하는 펌웨어의 형태의 칩들, 디지털 신호 프로세서들 (DSP), ASIC (application specific integrated circuit) 으로서 규정되는 칩들 및/또는 프로그램 인스트럭션들 (예를 들어, 소프트웨어) 을 실행하는 하나 이상의 마이크로프로세서들, 또는 마이크로제어기들을 포함할 수도 있다. 프로그램 인스트럭션들은 반도체 웨이퍼 상에서 또는 반도체 웨이퍼에 대한 특정 프로세스를 실행하기 위한 동작 파라미터들을 규정하는, 다양한 개별 설정사항들 (또는 프로그램 파일들) 의 형태로 제어기로 또는 시스템으로 전달되는 인스트럭션들일 수도 있다. 일부 실시예들에서, 동작 파라미터들은 하나 이상의 층들, 재료들, 금속들, 옥사이드들, 실리콘, 실리콘 다이옥사이드, 표면들, 회로들, 및/또는 웨이퍼의 다이들의 제조 동안에 하나 이상의 프로세싱 단계들을 달성하도록 프로세스 엔지니어에 의해서 규정된 레시피의 일부일 수도 있다.

[0132]

제어기는, 일부 구현예들에서, 시스템에 통합되거나, 시스템에 커플링되거나, 이와 달리 시스템에 네트워킹되거나, 또는 이들의 조합으로 될 수 있는 컴퓨터에 커플링되거나 이의 일부일 수도 있다. 예를 들어, 제어기는 웨이퍼 프로세싱의 원격 액세스를 가능하게 할 수 있는 공장 (fab) 호스트 컴퓨터 시스템의 전부 또는 일부이거나 "클라우드" 내에 있을 수 있다. 컴퓨터는 제조 동작들의 현 진행을 모니터링하고, 과거 제조 동작들의 이력을 조사하고, 복수의 제조 동작들로부터 경향들 또는 성능 계측치들을 조사하고, 현 프로세싱의 파라미터들을 변경하고, 현 프로세싱을 따르는 프로세싱 단계들을 설정하고, 또는 새로운 프로세스를 시작하기 위해서 시스템으로의 원격 액세스를 인에이블할 수도 있다. 일부 예들에서, 원격 컴퓨터 (예를 들어, 서버) 는 로컬 네트워크 또는 인터넷을 포함할 수도 있는 네트워크를 통해서 프로세스 레시피들을 시스템에 제공할 수 있다. 원격 컴퓨터는 차후에 원격 컴퓨터로부터 시스템으로 전달될 파라미터들 및/또는 설정사항들의 입력 또는 프로그래밍을 가능하게 하는 사용자 인터페이스를 포함할 수도 있다. 일부 예들에서, 제어기는 하나 이상의 동작들 동안에 수행될 프로세싱 단계들 각각에 대한 파라미터들을 특정한, 데이터의 형태의 인스트럭션들을 수신한다. 이 파라미터들은 제어기가 제어하거나 인터페이스하도록 구성된 툴의 타입 및 수행될 프로세스의 타입에 특정적일 수 있다는 것이 이해되어야 한다. 따라서, 상술한 바와 같이, 제어기는 예를 들어 서로 네트워킹되어서 함께 공통 목적을 위해서, 예를 들어 본 명세서에 기술된 프로세스들 및 제어들을 위해서 협력하는 하나 이상의 개별 제어기들을 포함함으로써 분산될 수도 있다. 이러한 목적을 위한 분산형 제어기의 예는 챔버 상의 프로세스를 제어하도록 조합되는, (예를 들어, 플랫폼 레벨에서 또는 원격 컴퓨터의 일부로서) 원격으로 위치한 하나 이상의 집적 회로들과 통신하는 챔버 상의 하나 이상의 집적 회로들일 수 있다.

[0133]

비한정적으로, 예시적인 시스템들은 플라즈마 에칭 챔버 또는 모듈, 증착 챔버 또는 모듈, 스핀-린스 챔버 또는 모듈, 금속 도금 챔버 또는 모듈, 세정 챔버 또는 모듈, 베벨 에지 에칭 챔버 또는 모듈, PVD (physical vapor deposition) 챔버 또는 모듈, CVD (chemical vapor deposition) 챔버 또는 모듈, ALD (atomic layer deposition) 챔버 또는 모듈, ALE (atomic layer etch) 챔버 또는 모듈, 이온 주입 챔버 또는 모듈, 트랙 (track) 챔버 또는 모듈, 및 반도체 웨이퍼들의 제조 및/또는 가공 시에 사용되거나 연관될 수도 있는 임의의 다른 반도체 프로세싱 시스템들을 포함할 수도 있다.

[0134]

상술한 바와 같이, 툴에 의해서 수행될 프로세스 단계 또는 단계들에 따라서, 제어기는, 반도체 제조 공장 내의 툴 위치들 및/또는 로드 포트들로부터/로 웨이퍼들의 컨테이너들을 이동시키는 재료 이송 시에 사용되는, 다른 툴 회로들 또는 모듈들, 다른 툴 컴포넌트들, 클러스터 툴들, 다른 툴 인터페이스들, 인접 툴들, 이웃하는 툴들, 공장 도처에 위치한 툴들, 메인 컴퓨터, 다른 제어기 또는 툴들 중 하나 이상과 통신할 수도 있다.

[0136]

*리소그래피 패터닝*

[0137]

막의 리소그래피 패터닝은 통상적으로 동작들 각각이 다수의 가능한 툴들을 사용하여 인에이블되는, 이하의 동작들: (1) 스핀-온 (spin-on) 툴 또는 스프레이-온 (spray-on) 툴을 사용하여 기판 예를 들어, 기판 상에 형성된 실리콘 나이트라이드막을 갖는 기판 상에 포토레지스트를 도포하는 동작; (2) 핫 플레이트 또는 노 또는 다른 적합한 경화 툴을 사용하여 포토레지스트를 경화하는 동작; (3) 웨이퍼 스텝퍼와 같은 툴을 사용하여 가시광선 또는 UV 또는 x-선 광에 포토레지스트를 노출시키는 동작; (4) 습식 벤치 또는 스프레이 현상기와 같은 툴을 사용하여 레지스트를 선택적으로 제거하여 레지스트를 패터닝하도록 레지스트를 현상하는 동작; (5) 건식 또는 플라즈마 보조 에칭 툴을 사용함으로써 그 아래에 놓인 막 또는 기판 내로 레지스트 패턴을 전사하는 동작; 및 (6) RF 또는 마이크로파 플라즈마 레지스트 스트립퍼와 같은 툴을 사용하여 레지스트를 제거하는 동작의 일부 또는 전부를 포함한다. 일부 실시예들에서, 예시가능한 하드마스크층 (예를 들어 비정질 탄소층) 및 또 다른 적합한 하드마스크 (예를 들어 반사방지층) 가 포토레지스트를 도포하기 전에 증착될 수도 있다.

[0139]

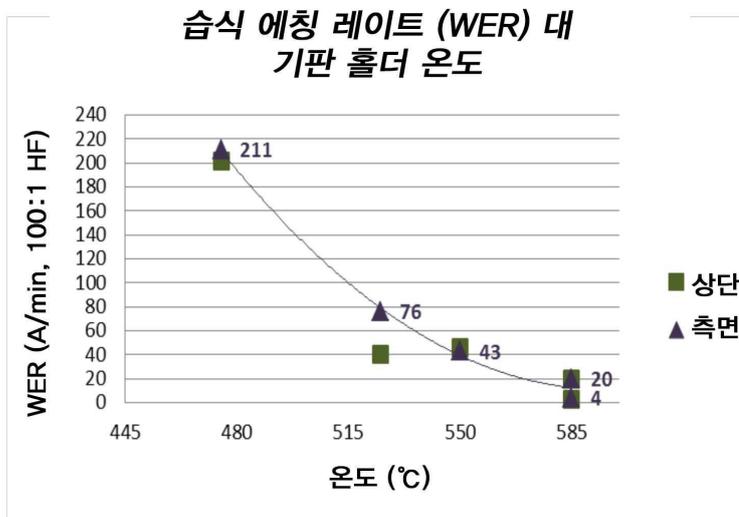
다른 실시예들

[0140]

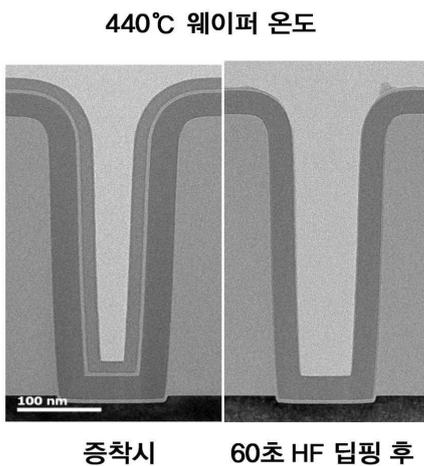
상기 개시된 기법들, 동작들, 프로세스들, 방법들, 시스템들, 장치들, 틀들, 막들, 화학물질들, 및 조성들이 명료함과 이해를 향상시키기 위한 목적으로 특정한 실시예들의 맥락 내에서 상세히 기술되었으나, 본 개시의 정신 및 범위 내에 있는 전술한 실시예들을 구현하는 많은 대안적인 방식들이 있다는 것이 당업자에게 명백할 것이다. 따라서, 본 명세서에서 기술된 실시예들은 제한적으로 보여지기 보다는 개시된 진보한 컨셉들의 예시로서 보여져야 하며, 궁극적으로 본 개시의 주제로 지향되는 임의의 청구항들의 범위를 과도하게 한정하는 허용할 수 없는 근거로 사용되서는 안 된다.

도면

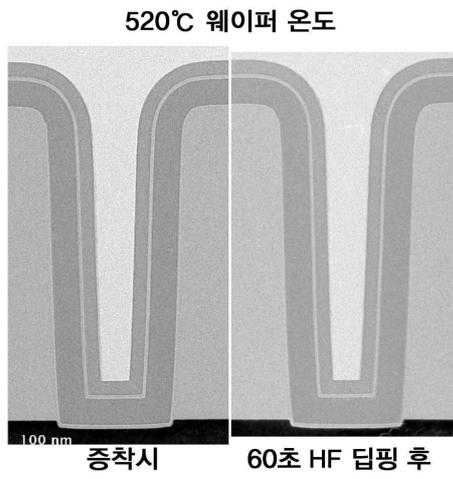
도면1a



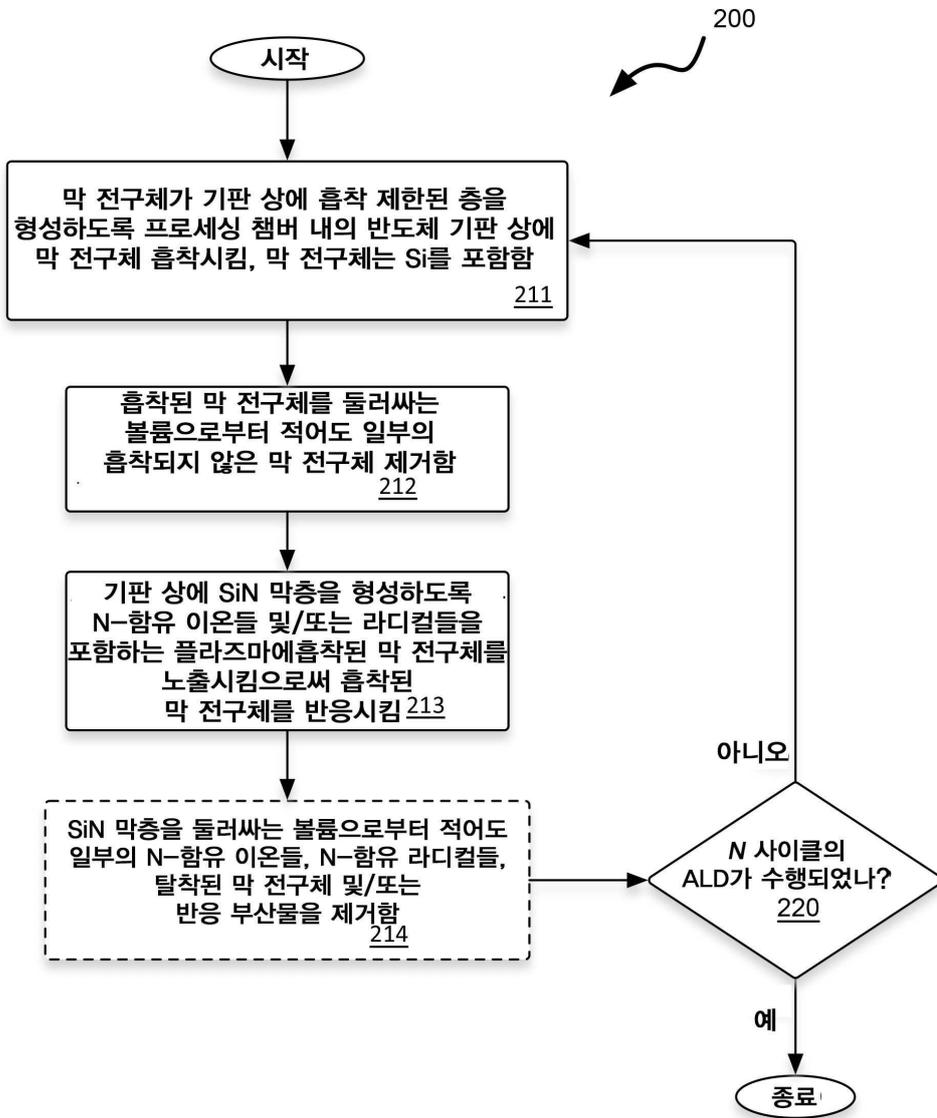
도면1b



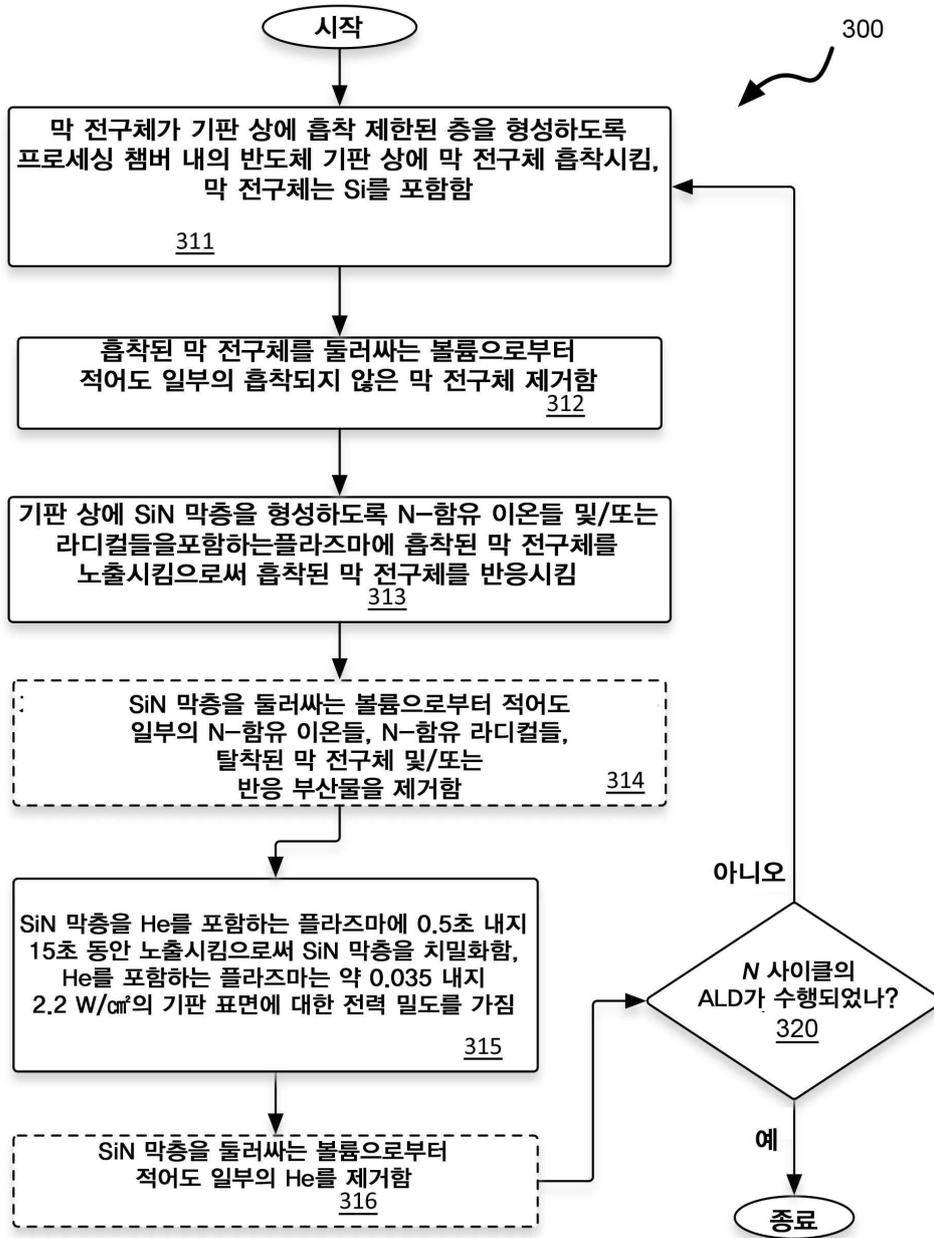
도면1c



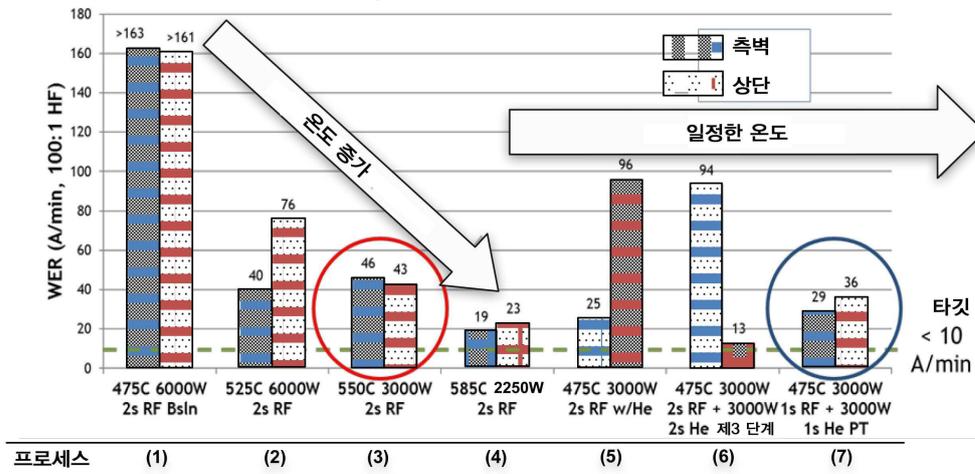
도면2



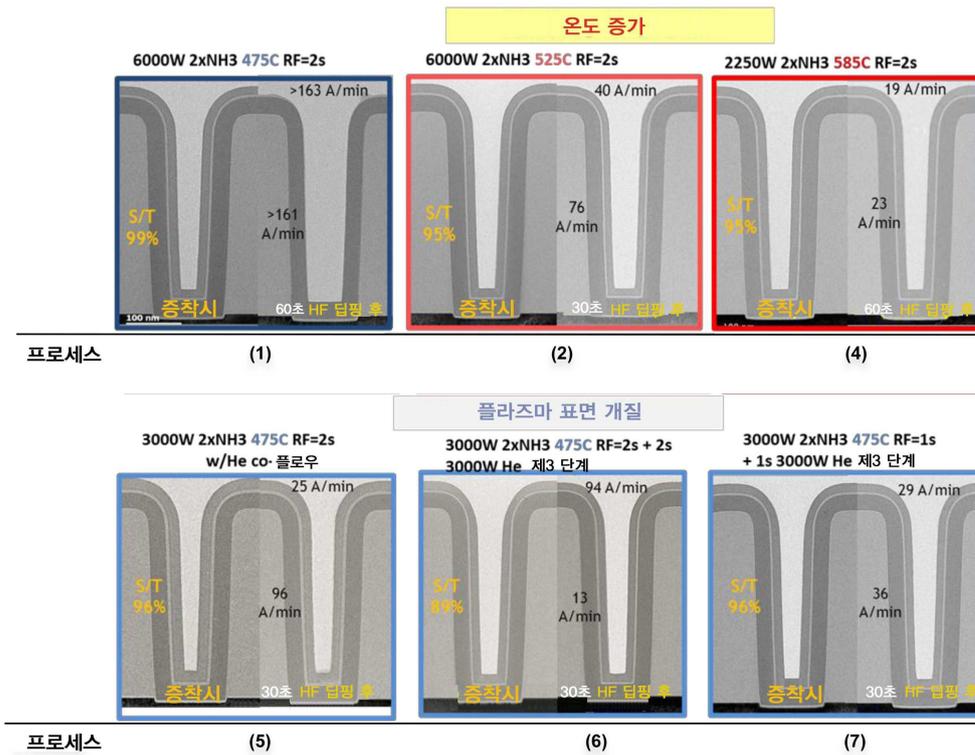
도면3



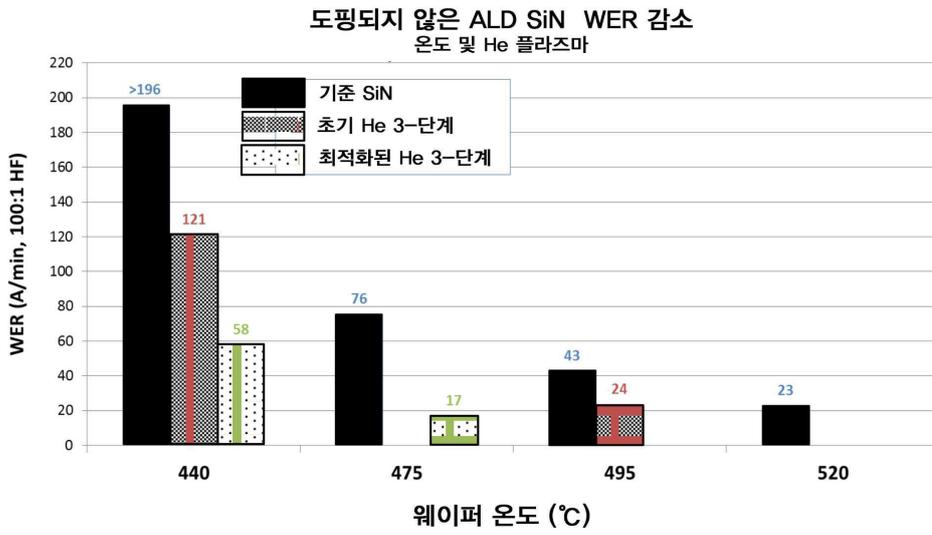
도면4a



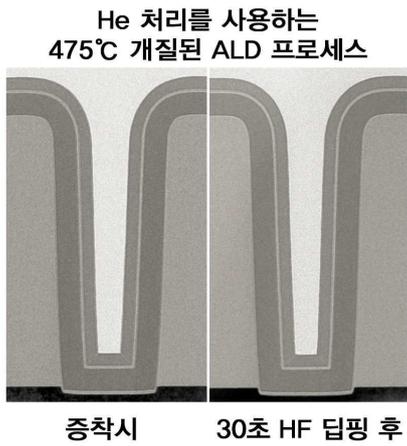
도면4b



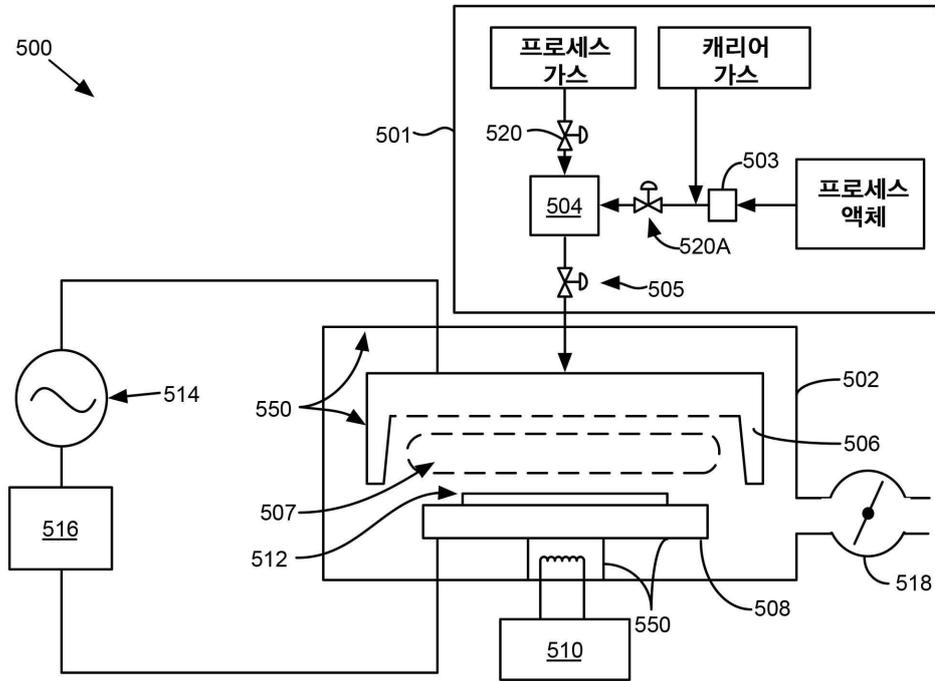
도면4c



도면4d



도면5



도면6

