

# 發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96114047

※申請日期：96年04月20日

※IPC分類：G09G 3/36 (2006.01)

## 一、發明名稱：

(中) 液晶裝置、其控制電路及電子機器

(英) Liquid crystal device, control circuit therefor, and electronic apparatus

## 二、申請人：(共 1 人)

1. 姓名：(中) 精工愛普生股份有限公司  
(英) SEIKO EPSON CORPORATION代表人：(中) 1. 花岡清二  
(英) 1. HANAOKA, SEIJI地 址：(中) 日本國東京都新宿區西新宿二丁目四番一號  
(英) 4-1, Nishishinjuku 2-chome, Shinjuku-ku, Tokyo 163-0811  
Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 1 人)

1. 姓名：(中) 吉元洋志  
(英) YOSHIMOTO, HIROSHI國 籍：(中) 日本  
(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

- |       |   |            |   |             |  |
|-------|---|------------|---|-------------|--|
| 1. 日本 | ； | 2006/04/24 | ； | 2006-119125 | <input checked="" type="checkbox"/> 有主張優先權 |
| 2. 日本 | ； | 2006/06/21 | ； | 2006-171523 | <input checked="" type="checkbox"/> 有主張優先權 |

## 五、中文發明摘要

發明之名稱：液晶裝置、其控制電路及電子機器

本發明之課題在於採用區域掃描驅動方式的場合防止對液晶施加直流成分。

本發明之解決手段為：計數器 53 計算水平同步訊號 Hsync 之脈衝，輸出其計數結果之最大值 CLc。判別電路 59，比較由計數器 53 輸出的最大值 CLc，與由暫存器 57 讀出的值 PLc，判別最大值 CLc 是否比值 PLc 更大，輸出顯示其結果之判別訊號 F。加減算電路 55，對記憶於暫存器 57 的值 PLc，依照判別訊號 F 而加算「+2」或者「-2」，再度設定暫存器 57。掃描控制電路 51，使第 2 圖場的開始計時，因應於值 PLc 而早於特定計時，或者延後。

## 六、英文發明摘要

發明之名稱： LIQUID CRYSTAL DEVICE, CONTROL CIRCUIT THEREFOR, AND ELECTRONIC APPARATUS

A liquid-crystal-device control circuit includes pixels corresponding to intersections between scanning lines in rows and data lines in columns, the pixels having grayscale levels based on data signals supplied to the data lines when each scanning line is selected, a scanning line driving circuit that, in first and second fields obtained by dividing the period of a frame, selects the scanning lines by performing: in one field of the first and second fields, first selection for selecting a scanning line in one row, the selected scanning line serving as a base; second selection for selecting a scanning line which is  $m$  rows away in one direction from the scanning line selected in the first selection, where  $m$  represents an integer not less than 2; third selection for selecting a scanning line which is  $(m+1)$  rows away in an opposite direction from the scanning line selected in the second selection; and alternate repetition of the second selection and the third selection; and, in the other field of the first and second fields, fourth selection for selecting a scanning line in one row, the selected scanning line serving as a base; fifth selection for selecting a scanning line which is  $m$  rows in the opposite direction from the scanning line selected in the fourth selection; sixth selection for selecting a scanning line which is  $(m-1)$  rows away in the one direction from the scanning line selected in the fifth selection; and alternate repetition of the fifth selection and the sixth selection; a data-line driving circuit which supplies, to the data lines in the columns, a data signal having a voltage based on a grayscale level of one pixel corresponding to each scanning line selected, and in which, when the scanning line is selected in each of the first selection, the third selection, and the fifth selection, the voltage of the data signal is set to be higher or lower than a predetermined reference voltage, and, when the scanning line is selected in each of the second selection, the fourth selection, and the sixth selection, the voltage of the data signal is set to be higher or lower than the predetermined reference voltage, a counter that counts the number of horizontal lines included in a video signal supplied correspondingly to a region broader than pixels corresponding to the scanning lines in the rows, a determination circuit that determines which is greater between the number of horizontal lines counted by the counter and a value stored in a predetermined register, an addition/subtraction circuit that, depending on a result of determination by the determination circuit, adds a predetermined number to or subtracts the predetermined number from the value stored in the register, and a scanning control circuit which stores the value obtained by the addition/subtraction circuit in the register, and which defines start timing of the second field on the basis of the value stored in the register.

七、指定代表圖

- (一)、本案指定代表圖為：第 ( 1 ) 圖
- (二)、本代表圖之元件代表符號簡單說明：

- 1：液晶裝置
- 10：顯示面板
- 50：控制電路
- 51：掃描控制電路
- 53：計數器
- 55：加減算電路
- 57：暫存器
- 59：判別電路
- 60：影像訊號處理電路
- 62：圖場記憶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

## 九、發明說明

### 【發明所屬之技術領域】

本發明係關於對液晶裝置採用所謂區域掃描驅動方式的場合之防止燒焦(焦屏)的技術。

### 【先前技術】

近年來，使用液晶裝置形成縮小影像，同時將此縮小影像藉由光學系擴大投射的投影機逐漸普及。在如此般形成縮小影像的液晶裝置，畫素間非常狹窄，所以會有所謂的轉傾(disclination，旋轉位移，配向不良)的問題。關於此轉傾，可以藉由採用使鄰接畫素彼此為同一極性之面反轉(也稱為圖框反轉)方式而迴避，但在面反轉方式，會有在顯示畫面之例如上端與下端發生顯示差的問題。

為了解消此顯示差，藉由使圖框期間例如分割為第 1 及第 2 圖場(field)，使各畫素於第 1 及第 2 圖場之一方以正極性寫入，於他方以負極性寫入，而於畫素一列份以正極性保持的畫素與以負極性保持的畫素之比率於任一計時均成為各 50%的方式，亦即所謂區域掃描驅動被提出來(參照專利文獻 1)。

[專利文獻 1] 日本專利特開 2004-177930 號公報

### 【發明內容】

[發明之揭示]

[發明所欲解決之課題]

(2)

然而，投影機，被連接於電腦或電視受訊機等多種多樣的影像源。由這些影像源所供給的影像訊號(視訊)，其水平線數例如隨著影像源的不同而各異。從前的驅動方式，將影像訊號變換為適合驅動液晶裝置的畫素之形式即可，但在採用前述之區域掃描驅動方式的場合，會有以下的問題。亦即，在切換影像源的場合，針對某畫素注意時，以正極性保持的期間與以負極性保持的期間會產生差異，結果，會有對液晶施加直流成分而使其劣化的問題。

又，液晶劣化的話，與 CRT(陰極射線管)之螢光面的燒焦(焦屏)相同，會有固定呈現與應該顯示的影像無關的影像。因此，針對液晶劣化之顯示現象，也仿 CRT 之例稱之為「燒焦」。

本發明係有鑑於前述情事而違者，其目的在於提供可以防止採用區域掃描驅動方式的場合所會發生的燒焦之液晶裝置、控制電路以及電子機器。

[ 供解決課題之手段 ]

為了達成前述目的，相關於本發明之液晶裝置之控制電路，係控制具備：(a)對應於複數行之掃描線與複數列之資料線的交叉而設置，在前述掃描線被選擇時，成為因應於被供給至前述資料線的資料訊號的電壓之灰階的複數畫素，及(b)跨分開 1 個圖框的期間之第 1 或第 2 場之一方，(1)選擇成為起點的一行掃描線，(2)由前述(1)所選擇的掃描線起朝一方方向選擇間隔  $m$  ( $m$  為 2 以上之整數)行的掃

(3)

描線，(3)選擇由前述(2)所選擇的掃描線起朝他方方向間隔 $(m+1)$ 行的掃描線，以下交互地反覆進行前述(2)及(3)，跨前述第1或第2場之他方，(4)選擇成爲起點之一行掃描線，(5)選擇由前述(4)所選擇的掃描線起朝前述他方方向間隔 $m$ 行的掃描線，(6)選擇由前述(5)所選擇的掃描線起朝前述一方方向間隔 $(m-1)$ 行之掃描線，以下，交互地反覆進行前述(5)及(6)，跨分別的前述第1及第2場選擇前述複數行之掃描線的掃描線驅動電路，(c)將對應於被選擇的掃描線的畫素的灰階之電壓之資料訊號對前述複數列之資料線施加的資料線驅動電路，使前述資料電壓，在前述(1)、(3)、(5)而掃描線被選擇時，作爲比特定的基準電壓更高位或者低位之一方，在前述(2)、(4)、(6)而掃描線被選擇時，作爲比前述基準電壓更高位或低位之他方的資料線驅動電路等之控制液晶裝置的控制電路；具備：(d)計算比藉由對應於前述複數行之掃描線的畫素對應於更廣區域而被供給的影像訊號之水平線數之計數器，(e)判別以前述計數器計數之水平線數與被記憶於特定的暫存器之值的大小關係之判別電路，(f)因應於前述判別電路的判別結果將記憶於前述暫存器的值加算或者減算特定數之加減算電路，(g)將藉由前述加減算電路所加算或減算的值記憶於前述暫存器，同時將第2場之開始計時，根據被記憶於前述暫存器的值加以規定之掃描控制電路。根據本發明，以複數圖框的期間來看，針對各畫素，以正極性保持的期間與以負極性保持的期間均衡，所以防止對液晶施加直流成分。

(4)

於本發明，加減算電路，亦可為藉由前述判別電路判別出藉由前述計數器所計數之水平線數比被記憶於前述暫存器的值更大的場合，使被記憶於暫存器的值僅加算特定值，另一方面，藉由前述判別電路判別出藉由前述計數器所計數之水平線數比被記憶於前述暫存器的值還小的場合，使被記憶於前述暫存器的值減算特定值的構成。於此構成，前述加減算電路，在藉由前述計數器計數的水平線數與被記憶於前述暫存器的值相等的場合，維持被記憶於前述暫存器的值亦可。

此處，前述掃描控制電路，在對被記憶於前述暫存器的值僅加算特定數的場合，使第 2 場之開始計時比特定的計時延遲，另一方面，在對被記憶於前述暫存器的值僅減算特定數的場合，使第 2 場之開始計時比特定的計時提早較佳。特別是，前述掃描線驅動電路，最好根據將啓始脈衝以時脈訊號移位之移位訊號選擇前述複數行之掃描線，前述掃描控制電路，藉由使前述啓始脈衝的供給計時對前述時脈訊號延遲，或者是提前，而規定前述第 2 場之開始計時。

又，本發明，不僅限於液晶裝置之控制電路，其概念亦可應用於液晶裝置自身，甚至可適用於具有該液晶裝置之電子機器。

#### 【實施方式】

以下，參照圖面說明本發明之實施型態。圖 1 係顯示



(5)

相關於本發明的實施型態之液晶裝置的構成之方塊圖。

如此圖所示，液晶裝置 1 大致可分為顯示面板 10 與處理電路 50。其中，處理電路 50，係控制顯示面板 10 的動作等之電路模組，與顯示面板 10，係藉由 FPC(可撓印刷電路板，Flexible Printed Circuit)基板來連接。

另一方面，顯示面板 10，如圖 2 所示，為在顯示區域 100 的周邊內藏掃描線驅動電路 130 及資料線驅動電路 140 之周邊電路內藏型。在顯示區域 100，以 480 行之掃描線 112 在行(X)方向延伸的方式設置，此外，以 640 列之資料線 114 在列(Y)方向上延伸的方式，且與各掃描線 112 相互電性上保持絕緣的方式設置，進而，畫素 110 對應於 480 行的掃描線 112 與 640 列的資料線 114 之交叉，分別排列著。亦即，在本實施型態，畫素 110 被排列為縱 480 行 X 橫 640 列之矩陣狀，但本發明之趣旨並不限於此排列。

參照圖 3，說明畫素 110 之構成。圖 3 係顯示對應於  $i$  行及與此在下一行鄰接的  $(i+1)$  行，及  $j$  列及與此右一列鄰接的  $(j+1)$  列之交叉的  $2 \times 2$  合計 4 畫素分之構成。又， $i$ ， $(i+1)$  係一般顯示畫素 110 排列的行的場合之記號，為 1 以上 480 以下之整數。又， $j$ ， $(j+1)$  係一般顯示畫素 110 排列的列的場合之記號，為 1 以上 640 以下之整數。

如圖 3 所示，各畫素 110，具有  $n$  通道型薄膜電晶體 (Thin Film Transistor：以下簡稱 TFT) 116 與液晶電容 120。

(6)

此處，各畫素 110 因為是互為相同之構造，所以僅說明位於  $i$  行  $j$  列之代表畫素，該  $i$  行  $j$  列之畫素 110 之 TFT116 的閘極被連接於第  $i$  行之掃描線 112，另一方面其源極被連接於第  $j$  列之資料線 114，其汲極被連接於液晶電容 120 之一端之畫素電極 118。此外，液晶電容 120 之另一端，係共同電極 108。此共同電極 108，跨所有的畫素 110 均為共通，時間上被施加一定之電壓  $LC_{com}$ 。

此顯示面板 10，雖未特別圖示，係為使元件基板與對向基板之一對基板保持一定間隙而被貼合，同時於此間隙密固液晶的構成。其中，於元件基板，被形成掃描線 112、或資料線 114、TFT116 以及畫素電極 118 與掃描線驅動電路 130 或資料線驅動電路 140 同時被形成，另一方面於對向基板被形成共同電極 108，以這些電極形成面互相對向的方式保持一定間隙而被貼合。因此，於本實施型態，液晶電容 120 係畫素電極 118 與共同電極 108 藉由挾持液晶 105 而構成。

又，在本實施型態為了說明上的方便，被設定為當液晶電容 120 所保持的電壓實效值接近於零時，通過液晶電容的光的透過率成為最大的白色顯示，另一方面，隨著電壓實效值變大而透過的光量減少，最終成為透過率最小的黑色顯示之常白模式。

於此構成，對掃描線 112 施加選擇電壓，而使 TFT116 打開(導通)，同時對畫素電極 118，介由資料線 114 以及打開狀態之 TFT116，施加僅較因應於灰階(亮度)

(7)

的電壓，而可以在該液晶電容 120 保持因應於灰階之電壓實效值。

又，掃描線 112 成爲非選擇電壓時，TFT116 成爲關閉(非導通)狀態，此時之關閉電阻理想上不會成爲無限大，所以蓄積於液晶電容 120 的電荷會或多或少地洩漏。爲了減少此關閉洩漏(off-leak)的影響，於各畫素形成蓄積電容 109。此蓄積電容 109 之一端，被連接於畫素電極 118(TFT116 之汲極)，另一方面，另一端跨全畫素共通連接於電容線 107。此電容線 107，被保持於時間上一定之電位，例如接地電位 Gnd。又，掃描線驅動電路 130 及資料線驅動電路 140 將於稍後詳述。

說明回到圖 1，處理電路，係把由外部上位裝置(省略圖示)，同步於垂直同步訊號 Vsync、水平同步訊號 Hsync 以及點時脈訊號 Dclk 而供給的數位的影像訊號 Video，變換爲適於顯示面板 10 的驅動之賴筆的資料訊號，另一方面產生供驅動顯示面板 10 的控制訊號者。

此處，影像訊號 Video，係規定應在顯示區域 100 顯示的影像之資料，在本實施型態，係以顯示區域 100 之掃描線數「480」以上的水平掃描線(線數)供給。因此，在顯示區域 100，以影像訊號 Video 規定的影像之一部分被切出而顯示。

又，影像訊號 Video，亦可以比「480」還少的水平線數供給。但，在水平線數比「480」還少的場合，於顯示區域 100 產生不進行顯示的區域，此外，另行於縱方向進行縮

(8)

放 (scaling) 的構成變成必要。

此處，爲了說明的方便，針對由外部上位裝置所供給的垂直同步訊號  $V_{sync}$  及水平同步訊號  $H_{sync}$ ，與液晶面板 10 之驅動計時之關係，參照圖 5 進行說明。

如此圖所示，垂直同步訊號  $V_{sync}$  係規定藉由影像訊號  $Video$  所規定的影像的垂直掃描的開始之脈衝，水平同步訊號  $H_{sync}$  係規定水平掃描的開始之脈衝。亦即，影像訊號  $Video$ ，以垂直同步訊號  $V_{sync}$  的供給計時爲契機被供給 1 圖框份，同時以水平同步訊號  $H_{sync}$  的供給計時爲契機被供給 1 行份。此處，於本實施型態，垂直同步訊號  $V_{sync}$  係頻率 60Hz (週期 16.7 毫秒)。又，針對點時脈  $Dclk$  雖未特別圖示，規定影像訊號  $Video$  之中被供給 1 畫素份的期間。

另一方面，在本實施型態，進行區域掃描驅動，所以藉由顯示區域 100 顯示 1 枚影像所要的圖框期間，被 2 分割爲第 1 及第 2 圖場 (field)。因此，掃描控制電路 51 如後所述輸出規定第 1 及第 2 圖場的開始之啓始脈衝 (start pulse)  $DY$ 。進而，掃描控制電路 51，把供使此啓始脈衝  $DY$  於掃描線驅動電路 130 轉送之用的時脈訊號  $CLY$ ，於 1 圖框之期間輸出 480 週期份的方式，與水平同步訊號  $H_{sync}$  對應而藉由內部 PLL 產生。進而，掃描控制電路 51，以與時脈訊號  $CLY$  同步的方式產生致能訊號  $Enb1$ ， $Enb2$ 。又，嚴密地說，啓始脈衝  $DY$ ，以對時脈訊號  $CLY$  保持特定的關係的方式輸出。

(9)

而且，掃描控制電路 51，在選擇顯示區域 100 之 1 行的掃描線的期間之最初輸出啓始脈衝 DX，同時產生供轉送此啓使脈衝 DX 的時脈訊號 CLX。

於圖 1，處理電路 50，包含掃描控制電路 51、計數器 53、加減算電路 55、暫存器 57、判別電路 59、影像訊號處理電路 60、RAM62。

其中，計數器 53，係計算水平同步訊號 Hsync 之脈衝，輸出其計數結果之最大值 CLc 者，其計數結果，藉由垂直同步訊號 Vsync 重設(reset)。因此，計數器 53 之計數結果的最大值 CLc，為顯示 1 垂直掃描期間(圖框)之被包含於影像訊號 Video 的水平線數。

判別電路 59，比較由計數器 53 輸出的最大值 CLc，與由暫存器 57 讀出的值 PLc，判別最大值 CLc 是否比值 PLc 更大，輸出顯示其結果之判別訊號 F。

加減算電路 55，對由暫存器 57 讀出之值 PLc，依照判別訊號 F 而加算「+2」或者「-2」，亦即將值 PLc 僅增量(Increment)或者減量(decrement)「2」。詳細地說，加減算電路 55，在藉由判別電路 F 顯示最大值 CLc 比值 PLc 還大的場合，對值 PLc 加算「2」，在藉由判別電路 F 顯示最大值 CLc 比值 PLc 還小的場合，對值 PLc 僅減算「2」。

暫存器 57，依照根據掃描控制電路 51 的控制而讀出值 PLc 輸出至判別電路 59，另一方面，藉由加減算電路 55 使該值僅加算或減算「2」，而作為新的值 PLc 進行記憶。

(10)

判別電路 59 的比較計時，係根據計數器 53 的計數結果成爲最大值的計時，亦即被輸出垂直同步訊號  $V_{sync}$  之前(1 圖框期間的最後)。配合此計時，掃描控制電路 51，分別控制由暫存器 57 之值  $PLc$  的讀出、對該  $PLc$  之「2」的加算或減算、以及此加算或減算值之往暫存器 57 的記憶，所以於本實施型態，包含於影像訊號  $Video$  的水平線數產生變更，被記憶於暫存器 57 的值  $PLc$ ，在經過複數圖框的期間之時間點，成爲在該水平線數附近均衡。例如，被記憶於暫存器 57 的值  $PLc$  爲「484」的場合，包含於影像訊號  $Video$  的水平線數切換爲「490」時，該值  $PLc$  由最初的「484」起依「486」→「488」→「490」之方式分別增加「2」，以後，如「488」→「490」→「488」→「490」的方式反覆進行減少/增加「2」。另一方面，被記憶於暫存器 57 的值  $PLc$  例如爲「490」的場合，包含於影像訊號  $Video$  的水平線數切換爲「484」時，該值  $PLc$  由最初的「490」起依「488」→「486」→「484」→「482」之方式分別減少「2」，以後，如「484」→「486」→「484」→「486」的方式反覆進行增加/減少「2」。

如前述，影像訊號  $Video$ ，係以比顯示區域 100 之掃描線數「480」更多的水平掃描線(線數)供給，所以對顯示區域 100，必須要切出影像訊號  $Video$  所規定的影像的一部份使其顯示。因此，掃描控制電路 51，藉由值  $PLc$  決定由影像訊號  $Video$  所規定的影像之中，可藉由顯示區域 100 顯示的 480 行。

具體而言，掃描控制電路 51，在值  $PLc$  爲「N」時，使

(11)

以影像訊號 Video 所規定的影像之中，上下分別除掉  $(N-480)/2$  行之除掉  $(N-480)$  行後的 480 行份，顯示於顯示區域 100 的方式決定之。例如，值 PLc 為「484」的話，掃描控制電路 51，將上下分別除掉 2 行之除掉 4 行後的 480 行份之顯示，顯示於顯示區域 100 的方式進行決定。換句話說，在本實施型態，把值 PLc 視為包含於影像訊號 Video 的水平線數，1 圖框份的影像訊號 Video 如果是顯示 1~484 行的影像者，掃描控制電路 51，根據影像訊號 Video 將除掉 1, 2, 483, 484 行的 3~482 行之影像，使其顯示於顯示區域 100 之 1~480 行的掃描線的方式來決定。因此，以影像訊號 Video 規定的影像之行(水平線)與顯示區域 100 之行未必一致，但於以後的說明，為了避免混亂，在沒有特別規定的場合，以顯示區域 100 之行進行說明。

其次，針對被記憶於暫存器 57 之值 PLc 之啓始脈衝 DY 的輸出計時加以說明。

掃描控制電路 51，在值 PLc 為「N」時，把規定第 1 圖場的開始之啓始脈衝 DY，在使影像訊號 Video 規定的影像之中，第  $\{(N-480)/2+1\}$  行的影像，亦即決定應在顯示區域 100 顯示的第 1 行的影像在顯示區域 100 進行掃描的計時進行輸出。又，後述之掃描線驅動電路 130，係將啓始脈衝 DY 以時脈訊號 CLY 依序移位等之構成，所以嚴密地說，規定第 1 圖場的開始之啓始脈衝 DY，以決定掃描訊號 G1 的輸出計時的方式被輸出。

(12)

另一方面，如前所述，在本實施型態，垂直掃描訊號  $V_{sync}$  的週期為 16.7 毫秒，所以驅動顯示區域 100 時 1 圖框的期間也係 16.7 毫秒。因此，針對各畫素使以正極性保持的期間與以負極性保持的期間一致的觀點來看，以成為將圖框期間 2 分割的計時的方式，輸出規定第 1 圖場的開始之啓始脈衝  $DY$  之後，經過時脈訊號  $CLY$  之 240 週期後，應該輸出規定第 2 圖場的開始之啓始脈衝  $DY$ 。但是，如前所述，時脈訊號  $CLY$ ，將水平同步訊號  $H_{sync}$  產生為基準，所以水平線數改變的話(根據水平同步訊號  $H_{sync}$  之水平掃描頻率改變的話)，以對時脈訊號  $CLY$  保持特定的關係的方式被輸出的啓始脈衝  $DY$ ，對 2 分割 1 圖框期間的計時偏向前方或後方。

在此，掃描控制電路 51，使規定第 2 圖場的開始之啓始脈衝  $DY$ ，比輸出規定第 1 圖場的開始之啓使脈衝  $DY$  之後經過時脈訊號  $CLY$  之 240 週期後的計時，在值  $PLc$  僅增加「2」時延遲僅時脈訊號  $CLY$  之 1 週期，在值  $PLc$  僅減少「2」時延提早時脈訊號  $CLY$  之 1 週期。

此外，掃描控制電路 51，配合啓始脈衝  $DY$  的供給，針對致能訊號  $Enb1$ ， $Enb2$  的產生也改變。又，針對啓始脈衝  $DY$ ，致能訊號  $Enb1$ ， $Enb2$  的詳細，於與掃描線驅動電路 130 之關係將於稍後詳述。

影像訊號處理電路 60，係將前述影像訊號  $Video$ ，依照根據掃描控制電路 51 之控制，變換為是於顯示面板 10 之驅動的類比的資料訊號  $Vid$  者。



(13)

詳細而言，影像訊號處理電路 60，於第 1 圖場，由外部上位裝置供給的影像訊號 Video 之中，相當於顯示區域 100 的第 1 行～第 240 行者寫入 FIFO(先進先出)型線緩衝器之後，以寫入速度 2 倍的速度讀出，將倍速化的影像訊號 Video 例如變換為正極性電壓作為資料訊號 Vid 輸出，同時由線緩衝器讀出而寫入圖場記憶體，另一方面將相當於顯示區域 100 的第 241 行～第 480 行者由圖場記憶體倍速化讀出，變換為負極性電壓作為資料訊號 Vid 輸出。影像訊號處理電路 60，將此動作於第 1 圖場，以顯示區域 100 的第 241、1、242、2、243、3、…、480、240 行的順序實行。

此外，影像訊號處理電路 60，於第 2 圖場，由外部上位裝置供給的影像訊號 Video 之中，相當於顯示區域 100 的第 241 行～第 480 行者寫入 FIFO(先進先出)型線緩衝器之後，以寫入速度 2 倍的速度讀出，將倍速化的影像訊號 Video 例如變換為正極性電壓作為資料訊號 Vid 輸出，同時由線緩衝器讀出而寫入圖場記憶體，另一方面將相當於顯示區域 100 的第 1 行～第 240 行者由圖場記憶體倍速化讀出，變換為負極性電壓作為資料訊號 Vid 輸出。影像訊號處理電路 60，將此動作於第 2 圖場，以顯示區域 100 的第 1、241、2、242、3、243、…、240、480 行的順序實行。

因此，相當於同一畫素的資料訊號 Vid，於第 1 及第 2 圖場之各個被供給至顯示面板 10，其中，在第 1 圖場之一方，使由線緩衝器讀出的影像訊號 Video 變換為正極性

(14)

者，在第 2 圖場，使由線緩衝器讀出的影像訊號 Video 變換為負極性者。此處，影像訊號處理電路 60，將 RAM62 作為線緩衝器及圖場記憶體使用，成為進行影像訊號 Video 的寫入及讀出之構成。

如此，在本實施型態，把由外部上位裝置供給的影像訊號 Video 暫時容納於線緩衝器後，以收容速度的 2 倍的速度讀出，同時經過 1/2 圖框的期間(亦即 1 圖場的期間)之後，再度以 2 倍速度讀出的構成，所以嚴密的說，最初產生僅收容於線緩衝器的部分之延遲。因此，於顯示面板 10 以啓始脈衝 DX、DY 等規定的驅動計時，成為對從外部上位裝置供給的垂直同步訊號 Vsync(以及水平同步訊號 Hsync)所規定的計時延遲之關係，但如圖 5 所示認為是一致的也不會差太多。

其次，參照圖 4，說明掃描線驅動電路 130 之構成。

於圖 4，移位暫存器 132，係具有比顯示區域 100 之掃描線數「480」更多 1 段轉送電路，各轉送電路於每次時脈訊號 CLY 之邏輯位準遷移時(升起或降下)使啓始脈衝 DY 依序移位，由各段輸出移位訊號 Y1、Y2、Y3、Y4、...、Y481 者。

AND 電路 134，輸出鄰接的移位訊號彼此的邏輯積訊號。AND 電路 136，係輸出根據 AND 電路 134 之輸出訊號(邏輯積訊號)與致能訊號 Enb1 或 Enb2 之任一之邏輯積訊號。

此處，輸入根據移位暫存器 132 的移位訊號(Y1 及

(15)

Y2)的邏輯積訊號之 AND 電路 136 的輸出成爲掃描訊號 G1，輸入移位訊號(Y 及 Y3)的邏輯積訊號之 AND 電路 136 的輸出成爲掃描訊號 G2，以下同樣地，根據(Y 與 Y4)、(Y 與 Y5)、…、(Y480 與 Y481)之邏輯積訊號 AND 電路 136 的輸出分別成爲掃描訊號 G3、G4、… G480，分別被供給至第 1、2、3、4、… 480 行之掃描線 112。

此外，針對 AND 電路 136，與與致能訊號 Enb1、Enb2 之關係說明如下。詳細地說，在對上半份之奇數第 1、3、5、… 239 行之掃描線 112 供給掃描訊號的 AND 電路 136 被供給致能訊號 Enb1，在對上半份之偶數第 2、4、6、… 240 行之掃描線 112 供給掃描訊號的 AND 電路 136 被供給致能訊號 Enb2，另一方面，在對下半份之奇數第 241、243、245、… 479 行之掃描線 112 供給掃描訊號的 AND 電路 136 被供給致能訊號 Enb2，在對下半份之偶數第 242、244、246、… 480 行之掃描線 112 供給掃描訊號的 AND 電路 136 被供給致能訊號 Enb1。亦即，對 AND 電路 136 之致能訊號 Enb1、Enb2 之供給關係，上半份與下半份互爲對稱關係。

於這樣的掃描線驅動電路 130，假設在被記憶於暫存器 57 的值 PLc 不被改變的場合，如圖 6 所示，等分割 1 圖框期間(16.7 毫秒)的第 1 及第 2 圖場之開始時被供給啓始脈衝 DY，同時被供給將 1 圖框期間分割爲「480」的期間爲 1 週期的時脈訊號 CLY。

如此般被供給啓始脈衝 DY 與時脈訊號 CLY 時，根據

(16)

移位暫存器 132 之移位訊號 Y1，幾乎與啓始脈衝 DY 爲同波形，以後，移位訊號 Y2、Y3、…、Y481，將啓始脈衝 DY(移位訊號 Y1)作爲每隔時脈訊號 CLY 之半週期就移位者。因此，藉由 AND 電路 134 所求得的鄰接的移位訊號彼此的邏輯積訊號，係對應之段的前段，及與對應之段重複的部分，於圖 6，成爲以移位訊號的陰影區域所示者。

藉由 AND 電路 134 所求得的邏輯積訊號，藉由致能訊號 Enb1 或 Enb2 而縮窄脈衝寬幅，作爲掃描訊號輸出。

此處，致能訊號 Enb1，Enb2 分別係如下之脈衝訊號(H 位準)。詳細言之，如圖 6 所示，於第 1 圖場，分別排他地針對致能訊號 Enb1 在時脈訊號 CLY 之升起計時的前後輸出 2 擊(shot)，針對致能訊號 Enb2 在時脈訊號 CLY 之降下計時的前後，時脈訊號 CLY 之升起計時後之致能訊號 Enb1 之 1 擊(shot)輸出 2 擊。此外，於第 2 圖場，分別排他地針對致能訊號 Enb1 在時脈訊號 CLY 之降下計時的前後輸出 2 擊(shot)，針對致能訊號 Enb2 在時脈訊號 CLY 之升起計時的前後，時脈訊號 CLY 之升起計時後之致能訊號 Enb1 之 1 擊(shot)輸出後輸出 2 擊。

又，致能訊號 Enb1，Enb2，係第 1 及第 2 圖場的邊界，於時脈訊號之升起或降下計時的前後不輸出 2 擊，僅輸出 1 擊。

特別是，在本實施型態，隨著被記憶於暫存器 57 的值 PLc 規定第 1 圖場的開始之啓始脈衝 DY，僅提早或延遲時脈訊號 CLY 之 1 週期，所以成爲配合此啓始脈衝 DY

(17)

之供給，致能訊號  $Enb1$ ， $Enb2$  之第 1 及第 2 圖場的邊界也被規定的構成。

掃描訊號，如圖所示，於第 1 圖場以  $G241$ 、 $G1$ 、 $G242$ 、 $G2$ 、 $G243$ 、 $G3$ 、 $\dots$ 、 $G480$ 、 $G240$  之順序成爲高位準，另一方面，第 2 圖場，以  $G1$ 、 $G241$ 、 $G2$ 、 $G242$ 、 $G3$ 、 $G243$ 、 $\dots$ 、 $G240$ 、 $G480$  之順序成爲高位準。

針對這樣的掃描訊號，在成爲 H 位準的掃描線 112 之行，換句話說，於第 1 圖場，(1)首先選擇第 241 行，(2)由該第 241 行往上隔開掃描線數「480」之半數之 240(此相當於  $m$ )行的第 1 行被選擇，(3)由該第 1 行起往下隔開 241 行的第 242 行被選擇，以下反覆進行(2)及(3)，依序選擇第 2、243、3、 $\dots$ 、480、240 行，另一方面，於第 2 圖場，(4)首先選擇第 1 行，(5)選擇由該第 11 行往下方隔開 240 行之第 241 行，(6)選擇由該第 241 行起往上方隔開 239 行的第 2 行，以下交互反覆(5)及(6)第 242、3、243、 $\dots$ 、240、480 行目依序被選擇。

另一方面，資料線驅動電路 140 包含採樣訊號輸出電路 142，及被設於各資料線 114 的  $n$  通道型 TFT146。其中，採樣訊號輸出電路 142，並未特別圖示，係由掃描線驅動電路 130 省略 AND 電路 136 的構成。亦即，採樣訊號輸出電路 142，係具有比資料線 114 的總數 640 更多 1 段轉送電路，各轉送電路，輸出於每次時脈訊號  $CLX$  之邏輯位準遷移時(升起以及降下)使啓始脈衝  $DX$  依序移位的移位訊號，各 AND 電路，輸出鄰接的移位訊號彼此的邏

(18)

輯積訊號，該邏輯積訊號，分別作為採樣訊號 S1、S2、S3、S4、…、S639、S640 而被輸出的構成。

於此構成，相當於邏輯積訊號的採樣訊號 S1，如圖 7 所示，由啓始脈衝 DX 的供給，以僅延遲時脈訊號 CLX 的辦週期之計時輸出，同時使此採樣訊號以僅時脈訊號 CLX 的半週期依序移位，成為採樣訊號 S2、S3、S4、…、S639、S640。

此外，於圖 2 針對各列之 TFT146，其源極，共通連接於被供給資料訊號 Vid 之影像訊號線 171，其汲極，被連接於資料線 114，於其閘極被供給採樣訊號。因此，於第 j 列之資料線 114 被連接汲極的 TFT146，在對應於第 j 列的採樣訊號 Sj 成為高位準時，使被供給至影像訊號 171 的資料訊號 Vid，於第 j 列之資料線 114 進行採樣的構成。

其次，針對液晶裝置 1 的動作，設想以下的場合而進行說明。亦即，設想由外部上位裝置供給的影像訊號 Video 所包含的水平線數跨複數圖框保持一定，同時不對被記憶於暫存器 57 的值 PLc 藉由加減算電路 55 加算或減算「2」，而被記憶於暫存器 57 的值 PLc 為一定的場合進行說明。

在此場合，如前所述，掃描控制電路 51，把由影像訊號 Video 所規定的影像之中，可在顯示區域 100 顯示的 480 行，藉由被記憶於暫存器 57 的值 PLc 決定。亦即，如前所述，等分割 1 圖框期間(16.7 毫秒)的第 1 及第 2 圖

(19)

場之開始時被供給啓始脈衝 DY，同時被供給將 1 圖框期間分割為「480」的期間為 1 週期的時脈訊號 CLY。

於第 1 圖場，如前所述，首先選擇第 241 行之掃描線。配合此選擇，影像訊號處理電路 60，把收容於圖場記憶體 (RAM62) 的相當於第 241 行的影像訊號 Video 以倍速讀出，變換為負極性的資料訊號 Vid，供給至顯示區域 100 之影像訊號線 171，同時配合此供給，以採樣訊號 S1、S2、S3、S4、…、S640 依序成爲 H 位準的方式控制採樣訊號輸出電路 142。

詳細地說，於第 241 行對應於 1 列、2 列、3 列、… 640 列的畫素之資料訊號 Vid 被供給至影像訊號線 171 的計時，以採樣訊號 S1、S2、S3、S4、…、S640 分別依序成爲 H 位準的方式，掃描控制電路 51，控制影像訊號處理電路 60、掃描線驅動電路 130 以及採樣訊號輸出電路 142

採樣訊號 S1 成爲 H 位準時，第 1 列之 TFT146 打開 (ON)，所以被供給至影像訊號線 171 的對應於 241 行 1 列的畫素之資料訊號 Vid 在第 1 列之資料線 114 被採樣。同樣地，採樣訊號 S2、S3、…、S640 依序成爲 H 位準時，第 2、3、…、640 列之 TFT146 依序打開，所以於第 2、3、…、640 列之資料線 114，對應於第 241 行 2 列、3 列、…、640 列的畫素之資料訊號 Vid 分別被採樣。

另一方面，掃描訊號 G241 爲 H 位準時，位於第 241 行的畫素 110 之 TFT116 全部打開，所以於資料線 114 被

(20)

採樣的資料訊號 Vid 之電壓直接被施加至畫素電極 118。因此，於第 241 行 1、2、3、…、640 列之畫素之液晶電容 120，被保持因應於以影像訊號 Video 所指定的灰階之負極性的電壓。

第 241 行之次，選擇第 1 行之掃描線。配合此選擇，影像訊號處理電路 60，把收容於線緩衝器 (RAM62) 的相當於第 1 行的影像訊號 Video 以倍速讀出，變換為正極性的資料訊號 Vid，供給至顯示面板 10 之影像訊號線 171，同時配合此供給，以採樣訊號 S1、S2、S3、S4、…、S640 依序成為 H 位準的方式控制採樣訊號輸出電路 142。

藉此，於第 1 行 1、2、3、…、640 列之畫素之液晶電容 120，被保持因應於以影像訊號 Video 所指定的灰階之正極性的電壓。

第 1 行之次，選擇第 242 行之掃描線。配合此選擇，影像訊號處理電路 60，把收容於圖場記憶體 (RAM62) 的相當於第 241 行的影像訊號 Video 以倍速讀出，變換為負極性的資料訊號 Vid，供給至影像訊號線 171，同時配合此供給，以採樣訊號 S1、S2、S3、S4、…、S640 依序成為 H 位準的方式控制採樣訊號輸出電路 142。藉此，於第 242 行 1、2、3、…、640 列之畫素之液晶電容 120，被保持因應於以影像訊號 Video 所指定的灰階之負極性的電壓。

同樣地，第 242 行之次，選擇第 2 行之掃描線，所以配合此選擇，影像訊號處理電路 60，把收容於線緩衝器 (RAM62) 的相當於第 2 行的影像訊號 Video 以倍速讀出，



(21)

變換為正極性的資料訊號 Vid，供給至影像訊號線 171，同時配合此供給，以採樣訊號 S1、S2、S3、S4、…、S640 依序成為 H 位準的方式控制採樣訊號輸出電路 142。藉此，於第 2 行 1、2、3、…、640 列之畫素之液晶電容 120，被保持因應於以影像訊號 Video 所指定的灰階之正極性的電壓。

在第 1 圖場，以後直到被選擇第 480、240 行的掃描線為止反覆進行同樣的動作。藉此，在第 1 圖場，於第 241、242、…、480 行之各液晶電容 120，被寫入因應於灰階之負極性電壓，另一方面於第 1、2、…、240 行之各液晶電容 120，被寫入因應於灰階之正極性電壓。

在第 2 圖場，如前所述掃描線以第 1、241、2、242、3、243、…、240、480 行的順序選擇，相當於第 1、2、…、240 行的影像訊號 Video 由圖場記憶體以倍速讀出而變換為負極性之資料訊號，另一方面相當於第 241、242、…、480 行的影像訊號 Video 由線緩衝器以倍速讀出而變換為正極性之資料訊號。

藉此，在第 2 圖場，於第 1、2、…、240 行之各液晶電容 120，被寫入因應於灰階之負極性電壓，另一方面於第 241、242、…、480 行之各液晶電容 120，被寫入因應於灰階之正極性電壓。

又，在此例，如圖 7 所示，於第 1 圖場，第 i 行掃描線之前選擇第 (i+240) 行，所以掃描訊號  $G(i+1)$ 、 $G_i$  依此順序成為 H 位準。資料訊號 Vid，在負極性寫入時，在從

(22)

相當於黑色的電壓  $Vb(-)$  起到相當於白色的電壓  $Vw(-)$  爲止的範圍成爲由電壓  $Vc$  降低僅因應於畫素的灰階之份的電壓，在正極性寫入時，在從相當於黑色(最低灰階)的電壓  $Vb(+)$  起到相當於白色(最高灰階)的電壓  $Vw(+)$  爲止的範圍成爲由電壓  $Vc$  升高僅因應於畫素的灰階之份的電壓。

此外，掃描訊號或採樣訊號之邏輯位準之中，H 位準係電壓  $Vdd$ ，L 位準係本實施型態之電壓基準之接地電位  $Gnd$ 。但是，本實施型態之寫入極性，係對液晶電容 120 之寫入極性，所以其正負的基準，不是對接地電位  $Gnd$  而是對電壓  $Vc$ 。

此處，在本實施型態，使電壓  $Vc$  設定於比被施加於共同電極 108 的電壓  $LCcom$  更高若干之高位。其理由，是因爲起因於 TFT116 的閘極・汲極間之寄生電容，由打開至關閉當狀態改變時汲極(畫素電極 118)之電位產生降低的現象(又被稱爲下推 *push-down*、刺穿 *break-through*、貫場 *field-through* 等)的緣故。爲了防止液晶的劣化，對液晶電容以交流驅動爲原則，施加於共同電極 108 的電壓  $LCcom$  作爲寫入極性的基準進行交流驅動的話，因爲下推，負極性寫入所導致的液晶電容 120 的電壓實效值，比根據正極性寫入之實效值要大上若干(TFT116 爲  $n$  通道型的場合)。因此，把寫入極性的基準電壓  $Vc$  設定於比共同電極 108 的電壓  $LCcom$  更高位側，可以抵銷下推(*push-down*)的影響。

又，圖 7 之資料線的電壓之縱比例尺，與其他電壓波

(23)

形相較有被擴大。

針對這樣的寫入動作參照圖 8 進行說明。圖 8 係使本實施型態之各行的寫入狀態跨連續的圖框之隨著時間經過而顯示之圖。又，圖 8 並未顯示對 1~480 行之所有行之寫入，而是縮減行的數目之簡易顯示。

如圖所示，在本實施型態，於第 1 圖場在第 241、242、243、…、480 行之畫素進行負極性寫入，在第 1、2、3、…、240 行之畫素進行正極性寫入，而在次一寫入之前被保持著，另一方面，於第 2 圖場在第 1、2、3、…、240 行之畫素進行負極性寫入，在第 241、242、243、…、480 行之畫素進行正極性寫入，而同樣在次一寫入之前被保持著。

因此，於任一計時，針對任一列，保持正極性電壓的畫素與保持負極性電壓的畫素之比率均為 50%。因此，保持期間之資料線 114 的極性不會偏於一方，藉此，被寫入畫素電極 118 的電荷透過關閉狀態的 TFT116 流失的程度，跨各行都成為均等，所以防止顯示的不均一性。

此外，在本實施型態，在某行被選擇的計時，位於該行的畫素，與位於該行的上一行的畫素寫入極性相反，但其他的畫素彼此寫入極性相同。因此，也防止由於轉傾 (disclination，旋轉位移，配向不良) 導致顯示品質的降低。

以上，針對不使被記憶於暫存器 57 的值 PLc 改變的場合之動作加以說明。接下來，針對不使被記憶於暫存器

(24)

57 的值 PLc 改變的場合之問題加以檢討。

如圖 9 所示，包含於影像訊號 Video 的水平線數  $p$  不變更的場合，如框 Fr 所示切出 480 行而在顯示區域 100 顯示。此處，掃描控制電路 51，在以此框 Fr 的中心計時，亦即，影像訊號 Video 所規定的影像第「 $p/2$ 」行的供給之後的計時  $a$ ，成爲第 1 及第 2 圖場的邊界的方式將時脈訊號 CLY 等縮放 (scaling)。

藉此，在顯示區域 100，跨複數圖框若水平線數  $p$  一定，如圖 10 所示，在計時  $a$  來看，於第 1~240 行之畫素於某  $N$  圖框根據被供給的影像訊號 Video 進行正極性的電壓寫入，另一方面，於第 241~480 行之畫素，於比  $N$  圖框更前一個之  $(N-1)$  圖框根據被供給的影像訊號 Video 進行負極性的電壓寫入，

此外，計時  $a$  以成爲第 1 及第 2 圖場之邊界的方式縮放，所以正極性電壓被保持的期間，與負極性電壓被保持的期間成爲相同，所以不會對液晶電容 120 施加直流電壓。

然而，由於上尉控制電路切替影像源等理由，如圖 11 所示由  $(N-1)$  圖框至  $N$  圖框，包含於影像訊號 Video 的水平線數由  $p$  變更爲  $q$  的場合 (在圖 11 顯示增加的場合)，以水平同步訊號 Hsync 規定的水平掃描期間 (在圖 11 相當於線間隔) 改變。

此處，在水平線數被變更之後的  $N$  圖框，次一垂直同步訊號 Vsync 未輸入，包含於該影像訊號 Video 的水平線

(25)

數  $q$  無法檢測，所以掃描控制電路 51，作為係之前的  $(N-1)$  圖框之水平線數  $p$ ，而處理  $N$  圖框以後之影像訊號 Video。因此，以影像訊號 Video 規定的影像，第「 $p/2$ 」行的供給之後的計時  $a$  由圖框期間的中心起，增加水平線數時如圖 11 所示的在時間上往前方移位，減少加水平線數時並未圖示而在時間上往後方移位。

圖框期間的中心，與第 1 及第 2 圖場之邊界不一致的話，正極性電壓被保持的期間，與負極性電壓被保持的期間不會相同，所以會有對液晶電容 120 施加直流電壓的問題。

又，從水平線數被變更起，到因應於變更後的水平線數  $q$  內部 PLL 安定為止，亦即，以使影像訊號 Video 所規定的影像第「 $q/2$ 」行之供給之後的計時  $a$  成為第 1 及第 2 圖場的邊界的方式，使時脈訊號 CLY 等被縮放 (scaling) 為止，因應於 PLL 的性能需要數秒，但將此換算為圖框數的話，超過 100，所以對液晶電容 120 之直流電壓的施加無法忽視。

此外，於  $(N-1)$  圖框藉由計數器 53 計數之值  $CLc$  作為被供給至次一  $N$  圖框的影像訊號 Video 之水平數，掃描控制電路 51 控制各部的構成，影像訊號 Video 的水平線數不定的場合，藉由計數器 53 所計數之值  $CLc$ ，繼續與被供給至次一圖框的影像訊號 Video 的水平線數之乖離狀態，變得容易對液晶電容 120 施加直流電壓，所以不能說是較佳的。

(26)

爲了對付此問題，在本實施型態，係使規定第 2 圖場的開始時之啓始脈衝 DY，在被記憶於暫存器 57 的值 PLc 僅增加「2」的場合，對時脈訊號 CLY 往後方移位僅 1 週期而輸出，在被記憶於暫存器 57 的值 PLc 僅減少「2」的場合，對時脈訊號 CLY 往前方移位僅 1 週期而輸出的構成。

詳言之，於 N 圖框被包含於影像訊號 Video 的水平線數(根據計數器 53 之計數值的最大值 CLc)，比之前的(N-1)圖框之水平線數(被記憶於暫存器 57 之值 PLc)還大的場合，該值 PLc 藉由加減算電路 55 僅加算「2」而被記憶於暫存器 57。因此，掃描控制電路 51，如圖 11 所示，於次一(N+1)圖框使規定第 2 圖場之開始時的啓始脈衝 DY，對時脈訊號 CLY 僅往後方移位 1 週期份。

另一方面，於 N 圖框被包含於影像訊號 Video 的水平線數，比之前的(N-1)圖框之水平線數還小的場合，該值 PLc，藉由加減算電路 55，僅減算「2」而被記憶於暫存器 57。因此，掃描控制電路 51，雖未圖示，於次一(N+1)圖框使規定第 2 圖場之開始時的啓始脈衝 DY，對時脈訊號 CLY 僅往前方移位 1 週期份。

在本實施型態，影像訊號 Video 所包含的水平線數被變更爲 q 的場合，被記憶於暫存器 57 的值 PLc 在圖框期間結束時僅被加算或減算「2」，所以經過複數圖框後，如前所述在 q 附近均衡。因此，均衡後，由時間上的平均值來看，成爲變更後的 q，所以第 1 及第 2 圖場的期間，從時間上平均來看成爲相同長度。

(27)

此外，值  $PLc$  在 1 圖框僅增加或減少「2」，所以水平線數之變更份為 50 行程度的話，以一半之 25 圖框值就可以均衡，所以比等待內部 PLL 安定化而言可以更迅速地追隨。

進而，即使變更後的影像訊號 Video 所包含的水平線數在  $q$  附近搖擺的場合，值  $PLc$  也可使搖擺的水平線數以成為平均化的值的方式改變，所以第 1 及第 2 圖場期間，同樣在時間上平均來看，成為相同長度。

因此，在本實施型態，不對液晶施加直流成分，而可以防止所謂的燒焦。

於前述實施型態，係藉由判別電路判別根據計數器 53 之最大值  $CLc$  是否比由暫存器 57 讀出的值  $PLc$  還大，被判別為較大的場合，由暫存器 57 讀出的值  $PLc$  僅被加算「2」而再度設定至暫存器 57，另一方面，判別為以下的場合，由暫存器 57 讀出的值  $PLc$  僅被減算「2」而再度設定至暫存器 57 的構成；但亦可以是藉由判別電路判別最大值  $CLc$  是否比由暫存器 57 讀出的值  $PLc$  還大，被判別為以上的場合，由暫存器 57 讀出的值  $PLc$  僅被加算「2」而再度設定至暫存器 57，判別為較小的場合，由暫存器 57 讀出的值  $PLc$  僅被減算「2」而再度設定至暫存器 57 的構成。

進而，判別電路 59 判別最大值  $CLc$  是在值  $PLc$  以上，或相等，或以下的 3 種情形，相等的場合，不加減算值  $PLc$  (加算零)，直接回到暫存器 57 而使其記憶的構成亦可。

(28)

又，在實施型態，採藉由加減算電路 55 使值 PLc 僅加算或減算「2」的構成之理由，是在對時脈訊號 CLY 僅往前方或往後方移位 1 週期份時，第 2 圖場的開始，成為掃描線之 2 行之前或者 2 行之後的緣故(參照圖 6)。

因此，如圖 6 所示的關係，亦即使啓始脈衝 DY 移位時僅往前方或後方移動的掃描線(水平線數)使其加算或減算的關係，只要能夠於加減算電路 55 與掃描控制電路 51 與掃描線驅動電路 130 保持的話，亦可為「2」以外的數目。

在前述之實施型態，在對應於某一行的掃描線 112 之掃描訊號成為 H 位準時，依序供給對應於位在該掃描線的第 1 列～第 480 列的畫素之資料訊號 Vid，亦即所謂的點依序的構成，但是亦可採使資料訊號於時間軸伸長 n 倍(n 為 2 以上之整數)並用供給至 n 條影像訊號線的所謂相展開(亦稱為序列-平行變換)驅動之構成(參照日本特開平 2000-112437 號公報)，對所有的資料線 114 統括供給資料訊號的所謂線依序的構成亦可。

此外，在實施型態，於第 1 圖場負極性寫入第 241 行以後，正極性寫入第 1 行以後，於第 2 圖場負極性寫入第 1 行以後，正極性寫入第 241 行以後，但亦可使寫入極性相反。

進而，在實施型態，係於未施加電壓的狀態為顯示白色的常白模式，但亦可以是未施加電壓的狀態下為顯示黑色的常黑模式。此外，亦可以 R(紅)、G(綠)、B(藍)之三畫



(29)

素構成一點而進行彩色顯示。顯示區域 100 不限於透過型，亦可為反射型或者兼具二者之半透過半反射型。

其次，說明使用相關於前述實施型態之液晶裝置的電子機器之例。圖 12 係顯示將前述液晶裝置 1 作為光閥使用的 3 板式投影機的構成之平面圖。

於此投影機 2100，供入射至光閥的光，藉由配置在內部的 3 枚反射鏡 2106 以及 2 枚二色性反射鏡 2108 而分離為 R(紅)、G(綠)、B(藍)三原色，分別被導入作為對應於各原色的光閥 100R、100G 及 100B。又，B 色之光，與其他 R 色或 G 色比較起來光徑較長，為了防止其損失，中介著由入射透鏡 2122、中繼透鏡 2123 以及射出透鏡 2124 所構成的中繼透鏡系 2121 而導光。

此處，光閥 100R、100G 及 100B 之構成，與前述實施型態之液晶裝置 1 的顯示區域 100 相同，以從外部上位裝置(省略圖示)所供給的對應於 R、G、B 各色之影像訊號分別驅動。

藉由光閥 100R、100G、100B 分別被調變的光，由 3 方向入射至二色性稜鏡 2112。接著，於此二色性稜鏡 2112，R 色以及 B 色之光折射 90 度，另一方面 G 色之光則直進。亦即，各色之影像被合成之後，透過透鏡單元 1820 被正轉擴大投影，所以在螢幕 2120 顯示彩色影像。

又，光閥 100R、100B 之透過像，係藉由二色性稜鏡 2112 反射之後而被投射的，而光閥 100G 之透過像則是直接投射，所以光閥 100R、100B 之水平掃描方向，與光閥

(30)

100G 之水平掃描方向相反，為顯示左右反轉像之構成。

此外，作為電子機器，除了參照圖 12 所說明的以外，還可以舉出直視型，例如行動電話，或者是個人電腦、電視、攝錄放影機的監視器、汽車導航裝置、呼叫器、電子手冊、計算機、文書處理機、工作站、電視電話、POS 終端、數位相機、具備觸控面板的機器等。接著，對這些各種電子機器，當然可以適用相關於本發明的液晶裝置。

### 【圖式簡單說明】

圖 1 係顯示相關於本發明的實施型態之液晶裝置的構成之方塊圖。

圖 2 係顯示該液晶裝置之顯示面板的構成之圖。

圖 3 係該顯示面板之畫素的構成之圖。

圖 4 係顯示該液晶裝置之掃描線驅動電路的構成之圖。

圖 5 係供說明該液晶裝置之動作之圖。

圖 6 係供說明該液晶裝置之垂直掃描之圖。

圖 7 係供說明該液晶裝置之水平掃描之圖。

圖 8 係供說明該液晶裝置之寫入之圖。

圖 9 係顯示該液晶裝置之線數變更動作之圖。

圖 10 係顯示該液晶裝置之線數變更動作之圖。

圖 11 係顯示該液晶裝置之線數變更動作之圖。

圖 12 係顯示使用相關於實施型態之液晶裝置於投影機的構成之圖。

## 【主要元件符號說明】

- 1：液晶裝置
- 10：顯示面板
- 50：控制電路
- 51：掃描控制電路
- 53：計數器
- 57：暫存器
- 59：判別電路
- 60：影像訊號處理電路
- 100：顯示區域
- 105：液晶
- 108：共同電極
- 110：畫素
- 112：掃描線
- 114：資料線
- 116：TFT
- 118：畫素電極
- 120：液晶電容
- 130：掃描線驅動電路
- 142：採樣訊號輸出電路
- 146：TFT
- 2100：投影機

98年12月31日修正  
補充 P1-5

## 十、申請專利範圍

第 96114047 號專利申請案

中文申請專利範圍修正本

民國 98 年 12 月 31 日修正

1. 一種液晶裝置之控制電路，其特徵係控制具備：

(a) 對應於複數行之掃描線與複數列之資料線的交叉而設置，在所述掃描線被選擇時，成為因應於被供給至所述資料線的資料訊號的電壓之灰階的複數畫素，及

(b) 跨分開 1 個圖框的期間之第 1 或第 2 場之一方，

(1) 選擇成為起點的一行掃描線，

(2) 由前一步驟所選擇的掃描線起朝一方方向選擇間隔  $m$  ( $m$  為 2 以上之整數) 行的掃描線，

(3) 選擇由前述 (2) 所選擇的掃描線起朝他方方向間隔  $(m+1)$  行的掃描線，

以下交互地反覆進行前述 (2) 及 (3)，跨前述第 1 或第 2 場之他方，

(4) 選擇成為起點之一行掃描線，

(5) 選擇由前一步驟所選擇的掃描線起朝前述他方方向間隔  $m$  行的掃描線，

(6) 選擇由前述 (5) 所選擇的掃描線起朝前述一方方向間隔  $(m-1)$  行之掃描線，

以下，交互地反覆進行前述 (5) 及 (6)，跨分別的前述第 1 及第 2 場選擇前述複數行之掃描線的掃描線驅動電路

(c)將對應於被選擇的掃描線的畫素的灰階之電壓之資料訊號對前述複數列之資料線施加的資料線驅動電路，使前述資料訊號之電壓，在前述(1)、(3)、(5)而掃描線被選擇時，作為比特定的基準電壓更高位或者低位之一方，在前述(2)、(4)、(6)而掃描線被選擇時，作為比前述基準電壓更高位或低位之他方的資料線驅動電路等之液晶裝置的控制電路；具備：

(d)計算比藉由對應於前述複數行之掃描線的畫素對應於更廣區域而被供給的影像訊號之水平線數之計數器，

(e)判別以前述計數器計數之水平線數與被記憶於特定的暫存器之值的大小關係之判別電路，

(f)因應於前述判別電路的判別結果將記憶於前述暫存器的值只加算或者減算特定數之加減算電路，

(g)將藉由前述加減算電路所加算或減算的值記憶於前述暫存器，同時將前述第2場之開始計時，根據被記憶於前述暫存器的值加以規定之掃描控制電路。

2.如申請專利範圍第1項之液晶裝置之控制電路，其中，前述加減算電路，

藉由前述判別電路判別出藉由前述計數器所計數之水平線數比被記憶於前述暫存器的值更大的場合，使被記憶於前述暫存器的值僅加算特定值，

另一方面，藉由前述判別電路判別出藉由前述計數器所計數之水平線數比被記憶於前述暫存器的值還小的場合

，使被記憶於前述暫存器的值僅減算特定值。

3.如申請專利範圍第 2 項之液晶裝置之控制電路，其中，前述加減算電路，

在藉由前述計數器計數的水平線數與被記憶於前述暫存器的值相等的場合，維持被記憶於前述暫存器的值。

4.如申請專利範圍第 2 或 3 項之液晶裝置之控制電路，其中，前述掃描控制電路，

在對被記憶於前述暫存器的值僅加算特定數的場合，使第 2 場之開始計時比特定的計時延遲，

另一方面，在對被記憶於前述暫存器的值僅減算特定數的場合，使第 2 場之開始計時比前述特定的計時提早。

5.如申請專利範圍第 4 項之液晶裝置之控制電路，其中，前述掃描線驅動電路，

根據將啓始脈衝以時脈訊號移位之移位訊號選擇前述複數行之掃描線，

前述掃描控制電路，藉由使前述啓始脈衝的供給計時對前述時脈訊號延遲，或者是提前，而規定前述第 2 場之開始計時。

6.一種液晶裝置，其特徵係具備：

(a)對應於複數行之掃描線與複數列之資料線的交叉而設置，在前述掃描線被選擇時，成爲因應於被供給至前述資料線的資料訊號的電壓之灰階的複數畫素，及

(b)跨分開 1 個圖框的期間之第 1 或第 2 場之一方，

(1)選擇成爲起點的一行掃描線，

(2)由前一步驟所選擇的掃描線起朝一方方向選擇間隔  $m$  ( $m$  為 2 以上之整數)行的掃描線，

(3)選擇由前述(2)所選擇的掃描線起朝他方方向間隔  $(m+1)$ 行的掃描線，

以下交互地反覆進行前述(2)及(3)，跨前述第 1 或第 2 場之他方，

(4)選擇成爲起點之一行掃描線，

(5)選擇由前一步驟所選擇的掃描線起朝前述他方方向間隔  $m$  行的掃描線，

(6)選擇由前述(5)所選擇的掃描線起朝前述一方方向間隔  $(m-1)$ 行之掃描線，

以下，交互地反覆進行前述(5)及(6)，跨分別的前述第 1 及第 2 場選擇前述複數行之掃描線的掃描線驅動電路，

(c)將對應於被選擇的掃描線的畫素的灰階之電壓之資料訊號對前述複數列之資料線施加的資料線驅動電路，使前述資料訊號之電壓，在前述(1)、(3)、(5)而掃描線被選擇時，作爲比特定的基準電壓更高位或者低位之一方，在前述(2)、(4)、(6)而掃描線被選擇時，作爲比前述基準電壓更高位或低位之他方的資料線驅動電路，

(d)計算比藉由對應於前述複數行之掃描線的畫素對應於更廣區域而被供給的影像訊號之水平線數之計數器，

(e)判別以前述計數器計數之水平線數與被記憶於特定的暫存器之值的大小關係之判別電路，

(f)因應於前述判別電路的判別結果將記憶於前述暫存器的值只加算或者減算特定數之加減算電路，

(g)將藉由前述加減算電路所加算或減算的值記憶於前述暫存器，同時將前述第 2 場之開始計時，根據被記憶於前述暫存器的值加以規定之掃描控制電路。

7.一種電子機器，其特徵為具備申請專利範圍第 6 項之液晶裝置。



圖1

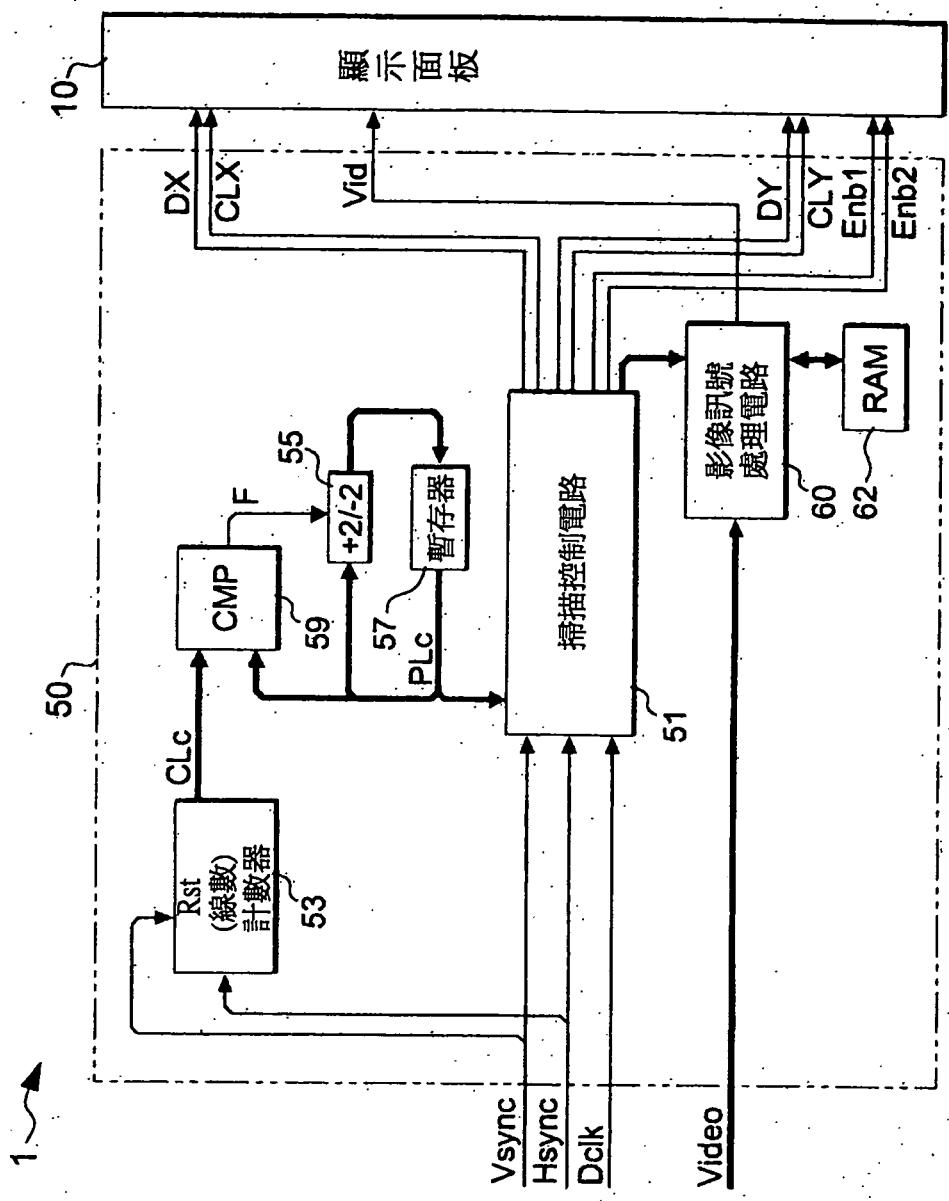


圖2

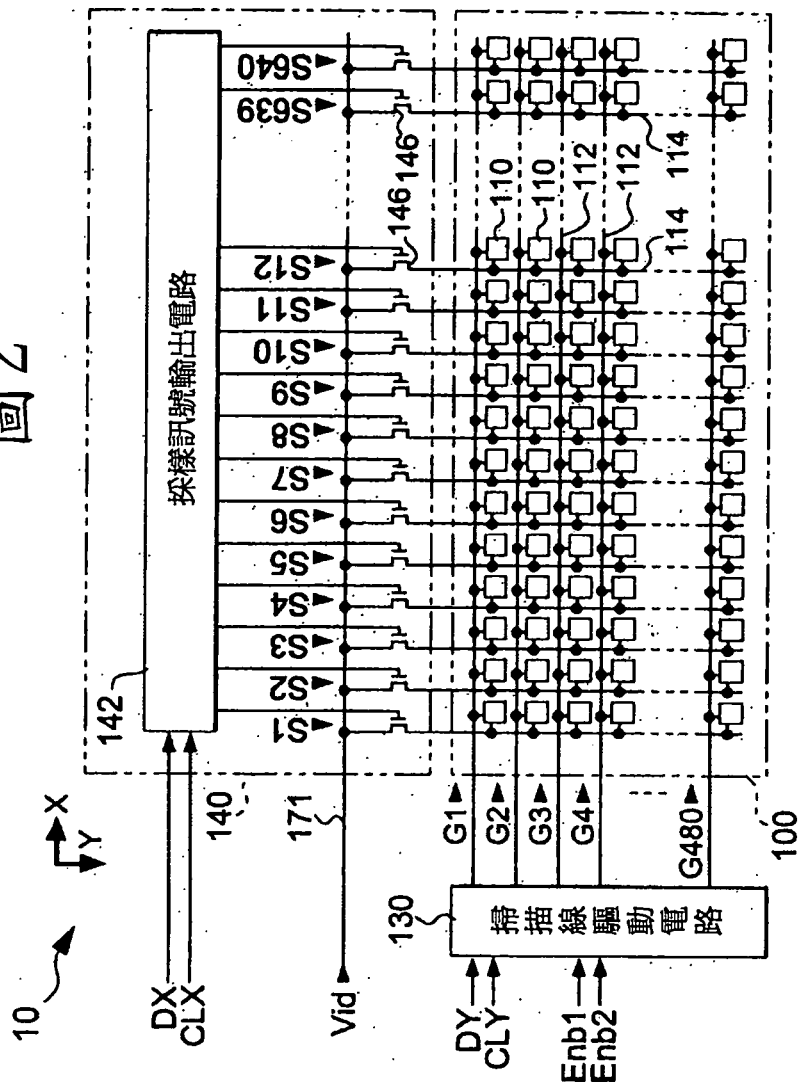


圖3

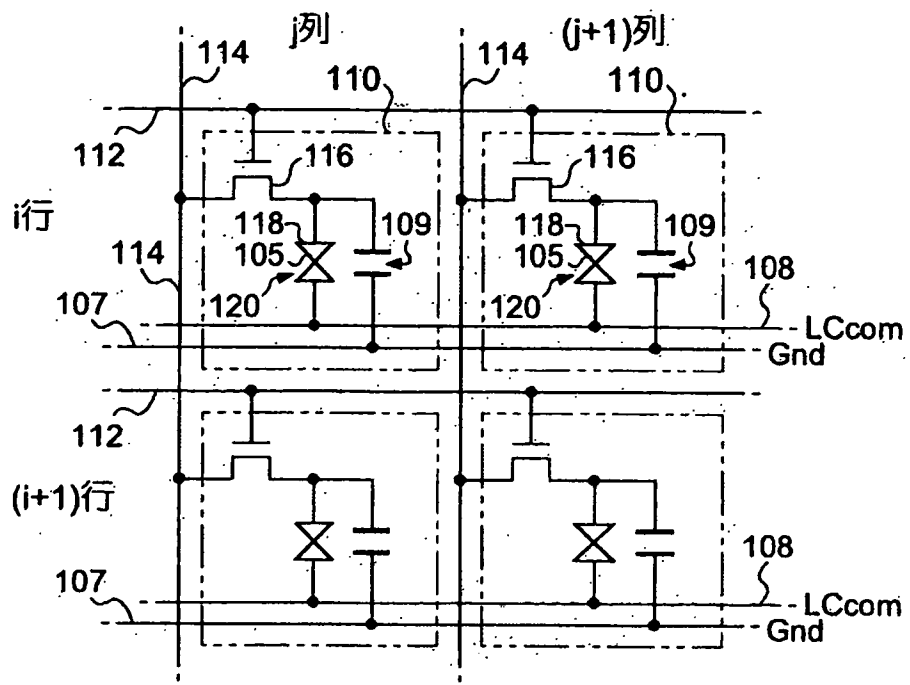


圖4

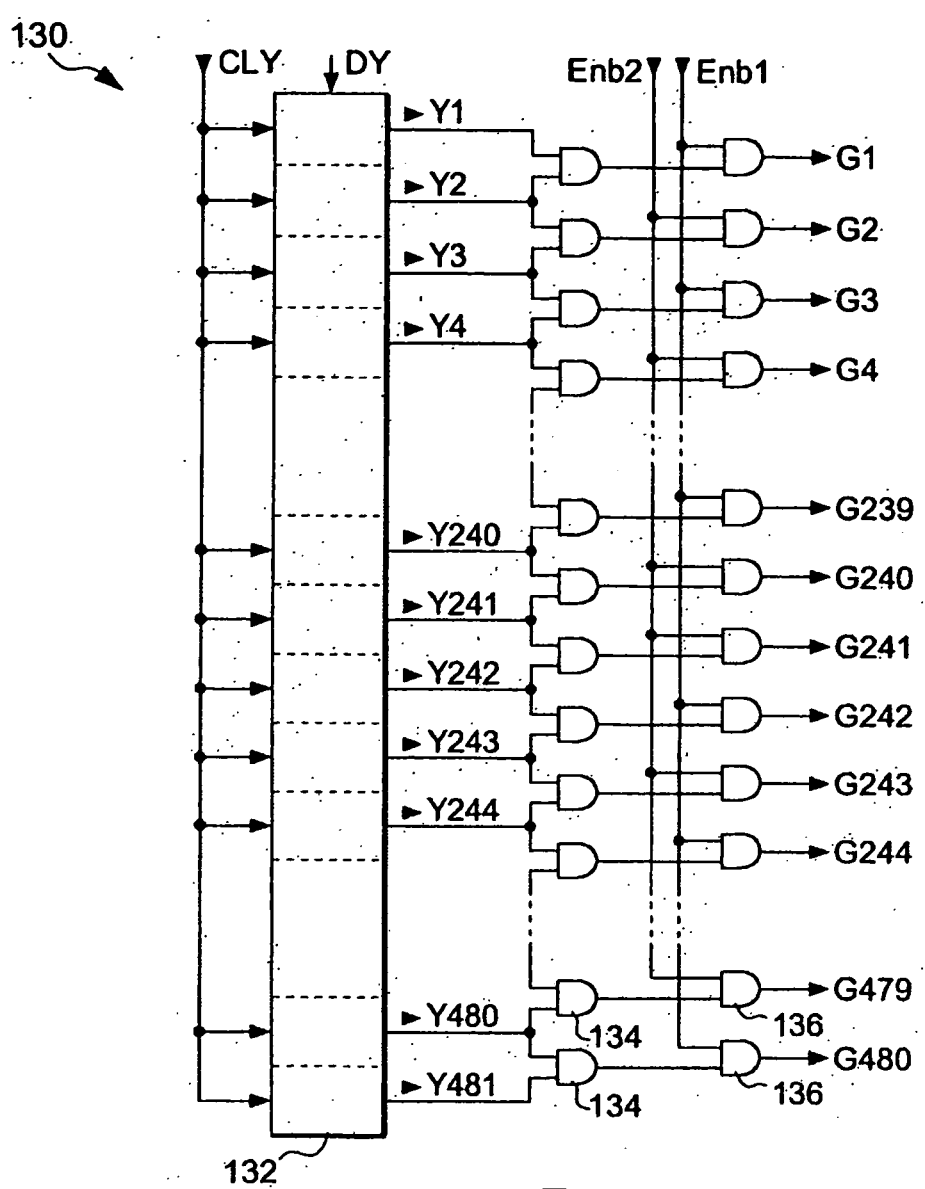


圖5

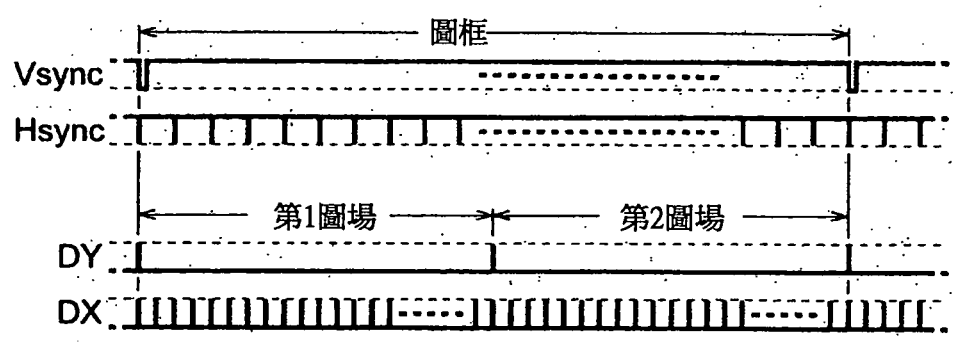


圖6

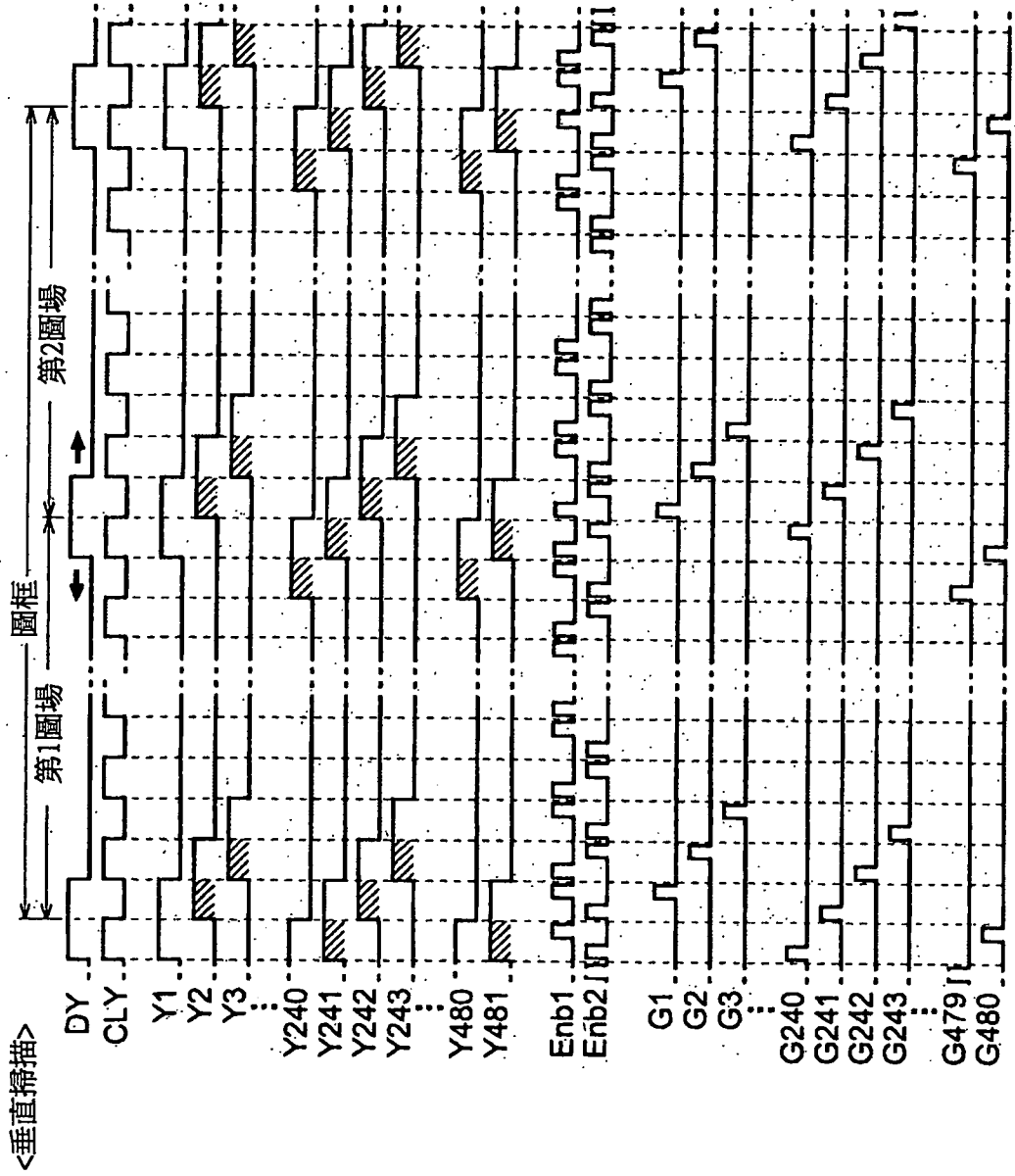


圖 7

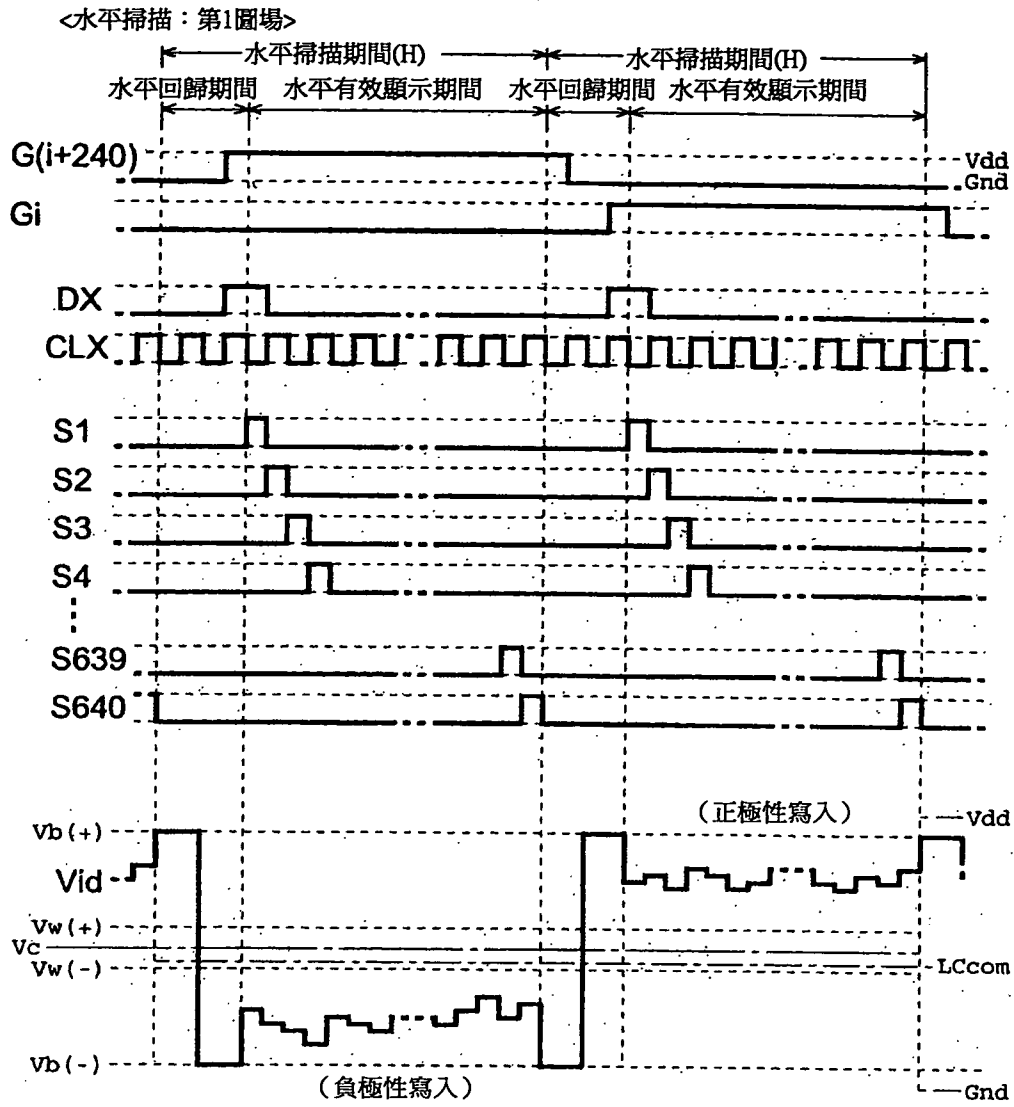


圖8

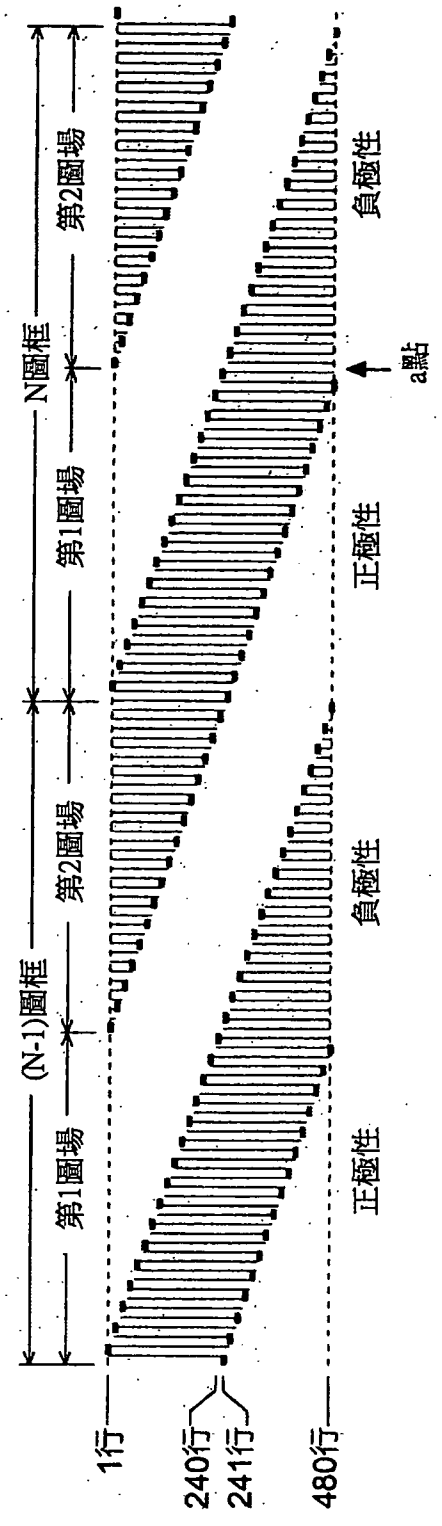


圖 9

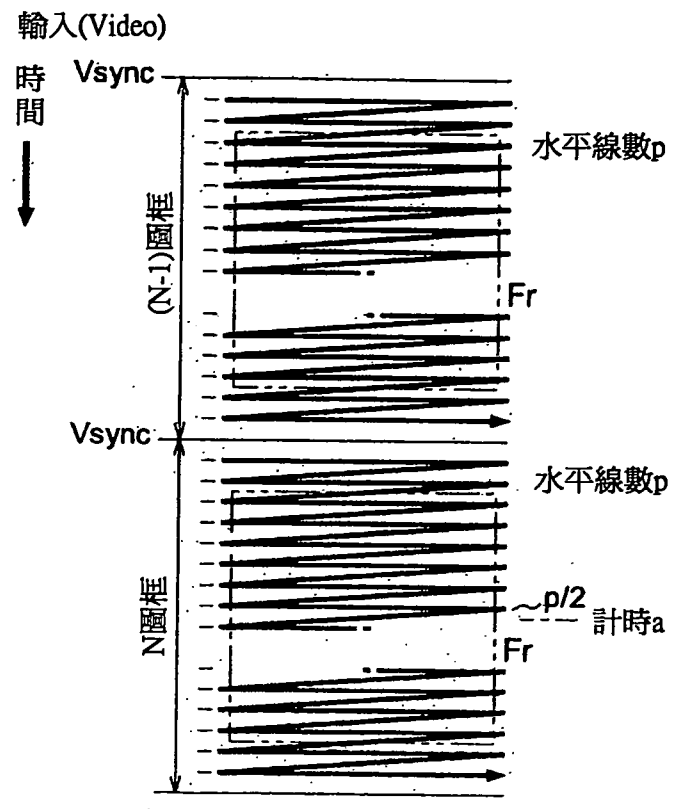


圖 10

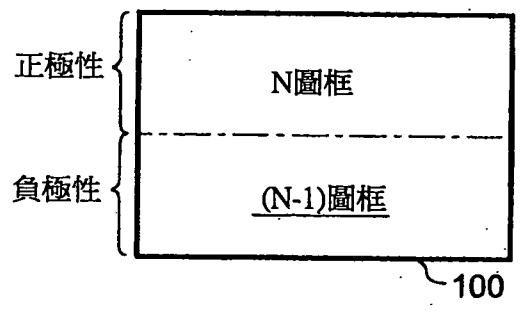




圖 11

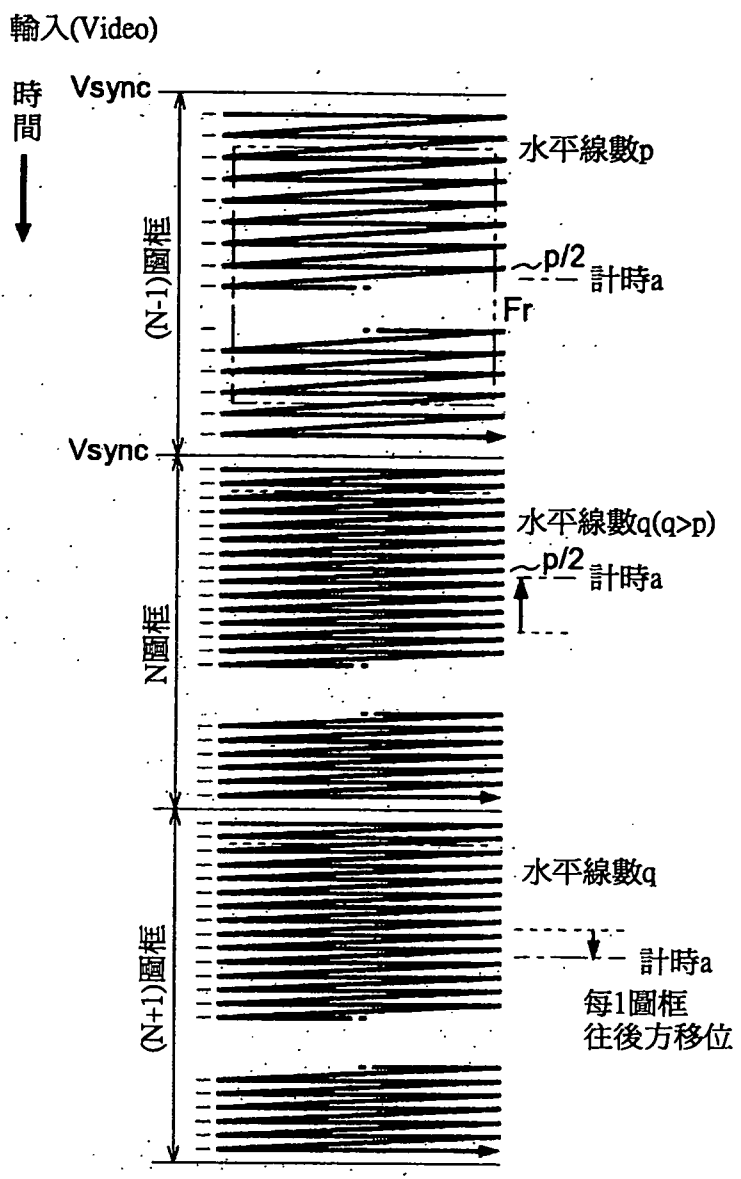


圖 12

