



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0122645
(43) 공개일자 2021년10월12일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 29/10</i> (2006.01) <i>H01L 29/06</i> (2006.01)
 <i>H01L 29/16</i> (2006.01) <i>H01L 29/24</i> (2006.01)
 <i>H01L 29/423</i> (2006.01) <i>H01L 29/66</i> (2006.01)
 <i>H01L 29/78</i> (2006.01) <i>H01L 29/786</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 29/1033</i> (2013.01)
 <i>H01L 29/0673</i> (2013.01)</p> <p>(21) 출원번호 10-2020-0138551
 (22) 출원일자 2020년10월23일
 심사청구일자 2020년10월23일</p> <p>(30) 우선권주장
 63/002,505 2020년03월31일 미국(US)
 16/937,277 2020년07월23일 미국(US)</p> | <p>(71) 출원인
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완, 신추, 신추 사이언스 파크,
 리-신 로드 6, 넘버 8</p> <p>(72) 발명자
 카더마트 무루날 압히지트
 중화민국, 타이완, 신추, 신추 사이언스 파크,
 리-신 로드 6, 넘버 8
 사타이야 단야쿠마 마하비어
 중화민국, 타이완, 신추, 신추 사이언스 파크,
 리-신 로드 6, 넘버 8
 (뒷면에 계속)</p> <p>(74) 대리인
 김태홍, 김진희</p> |
|--|--|

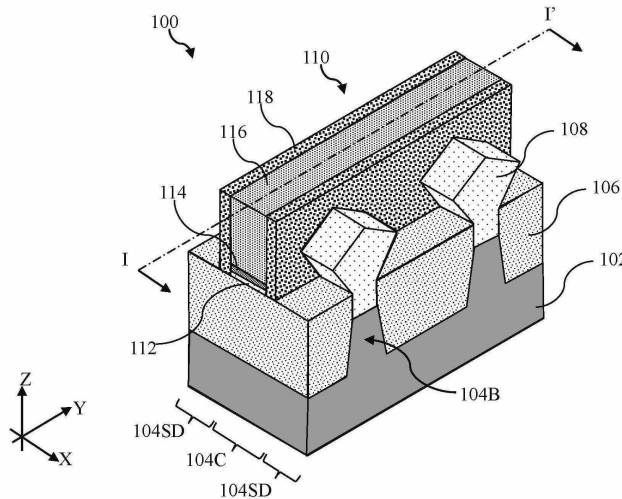
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 이중 채널 구조체

(57) 요약

반도체 디바이스 및 이를 형성하는 방법이 제공된다. 본 개시에 따른 반도체 디바이스는 제1 채널층 및 제1 채널층 위의 제2 채널층을 포함하는 채널 부재 및 채널 부재 위의 게이트 구조체를 포함한다. 제1 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함하고, 제2 채널층은 2차원 물질을 포함한다.

대표도



(52) CPC특허분류

H01L 29/0676 (2013.01)

H01L 29/16 (2013.01)

H01L 29/24 (2013.01)

H01L 29/42392 (2013.01)

H01L 29/66795 (2013.01)

H01L 29/785 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

린 쟁-추

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

셴 저-민

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

명세서

청구범위

청구항 1

반도체 디바이스에 있어서,

제1 채널층 및 상기 제1 채널층 위의 제2 채널층을 포함하는 채널 부재; 및

상기 채널 부재 위의 게이트 구조체를 포함하고,

상기 제1 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함하고,

상기 제2 채널층은 2차원 물질을 포함하는 것인, 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인(black phosphorus), 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함하는 것인, 반도체 디바이스.

청구항 3

제1항에 있어서, 기판을 더 포함하고,

상기 제1 채널층은 상기 기판으로부터 연장되는 핀 구조체를 포함하고, 상기 제2 채널층은 상기 핀 구조체 위에 배치되는 것인, 반도체 디바이스.

청구항 4

제3항에 있어서, 상기 기판 및 상기 핀 구조체의 측벽들 위에 배치된 격리 피처부를 더 포함하고,

상기 격리 피처부는 상기 제2 채널층에 의해 상기 제1 채널층으로부터 이격된 것인, 반도체 디바이스.

청구항 5

제3항에 있어서, 상기 기판 및 상기 핀 구조체의 측벽들 위에 배치된 격리 피처부를 더 포함하고,

상기 격리 피처부는 상기 제1 채널층과 직접 접촉하는 것인, 반도체 디바이스.

청구항 6

제1항에 있어서, 상기 제2 채널층은 상기 제1 채널층 주위를 래핑하는 것인, 반도체 디바이스.

청구항 7

제1항에 있어서, 상기 채널 부재는, 상기 제2 채널층이 상기 제1 채널층과 제3 채널층 사이에 샌드위치되도록, 상기 제1 채널층 아래에 배치된 상기 제3 채널층을 더 포함하고,

상기 제3 채널층은 상기 2차원 물질을 포함하는 것인, 반도체 디바이스.

청구항 8

제1항에 있어서, 상기 2차원 물질은 제1 2차원 물질이고,

상기 제2 채널층은 제2 2차원 물질을 더 포함하고,

상기 제1 2차원 물질 및 상기 제2 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 및 몰리브덴 셀렌화물($MoSe_2$)으로 구성된 군으로부터 선택되고,

상기 제1 2차원 물질의 조성은 상기 제2 2차원 물질의 조성과 상이한 것인, 반도체 디바이스.

청구항 9

반도체 디바이스에 있어서,

제1 디바이스 영역 내의 제1 트랜지스터 - 상기 제1 트랜지스터는,

제1 채널층 및 상기 제1 채널층 위의 제2 채널층을 포함하는 제1 채널 부재, 및

상기 제1 채널 부재 위의 제1 게이트 구조체를 포함함 -; 및

제2 디바이스 영역 내의 제2 트랜지스터 - 상기 제2 트랜지스터는,

제3 채널층을 포함하는 제2 채널 부재, 및

상기 제2 채널 부재 위의 제2 게이트 구조체를 포함함 -

를 포함하고,

상기 제1 채널층 및 상기 제3 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함하고,

상기 제2 채널층은 제1 2차원 물질을 포함하는 것인, 반도체 디바이스.

청구항 10

방법에 있어서,

반도체 구조체를 포함하는 위크퍼스를 제공하는 단계 - 상기 반도체 구조체는 실리콘, 게르마늄, III-V 반도체, 또는 II-VI 반도체를 포함함 -;

상기 반도체 구조체 위에 2차원 물질층을 퇴적하는 단계 - 상기 2차원 물질층은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색인, 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함함 -; 및

상기 2차원 물질층 위에 게이트 구조체를 형성하는 단계를 포함하는 방법.

발명의 설명

기술 분야

배경 기술

[0001] 우선권 데이터

[0002] 본 출원은 2020년 3월 31일자 출원된 발명의 명칭 "DUAL CHANNEL STRUCTURE"인 미국 가특허 출원 제63/002,505호(Attorney Docket No. P20194482US00 / 24061.4160PV01)에 우선권을 청구하고, 그 전체 내용은 본 명세서에 참조에 의해 통합된다.

[0003] 배경 기술

[0004] 반도체 집적 회로(Integrated Circuit, IC) 산업은 기하급수적으로 성장했다. IC 물질 및 설계에서의 기술 발전으로 인해, 각 세대가 이전 세대보다 더 작고 더 복잡한 회로를 갖는 수 세대의 IC가 생산되었다. IC 진화 과정에서, 기능적 밀도(즉, 칩 면적당 상호 연결된 디바이스의 개수)는 일반적으로 증가하는 반면, 기하학적 크기(즉, 제조 공정을 이용하여 생산될 수 있는 가장 작은 구성 요소(또는 라인))는 감소했다. 일반적으로, 이러한 스케일링 다운 공정은 생산 효율성을 높이고 관련 비용을 줄이는 이점을 제공한다. 이러한 스케일링 다운은 IC 처리 및 제조의 복잡성 또한 증가시켰다.

[0005] 예를 들어, 더 작은 기술 노드를 향해 IC 기술이 발전함에 따라, 게이트-채널 커플링을 증가시키고, 오프-상태 전류를 감소시키고, 단-채널 효과(Short-Channel Effect, SCE)를 감소시킴으로써 게이트 제어를 개선하기 위해 다중-게이트 디바이스가 도입되었다. 일반적으로, 다중-게이트 디바이스는, 게이트 구조체 또는 그 일부가 채널

영역의 하나보다 많은 측 위에 배치되는 디바이스를 지칭한다. 핀-형 전계 효과 트랜지스터(Fin-like Field Effect Transistor, FinFET) 및 다중-브리지-채널(Multi-Bridge-Channel, MBC) 트랜지스터는 고성능 및 저누설 응용에 있어서 널리 알려지고 유망한 후보가 된 다중-게이트 디바이스의 예이다. FinFET은, 하나보다 많은 측 상에서 게이트로 래핑된(wrapped) 상승된 채널을 갖는다(예를 들어, 게이트는 기판에서 연장된 반도체 물질의 "핀"의 상단과 측벽들을 래핑한다). MBC 트랜지스터는, 두 개 이상의 측 상에서 채널 영역에 대한 액세스를 제공하도록, 채널 영역 주위에서 부분적으로 또는 완전히 연장될 수 있는 게이트 구조체를 갖는다. 게이트 구조체가 채널 영역들을 둘러싸기 때문에, MBC 트랜지스터는 서라운드 게이트 트랜지스터(Surrounding Gate Transistor, SGT) 또는 게이트-올-어라운드(Gate-All-Around, GAA) 트랜지스터라고도 한다. MBC 트랜지스터의 채널 영역은 나노 와이어, 나노 시트, 다른 나노 구조체 및/또는 다른 적절한 구조체로 형성될 수 있다. 또한, 채널 영역의 형상들로 인해, 예컨대 나노 시트 트랜지스터 또는 나노 와이어 트랜지스터와 같은 대안적 이름이 MBC 트랜지스터에 부여되었다. 스케일링 다운이 계속됨에 따라, MBC 트랜지스터는 만족스러운 구동 전류를 제공하지 못할 수 있다. 따라서, 기존의 다중-게이트 구조체는 일반적으로 의도된 목적에 적절할 수 있지만 모든 양태에서 만족스럽지는 않다.

도면의 간단한 설명

[0006]

본 개시의 양태는 첨부 도면과 함께 다음의 상세한 설명을 읽으면 가장 잘 이해할 수 있다. 본 산업계에서의 표준 관행에 따라, 다양한 피처부는 일정한 비율로 도시되지 않았다는 점에 유의한다. 실제로, 다양한 피처부의 치수는 설명의 명료성을 위해 임의로 증가 또는 감소될 수 있다.

도 1은, 본 개시의 하나 이상의 양태에 따른 반도체 디바이스의 사시도를 도시한다.

도 2는, 본 개시의 하나 이상의 양태에 따른 반도체 디바이스를 제조하는 제1 방법의 순서도를 도시한다.

도 3a-3d는, 본 개시의 하나 이상의 양태에 따른, 도 2의 제1 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 4는, 본 개시의 하나 이상의 양태에 따른 반도체 디바이스를 제조하는 제2 방법의 순서도를 도시한다.

도 5a-5d는, 본 개시의 하나 이상의 양태에 따른, 도 4의 제2 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 6은, 본 개시의 하나 이상의 양태에 따른 반도체 디바이스를 제조하는 제3 방법의 순서도를 도시한다.

도 7a-7f는, 본 개시의 하나 이상의 양태에 따른, 도 6의 제3 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 8은, 본 개시의 하나 이상의 양태에 따른, 반도체 디바이스를 제조하는 제4 방법의 순서도를 도시한다.

도 9a-9e는, 본 개시의 하나 이상의 양태에 따른, 도 8의 제4 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 10은, 본 개시의 하나 이상의 양태에 따른, 반도체 디바이스를 제조하는 제5 방법의 순서도를 도시한다.

도 11a-11f는, 본 개시의 하나 이상의 양태에 따른, 도 10의 제5 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 12는, 본 개시의 하나 이상의 양태에 따른, 반도체 디바이스를 제조하는 제6 방법의 순서도를 도시한다.

도 13a-13f는, 본 개시의 하나 이상의 양태에 따른, 도 12의 제6 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 14는, 본 개시의 하나 이상의 양태에 따른 반도체 디바이스를 제조하는 제7 방법의 순서도를 도시한다.

도 15a-15f 및 16a-16f는, 본 개시의 하나 이상의 양태에 따른, 도 14의 제7 방법의 다양한 제조 단계들에서 워크피스의 부분 단면도들을 도시한다.

도 17-20은, 본 개시의 하나 이상의 양태에 따른, 반도체 디바이스의 제1 영역 및 제2 영역의 상이한 트랜지스터들의 예시적인 구현예들을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0007] 아래의 개시는, 본 개시의 다양한 피처부를 구현하기 위한 많은 다양한 실시예들 또는 예를 제공한다. 본 개시를 간단히 하도록, 구성 요소 및 배치에 있어서 특정 예가 이하에 설명된다. 물론, 이는 단지 예일 뿐이며, 한정하려는 의도가 아니다. 예를 들어, 다음의 설명에서 제2 피처부 위의 또는 그 상의 제1 피처부의 형성은, 제1 및 제2 피처부가 직접 접촉하여 형성되는 실시예들을 포함할 수도 있고, 또한 부가적인 피처부가 제1 및 제2 피처부들 사이에 형성되어 제1 및 제2 피처부가 직접 접촉하지 않는 실시예들을 포함할 수도 있다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간결성과 명료성을 위한 것이며 그 자체가 논의된 다양한 실시예들 및/또는 구성 간의 관계를 지시하는 것은 아니다.
- [0008] 또한, "하에(beneath)", "아래에(below)", "하부의(lower)", "위에(above)", "상부의(upper)" 등과 같은 공간적으로 상대적인 용어가, 도면에 도시된 하나의 요소 또는 피처부와 다른 요소(들) 또는 피처부(들) 간의 관계를 설명하는 데 있어서, 설명의 편의를 위해 이용될 수도 있다. 공간적으로 상대적인 용어는, 도면에 나타난 방향 외에도, 이용 또는 작동 중인 디바이스의 다른 방향을 망라한다. 장치는 다른 방향으로(90도 회전되거나 다른 방향으로 회전되어) 배치될 수 있고, 본 개시에서 이용된 공간적으로 상대적인 서술어는 이에 따라 마찬가지로 해석될 수 있다. 또한, 숫자 또는 숫자들의 범위가 "약", "대략" 등으로 기술될 때, 달리 명시되지 않는 한, 용어는 기술된 숫자의 +/- 10 % 내인 숫자들을 포함하는 것으로 의도된다. 예를 들어, "약 5 nm"이라는 용어는 4.5 nm 내지 5.5 nm의 치수 범위를 포함한다.
- [0009] 본 개시는 일반적으로 다중-게이트 트랜지스터 및 제조 방법에 관한 것으로, 특히, 제1 채널층에 더하여, 2차원 물질로 형성된 제2 채널층을 포함하는 채널 부재를 갖는 다중-게이트 트랜지스터에 관한 것이다.
- [0010] 다중-게이트 디바이스는, 채널 영역의 적어도 두 개의 측 상에 게이트 구조체가 형성된 트랜지스터를 포함한다. 다중-게이트 디바이스의 예는, 핀-형 구조체를 갖는 핀-형 전계 효과 트랜지스터(Fin-Like Field Effect Transistors, FinFET) 및 복수의 채널 부재를 갖는 MBC 트랜지스터를 포함한다. 전술한 바와 같이, MBC 트랜지스터는, SGT, GAA 트랜지스터, 나노 시트 트랜지스터 또는 나노 와이어 트랜지스터라고도 한다. 이러한 다중-게이트 디바이스는 n-형 또는 p-형일 수 있다. MBC 트랜지스터는, 채널 영역의 네 개의 측 상에 형성된(예를 들어, 채널 영역의 일부를 둘러싸는) 게이트 구조체 또는 그의 일부를 갖는 임의의 디바이스를 포함한다. 본 개시에 따른 MBC 디바이스는 나노 와이어 채널 부재, 바-형 채널 부재, 나노 시트 채널 부재, 나노 구조체 채널 부재, 브리지-형 채널 부재 및/또는 다른 적절한 채널 구성물에 배치된 채널 영역을 가질 수 있다. 스케일링 다윈이 계속됨에 따라, MBC 트랜지스터의 채널 부재의 치수가 만족스러운 수준의 구동 전류를 지원하지 못할 수 있다.
- [0011] 본 개시는, 채널 부재가, 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체로 형성된 제1 채널층 및 2차원(2D) 물질로 형성된 제2 채널층을 포함하는 반도체 디바이스들의 실시예들을 제공한다. 제2 채널층은 제1 채널층의 밴드 갭과 유사한 밴드 갭을 갖도록 구성된다. 따라서, 제1 채널층과 제2 채널층은 동시에 턴온될 수 있다. 제2 채널층은 반도체 디바이스의 전체 구동 전류를 증가시키는 구동 전류 부스터의 역할을 한다. 제1 채널층 및 제2 채널층의 구현으로 인해, 본 개시의 반도체 디바이스들은 이중-채널 트랜지스터(Dual-Channel Transistor, DCT), 이중-채널 전계 효과 트랜지스터(Dual-Channel Field Effect Transistor, DCFET) 또는 이중-모달리티 전계 효과 트랜지스터(Dual-Modality Field Effect Transistor, DMFET)로 지칭될 수 있다. DCFET는 평면 디바이스, FinFET 또는 MBC 트랜지스터일 수 있다. 본 명세서에는 FinFET 및 MBC 트랜지스터의 실시예들이 도시되고 설명된다.
- [0012] 이제 본 개시의 다양한 양태들이 슬라이드들을 참조하여 보다 상세하게 설명될 것이다. 도 1은, FinFET 또는 MBC 트랜지스터일 수 있는 반도체 디바이스(100)의 사시도를 도시한다. 반도체 디바이스(100)는 위크피스로 형성되기 때문에, 문맥에 따라 위크피스(100)로 지칭될 수 있다. 도 1에 도시된 바와 같이, 반도체 디바이스(100)는 기판(102)을 포함한다. 일 실시예에서, 기판(102)은 실리콘 기판일 수 있다. 일부 다른 실시예들에서, 기판(102)은 게르마늄(Ge), 실리콘 게르마늄(SiGe), III-V 반도체 물질, 또는 II-VI 반도체 물질과 같은 다른 반도체들을 포함할 수 있다. 예시적인 III-V 반도체 물질들은, 갈륨 비화물(GaAs), 인듐 인화물(InP), 갈륨 인화물(GaP), 갈륨 질화물(GaN), 갈륨 비화 인화물(GaAsP), 알루미늄 인듐 비화물(AlInAs), 알루미늄 갈륨 비화물(AlGaAs), 갈륨 인듐 인화물(GaInP) 및 인듐 갈륨 비화물(InGaAs)을 포함할 수 있다. 예시적인 II-VI 반도체 물질들은, 카드뮴 셀렌화물(CdSe), 카드뮴 황화물(CdS), 카드뮴 텔루르화물(CdTe), 아연 셀렌화물(ZnSe), 아연 황화물(ZnS) 및 아연 텔루르화물(ZnTe)을 포함할 수 있다.
- [0013] 도 1의 반도체 디바이스(100)는, 기판(102)으로부터 연장된 베이스부들(104B) 위에 배치된 하나 이상의 채널 부재들(104, 도 1에 미도시, 그러나 도 3d, 5d, 7f, 9e, 11f, 13f, 15f, 및 16f에 도시됨)을 포함한다. 베이스부

들(104B)만이 도 1에 도시되어 있음에 유의한다. 채널 부재들은, 다른 구조체들의 존재로 인해 도 1에서 보이지 않는다. 하나 이상의 채널 부재들 및 베이스부들(104B)은 X 방향을 따라 길이 방향으로 연장된다. 또한, 반도체 디바이스(100)는 이웃하는 베이스부들(104B)을 격리하는 격리 피처부(106)를 포함한다. 베이스부들(104B) 각각은 두 개의 소스/드레인 영역(104SD) 사이에 샌드위치된 채널 영역(104C)을 포함한다. 채널 부재들은 채널 영역(104C) 위에 배치되고, 소스/드레인 피처부들(108)은 소스/드레인 영역들(104SD) 위에 배치된다. Y 방향(X 방향에 수직임)을 따라 연장된 게이트 구조체(110)가 채널 영역들(104C) 위의 채널 부재들 위에 배치된다. 게이트 구조체(110)는 계면층(112), 계면층(112) 위의 게이트 유전체층(114), 및 게이트 유전체층(114) 위의 게이트 전극(116)을 포함할 수 있다. 일부 실시예들에서, 게이트 구조체(110)는, 게이트 스페이서층(118)에 의해 소스/드레인 피처부들(108)로부터 이격될 수 있다.

[0014] 또한, 격리 피처부(106)는 얇은 트렌치 격리(Shallow Trench Isolation, STI) 피처부(106)로 지칭될 수 있다. 격리 피처부(106)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 불소-도핑된 실리케이트 유리(Fluorine-Doped Silicate Glass, FSG), 저-k 유전체, 이들의 조합, 및/또는 다른 적절한 물질을 포함할 수 있다. 소스/드레인 피처부들(108)은, 인(P) 또는 비소(As)와 같은 n-형 도펀트, 또는 붕소(B)와 같은 p-형 도펀트로 도핑된 반도체 물질을 포함할 수 있다. 소스/드레인 피처부들(108)을 위한 반도체 물질은 실리콘 또는 실리콘 게르마늄을 포함할 수 있다. 반도체 디바이스(100)가 n-형인 일 실시예에서, 소스/드레인 피처부들(108)은 실리콘을 포함할 수 있고 인(P)으로 도핑될 수 있다. 반도체 디바이스(100)가 p-형인 다른 실시예에서, 소스/드레인 피처부들(108)은 붕소(B)로 도핑된 실리콘 게르마늄을 포함할 수 있다.

[0015] 게이트 구조체(110)의 계면층(112)은, 실리콘 산화물, 하프늄 실리케이트, 또는 실리콘 산질화물과 같은 유전체 물질을 포함할 수 있다. 일부 실시예들에서, 2D 물질들을 더 잘 인터페이싱하기 위해, 계면층(112)은 육각형 붕소 질화물을 포함할 수 있다. 게이트 구조체(110)의 게이트 유전체층(114)은, 약 3.9인 실리콘 이산화물의 유전 상수보다 큰 유전 상수를 갖는 유전체 물질을 갖는 고-k 유전체 물질을 포함할 수 있다. 일부 예시들에서, 게이트 유전체층(114)은, 하프늄 산화물, 지르코늄 산화물, 지르코늄 알루미늄 산화물, 하프늄 알루미늄 산화물, 하프늄 실리콘 산화물, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 란탄 산화물, 이트륨 산화물, 탄탈륨 산화물, 지르코늄 산화물, 이들의 조합, 또는 다른 적절한 물질을 포함할 수 있다. 일부 예시들에서, 게이트 유전체층(114)은 약 5nm 내지 약 30nm의 두께를 가질 수 있다. 게이트 구조체(110)의 게이트 전극(116)은, 예컨대 반도체 성능을 향상시키기 위해 선택된 일함수(work function)를 갖는 금속층(일함수 금속층), 라이너층, 습윤층, 접착층, 금속 합금 또는 금속 규화물의 다양한 조합과 같은 단일층 또는 대안적으로 다층 구조체를 포함할 수 있다. 예를 들어, 게이트 전극(116)은 Ti, Ag, Al, TiAlN, TaC, TaCN, TaSiN, Mn, Zr, TiN, TaN, Ru, Mo, Al, WN, Cu, W, Re, Ir, Co, Ni, 기타 적절한 금속 물질 또는 이들의 조합을 포함할 수 있다. 게이트 스페이서층(118)은 단일층 또는 다층일 수 있다. 일부 예시들에서, 게이트 스페이서층(118)은 실리콘 산화물, 실리콘 산탄화물, 실리콘 탄질화물, 실리콘 질화물, 지르코늄 산화물, 알루미늄 산화물, 적절한 저-k 유전체 물질, 또는 적절한 유전체 물질을 포함할 수 있다.

[0016] 반도체 디바이스(100)가 FinFET인지 MBC 트랜지스터인지 여부에 따라, 채널 부재들은 기관(102) 단독으로 또는 기관(102) 상의 에피택시층들의 스택으로부터 형성될 수 있다. 반도체 디바이스(100)가 FinFET인 경우, 채널 부재(104)는 도 3d, 5d, 7f, 및 9e에 대표적으로 도시된 바와 같이 핀(fin)과 유사할 수 있다. 반도체 디바이스(100)가 MBC 트랜지스터인 경우, 채널 부재(104)는 도 11f, 13f, 15f 및 16f에 대표적으로 도시된 바와 같이 시트 또는 와이어와 유사할 수 있다. 다시 도 1을 참조하면, 채널 부재(104)의 형상에 관계없이, 채널 부재(104) (도 3d, 5d, 7f, 9e, 11f, 13f, 15f 및 16f에 도시됨)는, 게이트 구조체(110)의 대향하는 측들 상의 두 개의 소스/드레인 피처부(108) 사이에서 연장된다.

[0017] 본 개시에 따르면, 반도체 디바이스(100)의 채널 부재(104)는 2차원(2D) 물질로 형성된 하나 이상의 층을 포함한다. 여기서, 2D 물질은, 얇고(즉, 약 1 Å 내지 약 30 Å의 두께를 가짐) 2차원 평면을 따라서만 전도성을 갖는 반도체 물질을 지칭한다. 2D 물질은, 전자와 같은 전하 캐리어가 2차원 평면을 따라서만 자유롭게 이동할 수 있기 때문에 2차원 평면을 따라서만 전도성이다. 일부 예시들에서, 2D 물질은 단일-층 물질로도 지칭될 수 있다. 본 개시는, 도 3d, 5d, 7f, 및 9e에 도시된 FinFET 실시예들 및 도 11f, 13f, 15f 및 16f에 도시된 MBC 트랜지스터 실시예들을 포함하는 여러 실시예들을 제공한다. 또한, 본 개시는 이들 실시예 각각을 제조하기 위한 여러 방법을 제공한다. 예를 들어, 본 개시는, 도 2에 도시된 제1 방법(200), 도 4에 도시된 제2 방법(300), 도 6에 도시된 제3 방법(400), 도 8에 도시된 제4 방법(500), 도 10에 도시된 제5 방법(600), 도 12에 도시된 제6 방법(700) 및 도 14에 도시된 제7 방법(800)을 제공한다. 이들 방법은 단지 예시일 뿐이며, 본 개시에서 명백하게 도시된 것으로 제한하려는 것이 아니다. 이러한 방법 이전, 도중 및 이후에 추가적인 단계들이 제공될

수 있으며, 설명된 일부 단계들은 방법의 추가 실시예를 위해 대체, 제거 또는 이동될 수 있다. 간결성을 위해, 모든 단계가 여기에서 상세히 설명되는 것은 아니다. 이러한 방법들 각각은 도 1에 도시된 섹션(I-I')을 따른 부분 단면도들과 연관되어 이하에서 설명된다. 이와 관련하여, 제1 방법(200)이 도 3a-3d와 연관되어 이하에서 설명된다. 제2 방법(300)이 도 5a-5d와 연관되어 이하에서 설명된다. 제3 방법(400)이 도 7a-7f와 연관되어 이하에서 설명된다. 제4 방법(500)이 도 9a-9e와 연관되어 이하에서 설명된다. 제5 방법(600)이 도 11a-11f와 연관되어 이하에서 설명된다. 제6 방법(700)이 도 13a-13f와 연관되어 이하에서 설명된다. 제7 방법(800)이 도 15a-15f 뿐만 아니라 도 16a-16f와 연관되어 이하에서 설명된다. 섹션(I-I')이 게이트 구조체(110)를 통해 절단되기 때문에, 도 1의 게이트 스페이서층(118) 뿐만 아니라 소스/드레인 피처부(108)도 이러한 부분 단면도들에 도시되어 있지 않다.

[0018] 도 2는 FinFET을 제조하기 위한 제1 방법(200)의 순서도를 도시한다. 도 2 및 3a를 참조하면, 제1 방법(200)은 워크피스(100)가 제공되는 블록(202)을 포함한다. 도 3a에 도시된 바와 같이, 워크피스(100)는 핀 구조체(103)를 포함한다. 도 3a의 핀 구조체(103)는 기판(102)으로부터 형성되고 기판(102)으로부터 연속적으로 연장될 수 있다. 도 1과 관련하여 전술한 바와 같이, 핀 구조체(103)는 X 방향을 따라 길이 방향으로 연장된다. 일부 실시예들에서, 핀 구조체(103)는 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), III-V 반도체 물질, 또는 II-VI 반도체 물질을 포함할 수 있다. 일부 실시예들에서, 핀 구조체(103)는, 인(P), 비소(As) 또는 붕소(B)와 같은 도펀트로 도핑될 수 있다. 핀 구조체(103)는 Y 방향을 따라 상이한 두께를 가질 수 있다.

[0019] 도 2 및 3b를 참조하면, 제1 방법(200)은, 2D 물질층(1000)이 워크피스(100) 상에 퇴적되는 블록(204)을 포함한다. 도 3b에 도시된 바와 같이, 블록(204)에서, 2D 물질층(1000)이 핀 구조체(103) 위에 퇴적된다. 일부 실시예들에서, 2D 물질층(1000)은, 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 몰리브덴 셀렌화물($MoSe_2$), 흑색 인(black phosphorus), 또는 핀 구조체(103)의 반도체 물질과 실질적인 밴드 정렬(band alignment)을 갖는 적절한 2D 물질을 포함할 수 있다. 여기서, 실질적인 밴드 정렬은 핀 구조체(103)의 밴드 갭과 2D 물질의 밴드 갭의 중첩을 말한다. 물질의 밴드 갭은 물질의 가전자대(E_v)와 물질의 전도대(E_c) 사이의 차이를 말한다. 예를 들어, 실리콘은 -5.17 eV에서 가전자대, -4.05 eV에서 전도대 및 -5.17 eV와 -4.05 eV 간의 1.12 eV의 밴드 갭을 갖는다. 텅스텐 텔루르화물(WTe_2)은 약 -4.5 eV에서 가전자대, 약 -3.7 eV에서 전도대 및 -4.5 eV와 약 -3.7 eV 간의 0.8 eV의 밴드 갭을 갖는다. 이 예에서, 텅스텐 텔루르화물의 밴드 갭이 실리콘의 밴드 갭과 중첩하므로, 텅스텐 텔루르화물과 실리콘은 실질적인 밴드 정렬을 갖는다. 핀 구조체(103)와 유사하게, 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), hafnium(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 핀 구조체(103) 및 2D 물질층(1000) 둘 다와 관련하여, 필름 두께 및 도핑으로 인한 전자 구속이 밴드 갭 및 따라서 밴드 정렬에 영향을 미칠 수 있다. 본 개시는, 핀 구조체(103)와 2D 물질층(1000) 간의 밴드 정렬을 달성하기 위해 전자 구속 및 도핑을 이용하여 밴드 갭의 조정을 구상한다. 핀 구조체(103)의 밴드 갭 정렬과 2D 물질의 밴드 갭 정렬은, 전술한 도펀트로 2D 물질들을 도핑함으로써 및/또는 인(P)과 같은 n-형 도펀트 또는 붕소(B)와 같은 p-형 도펀트를 이용하여 핀 구조체(103)를 도핑함으로써 달성될 수 있다.

[0020] 일부 실시예들에서, 2D 물질층(1000)은, 에피택시 성장, 화학적 기상 증착(Chemical Vapor Deposition, CVD), 원자층 퇴적(Atomic Layer Deposition, ALD) 또는 이들의 조합에 의해 워크피스(100) 위에 퇴적될 수 있다. 도 3b에 도시된 바와 같이, 핀 구조체(103) 및 기판(102)이 상기 물질로 형성되기 때문에, 2D 물질층(1000)은 핀 구조체(103)의 상단 표면 및 측벽 상에 뿐만 아니라 기판(102)의 상단 표면 상에도 퇴적된다. 일부 예시들에서, 2D 물질층(1000)은, 약 1 Å 내지 약 30 Å, 예컨대 약 2 Å 내지 약 10 Å의 두께를 가질 수 있다. 실리콘, 게르마늄, 실리콘 게르마늄, III-V 반도체 또는 II-VI 반도체에 비해, 2D 물질층(1000)의 2D 물질은, 더 높은 반전 전하 밀도(inversion charge density)(Q_{inv})로 인해 더 높은 상태 밀도(Density of States, DoS)를 갖는다.

[0021] 도 2 및 3c를 참조하면, 제1 방법(200)은 격리 피처부(106)가 형성되는 블록(206)을 포함한다. 일부 실시예들에서, 격리 피처부(106)는, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 불소-도핑된 실리콘이트 유리(FSG), 저-k 유전체, 이들의 조합, 및/또는 다른 적절한 물질과 같은 유전체 물질을 포함할 수 있다. 예시적인 공정에서, 격리 피처부(106)의 유전체 물질은, 스핀-온 코팅 또는 CVD에 의해 워크피스(100) 위에 먼저 블랭킷 퇴적된다. 다음으로, 블랭킷 퇴적된 유전체 물질은 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 공정과 같은 평탄화 공정에서 평탄화된다. 다음으로, 도 3c에 도시된 바와 같이, 핀 구조체(103)가 격리 피처부(106) 위로 솟아오르도록, 평탄화된 유전체 물질이 선택적으로 리세싱되거나 에칭 백된다. 블록(206)에서, 2D 물질층

(1000)의 퇴적 후에 격리 피처부(106)가 형성되기 때문에, 격리 피처부(106)는 베이스부(104B)의 측벽들 및 기관(102)의 상단 표면과 직접 접촉하지 않는다. 달리 말해서, 격리 피처부(106)는 2D 물질층(1000)에 의해 베이스부(104B) 및 기관(102)으로부터 이격된다. 도 3c에서, 격리 피처부(106)에 의해 덮이지 않은 2D 물질층(1000) 및 핀 구조체(103)는 총괄적으로 채널 부재(104)로 지칭될 수 있다.

[0022] 도 2를 참조하면, 제1 방법(200)은 중간 공정들이 수행되는 블록(208)을 포함한다. 명시적으로 도시되지는 않았지만, 블록(206)에서의 격리 피처부(106)의 형성과 블록(210)에서의 게이트 구조체(110)의 형성(후술함) 사이에 중간 공정들이 수행될 수 있다. 게이트 대체 공정 흐름이 채택된 일부 실시예들에서, 이러한 중간 공정들은, 채널 부재(104) 위에 더미 게이트 스택을 형성하는 단계, 게이트 스페이서층(118)을 퇴적하는 단계, 게이트 스페이서층(118)을 에칭 백하는 단계, 소스/드레인 영역(104SD)을 리세싱하는 단계, 소스/드레인 피처부들(108)을 퇴적하는 단계, 워크피스(100) 위에 접촉 에칭 정지층(Contact Etch Stop Layer, CESL)을 퇴적하는 단계, 워크피스(100) 위에 층간 유전체(Interlayer Dielectric, ILD)층을 퇴적하는 단계, ILD층을 평탄화하는 단계, 및 더미 게이트 스택을 제거하는 단계를 포함할 수 있다. 더미 게이트 스택의 제거로 인해, 게이트 스페이서층(118)에 의해 규정되는 게이트 트렌치가 남는다. 블록(210)에서 형성될 게이트 구조체(110)는 게이트 트렌치에 배치된다.

[0023] 도 2 및 3d를 참조하면, 제1 방법(200)은 게이트 구조체(110)가 채널 부재(104) 위에 형성되는 블록(210)을 포함한다. 전술한 바와 같이, 게이트 구조체(110)는 계면층(112), 계면층(112) 위의 게이트 유전체층(114), 및 게이트 유전체층(114) 위의 게이트 전극(116)을 포함할 수 있다. 게이트 구조체(110)의 계면층(112)은, 실리콘 산화물, 하프늄 실리케이트, 또는 실리콘 산질화물과 같은 유전체 물질을 포함할 수 있다. 일부 실시예들에서, 2D 물질들을 더 잘 인터페이싱하기 위해, 계면층(112)은 육각형 붕소 질화물을 포함할 수 있다. 게이트 구조체(110)의 게이트 유전체층(114)은, 약 3.9인 실리콘 이산화물의 유전 상수보다 큰 유전 상수를 갖는 유전체 물질을 갖는 고-k 유전체 물질을 포함할 수 있다. 일부 예시들에서, 게이트 유전체층(114)은 하프늄 산화물, 지르코늄 산화물, 지르코늄 알루미늄 산화물, 하프늄 알루미늄 산화물, 하프늄 실리콘 산화물, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 란탄 산화물, 이트륨 산화물, 탄탈륨 질화물, 지르코늄 질화물, 이들의 조합, 또는 다른 적절한 물질을 포함할 수 있다. 일부 예시들에서, 게이트 유전체층(114)은 약 5nm 내지 약 30nm의 두께를 가질 수 있다. 게이트 구조체(110)의 게이트 전극(116)은, 예컨대 디바이스 성능을 향상시키기 위해 선택된 일함수를 갖는 금속층(일함수 금속층), 라이너층, 습윤층, 접착층, 금속 합금 또는 금속 규화물의 다양한 조합과 같은 단일층 또는 대안적으로 다층 구조체를 포함할 수 있다. 예를 들어, 게이트 전극(116)은 Ti, Ag, Al, TiAlN, TaC, TaCN, TaSiN, Mn, Zr, TiN, TaN, Ru, Mo, Al, WN, Cu, W, Re, Ir, Co, Ni, 기타 적절한 금속 물질 또는 이들의 조합을 포함할 수 있다. 일부 실시예들에서, 계면층(112)은 열 산화에 의해 형성되거나 CVD 또는 ALD를 이용하여 퇴적될 수 있다. 게이트 유전체층(114)은 CVD 또는 ALD를 이용하여 퇴적될 수 있다. 게이트 전극(116)은 물리적 기상 증착(Physical Vapor Deposition, PVD), CVD, ALD 또는 무전해 도금을 이용하여 퇴적될 수 있다.

[0024] 도 3d에 도시된 바와 같이, 게이트 구조체(110)는, 핀 구조체(103) 및 2D 물질층(1000)을 포함하는 채널 부재(104) 위에 배치된다. 2D 물질층(1000)과 핀 구조체(103) 간의 실질적인 밴드 정렬로 인해, 게이트 구조체(110)의 단일 임계 전압이, 핀 구조체(103)의 채널 뿐만 아니라 2D 물질층(1000)의 채널을 활성화시킬 수 있다. 이러한 의미에서, 격리 피처부(106) 위의 핀 구조체(103)는 제1 채널층으로서 기능하고, 2D 물질층(1000)은 제2 채널층으로서 기능한다. 핀 구조체(103)에 형성된 채널은 2D 물질층(1000)에 형성된 채널과 상호 작용하지 않는다. 이것은 2D 물질층(1000)의 2D 특성 때문이다. 2D 물질층(1000)의 2D 결정층들은 원자가 결합이 아닌 반데르발스 힘에 의해 함께 유지(held together)되기 때문에, 2D 결정면에 법선인 방향을 따른 밴드 갭의 크기 자릿수(orders of magnitude)가 2D 결정면의 방향을 따른 밴드 갭보다 더 크다. 핀 구조체(103)가 2D 결정면에 있지 않기 때문에, 큰 밴드 갭은 핀 구조체(103)로부터 2D 물질층(1000)을 차폐하고 그 반대의 경우도 마찬가지이다. 결과적으로, 2D 물질층(1000)이 핀 구조체(103) 상에 직접 형성된다는 사실에도 불구하고, 핀 구조체(103) 및 2D 물질층(1000)은 동일한 게이트 구조체(100)에 의해 동시에 활성화될 수 있는 두 개의 독립적인 채널을 제공한다. 따라서, 반도체 디바이스(100)는 이중-채널 트랜지스터(Dual-Channel Transistor, DCT), 이중-채널 전계 효과 트랜지스터(Dual-Channel Field Effect Transistor, DCFET) 또는 이중-모달리티 전계 효과 트랜지스터(Dual-Modality Field Effect Transistor, DMFET)로 지칭될 수 있다. 핀 구조체(103)에 형성된 채널 및 2D 물질층(1000)에 형성된 채널들에 전류가 흐를 수 있고 2D 물질층(1000)이 핀 구조체(103)의 측벽들을 따라 연장되기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 유효 채널 폭은 약 1.8 내지 2의 배수만큼 증가할 수 있고, 온-상태 전류 또한 약 1.8 내지 2의 배수만큼 증가할 수 있다.

- [0025] 이제 도 2를 참조하면, 제1 방법(200)은 추가 공정들이 수행되는 블록(212)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은, 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.
- [0026] 반도체 디바이스(100)는, 도 4에 도시된 제2 방법(300)과 같은 방법을 이용하여 형성될 수도 있다. 도 4 및 5a를 참조하면, 제2 방법(300)은 워크피스(100)가 제공되는 블록(302)을 포함한다. 제1 방법(200)과 관련하여 워크피스(100)가 전술되었으므로, 간결성을 위해 워크피스(100)에 대한 세부 사항은 여기서 생략한다.
- [0027] 도 4 및 5b를 참조하면, 제2 방법(300)은 격리 피처부(106)가 형성되는 블록(304)을 포함한다. 블록(304)에서의 작업들은, 2D 물질층(1000)의 퇴적 전에 격리 피처부(106)가 형성된다는 점을 제외하고는, 제1 방법(200)의 블록(206)에서의 작업들과 유사하다. 간결성을 위해, 격리 피처부(106)의 조성 및 형성에 대한 상세한 설명은 여기서 생략한다. 도 5b에 도시된 바와 같이, 격리 피처부(106)는 베이스부(104B)의 측벽들 및 기관(102)의 상단 표면과 직접 접촉한다. 기관(102)과 격리 피처부(106) 사이에는 2D 물질층(1000)이 배치되지 않는다.
- [0028] 도 4 및 5c를 참조하면, 제2 방법(300)은, 2D 물질층(1000)이 핀 구조체(103) 상에 선택적으로 퇴적되는 블록(306)을 포함한다. 제1 방법(200)의 블록(204)에서의 작업들과 달리, 블록(306)에서 2D 물질층(1000)의 퇴적은 핀 구조체(103)에 선택적이고, 2D 물질층(1000)은 격리 피처부(106) 위에 실질적으로 형성되지 않는다. 일부 구현예들에서, 2D 물질층(1000)과 더 큰 격자 불일치를 갖는 격리 피처부(106) 상에 2D 물질층(1000)이 퇴적되지 않는 공정 온도에서 선택적 퇴적이 발생할 수 있다. 그보다는, 2D 물질층(1000)과 더 작은 격자 불일치를 갖는 핀 구조체(103) 상에 2D 물질층(1000)이 선택적으로 퇴적된다. 일부 실시예들에서, 2D 물질층(1000)은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 몰리브덴 셀렌화물($MoSe_2$), 흑색 인, 또는 핀 구조체(103)의 반도체 물질과 실질적인 밴드 정렬을 갖는 적절한 2D 물질을 포함할 수 있다. 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), 하프늄(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 블록(306)에서, 2D 물질층(1000)은 에피택시 성장 또는 ALD를 이용하여 퇴적될 수 있다. 도 3c에서, 격리 피처부(106)에 의해 덮이지 않은 2D 물질층(1000) 및 핀 구조체(103)가 총괄적으로 채널 부재(104)로 지칭될 수 있다.
- [0029] 도 4를 참조하면, 제2 방법(300)은, 중간 공정들이 수행되는 블록(308)을 포함한다. 예시적인 중간 공정들은 전술되어 있으며 여기서는 간결성을 위해 생략한다.
- [0030] 도 4 및 5d를 참조하면, 제2 방법(300)은, 게이트 구조체(110)가 채널 부재(104) 위에 형성되는 블록(310)을 포함한다. 게이트 구조체(110)의 조성 및 형성은 위의 제1 방법(200)의 블록(210)과 관련하여 전술하였기 때문에, 게이트 구조체(110)에 대한 상세한 설명은 간결성을 위해 여기서 생략한다. 도 3d에 도시된 반도체 디바이스(100)와 유사하게, 도 5d의 게이트 구조체(110)는 2D 물질층(1000) 및 핀 구조체(103)를 포함하는 채널 부재(104) 위에 배치된다. 핀 구조체(103) 및 2D 물질층(1000)은 동일한 게이트 구조체(100)에 의해 동시에 활성화될 수 있는 두 개의 독립적인 채널을 제공한다. 유사한 이유로, 도 5d의 반도체 디바이스(100)는 DCFET이다. 핀 구조체(103)에 형성된 채널 및 2D 물질층들(1000)에 형성된 채널들에 전류가 흐를 수 있기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 유효 채널 폭은 약 1.8 내지 2의 배수만큼 증가할 수 있고, 온-상태 전류 또한 약 1.8 내지 2의 배수만큼 증가할 수 있다.
- [0031] 이제 도 4를 참조하면, 제2 방법(300)은 추가 공정들이 수행되는 블록(312)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.
- [0032] 반도체 디바이스(100)는, 도 6에 도시된 제3 방법(400)과 같은 방법을 이용하여 형성될 수도 있다. 도 6 및 7a를 참조하면, 제3 방법(400)은 워크피스(100)가 제공되는 블록(402)을 포함한다. 워크피스(100)는 제1 방법(200)과 관련하여 전술하였으므로, 워크피스(100)에 대한 세부 사항은 간결성을 위해 여기서 생략한다.
- [0033] 도 6 및 7b를 참조하면, 제3 방법(400)은 격리 피처부(106)가 형성되는 블록(404)을 포함한다. 블록(404)에서의 작업들은 제2 방법(300)의 블록(304)에서의 작업들과 유사하다. 간결성을 위해, 격리 피처부(106)의 조성 및 형성에 대한 상세한 설명은 여기서 생략한다. 도 7b에 도시된 바와 같이, 격리 피처부(106)는 베이스부(104B)의 측벽들 및 기관(102)의 상단 표면과 직접 접촉한다. 기관(102)과 격리 피처부(106) 사이에는 2D 물질층(1000)이

배치되지 않는다.

- [0034] 도 6 및 7b를 참조하면, 제3 방법(400)은, 2D 물질층(1000)이 핀 구조체(103) 및 격리 피처부(106) 상에 퇴적되는 블록(406)을 포함한다. 일부 실시예들에서, 블록(406)에서의 퇴적은 핀 구조체(103)에 대해 선택적이지 않고, 핀 구조체(103) 및 격리 피처부(106)의 상단 표면 상에 2D 물질층(1000)을 블랭킷 퇴적한다. 일부 실시예들에서, 2D 물질층(1000)은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 몰리브덴 셀렌화물($MoSe_2$), 흑색 인, 또는 핀 구조체(103)의 반도체 물질과 실질적인 밴드 정렬을 갖는 적절한 2D 물질을 포함할 수 있다. 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), 하프늄(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 블록(406)에서, 2D 물질층(1000)은 에피택시 성장, CVD, 또는 ALD를 이용하여 퇴적될 수 있다.
- [0035] 도 6, 7c, 7d 및 7e를 참조하면, 제3 방법(400)은, 2D 물질층(1000)이 격리 피처부(106)로부터 제거되는 블록(408)을 포함한다. 제3 방법(400)은 격리 피처부(106)의 상단 표면으로부터 2D 물질층(1000)을 제거하기 위해 포토 리소그래피 및 에칭 공정들을 이용한다. 도 7c를 참조하면, 예시적인 공정에서, 하드 마스크층(119)이 CVD를 이용하여 워크피스(100) 위에 퇴적된다. 하드 마스크층(119)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 실리콘 탄질화물을 포함할 수 있다. 다음으로, 포토 레지스트층(120)이 스핀-온 코팅 또는 CVD를 이용하여 하드 마스크층(119) 위에 퇴적된다. 다음으로, 패터닝된 포토 레지스트층(120)을 형성하도록, 포토 레지스트층(120)이, 노광-전 베이킹 공정에서 베이킹되고, 포토 리소그래피 마스크를 통해 투과되거나 반사되는 방사선에 노출되고, 노광-후 베이킹 공정에서 베이킹되고, 현상액에서 현상된다. 도 7d에 도시된 바와 같이, 패터닝된 하드 마스크층(119)을 형성하도록, 하드 마스크층(119)은, 패터닝된 포토 레지스트층(120)을 에칭 마스크로서 이용하여 에칭된다. 도 7e를 참조하면, 격리 피처부(106)의 상단 표면 상의 2D 물질층(1000)을 제거하도록, 패터닝된 하드 마스크층(119)이 에칭 마스크로서 적용된다. 도 7e에 도시된 바와 같이, 격리 피처부(106)에 의해 덮이지 않는 2D 물질층(1000) 및 핀 구조체(103)가 총괄적으로 채널 부재(104)로 지칭될 수 있다.
- [0036] 도 6을 참조하면, 제3 방법(400)은, 중간 공정들이 수행되는 블록(410)을 포함한다. 예시적인 중간 공정들은 전술되어 있으며 여기서는 간결성을 위해 생략한다.
- [0037] 도 6 및 7f를 참조하면, 제3 방법(400)은, 게이트 구조체(110)가 채널 부재(104) 위에 형성되는 블록(410)을 포함한다. 게이트 구조체(110)의 조성 및 형성은 위의 제1 방법(200)의 블록(210)과 관련하여 전술하였기 때문에, 게이트 구조체(110)에 대한 상세한 설명은 간결성을 위해 여기서 생략한다. 도 3d에 도시된 반도체 디바이스(100)와 유사하게, 도 7f의 게이트 구조체(110)는 2D 물질층(1000) 및 핀 구조체(103) 둘 다 위에 배치된다. 핀 구조체(103) 및 2D 물질층(1000)은 동일한 게이트 구조체(100)에 의해 동시에 활성화될 수 있는 두 개의 독립적인 채널을 제공한다. 유사한 이유로, 도 7f의 반도체 디바이스(100)는 DCFET이다. 핀 구조체(103)에 형성된 채널 및 2D 물질층들(1000)에 형성된 채널들에 전류가 흐를 수 있기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 유효 채널 폭은 약 1.8 내지 2의 배수만큼 증가할 수 있고, 온-상태 전류 또한 약 1.8 내지 2의 배수만큼 증가할 수 있다.
- [0038] 이제 도 6을 참조하면, 제3 방법(400)은 추가 공정들이 수행되는 블록(414)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.
- [0039] 도 1의 반도체 디바이스(100)는, 도 8에 도시된 제4 방법(500)과 같은 방법을 이용하여 형성될 수도 있다. 도 8 및 9a를 참조하면, 제4 방법(500)은 워크피스(100)가 제공되는 블록(502)을 포함한다. 워크피스(100)는 제1 방법(200)과 관련하여 전술하였으므로, 워크피스(100)에 대한 세부 사항은 간결성을 위해 여기서 생략한다.
- [0040] 도 8 및 9b를 참조하면, 제4 방법(500)은 격리 피처부(106)가 형성되는 블록(504)을 포함한다. 블록(504)에서의 작업들은 제2 방법(300)의 블록(304)에서의 작업들과 유사하다. 간결성을 위해, 격리 피처부(106)의 조성 및 형성에 대한 상세한 설명은 여기서 생략한다. 도 9b에 도시된 바와 같이, 격리 피처부(106)는 베이스부(104B)의 측벽들 및 기판(102)의 상단 표면과 직접 접촉한다. 도 9b에 도시된 바와 같이, 기판(102)과 격리 피처부(106) 사이에는 2D 물질층(1000)이 배치되지 않는다.
- [0041] 도 8 및 9b를 참조하면, 제4 방법(500)은, 차단층(122)이 격리 피처부(106) 상에 선택적으로 퇴적되는 블록

(506)을 포함한다. 일부 실시예들에서, 차단층(122)을 위한 전구체들은 입체 장애 작용기들을 별킹하지 않고 실란-계 화합물을 포함할 수 있다. 예시적인 차단층(122)은 N-트리메틸실릴피롤($C_7H_{13}NSi$), 옥타데실트리클로로실란(octadecyltrichlorosilane, ODTS)($C_{18}H_{37}Cl_3Si$), 트리메틸클로로실란(trimethylchlorosilane, TMCS)(트리메틸실릴 염화물($(CH_3)_3SiCl$)이라고도 알려짐), 또는 다른 적절한 화합물들을 포함할 수 있다. 일부 구현예들에서, 차단층(122)을 위한 전구체들은 격리 피처부(106)의 표면들 상에서 공통적으로 발견되는 히드록실기들과 반응하고 결합하도록 구성된다. 결과적으로, 도 9b에 도시된 바와 같이, 차단층(122)을 위한 전구체들은, 핀 구조체(103) 대신, 격리 피처부(106)의 상단 표면 상에 선택적으로 형성될 수 있다.

[0042] 도 8 및 9c를 참조하면, 제4 방법(500)은, 2D 물질층(1000)이 핀 구조체(103) 상에 퇴적되는 블록(508)을 포함한다. 일부 실시예들에서, 차단층(122)은 격리 피처부(106) 상의 2D 물질층(1000)의 퇴적을 방지할 수 있다. 결과적으로, 2D 물질층(1000)이 핀 구조체(103) 상에 선택적으로 퇴적될 수 있다. 일부 실시예들에서, 2D 물질층(1000)은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 몰리브덴 셀렌화물($MoSe_2$), 흑색 인, 또는 핀 구조체(103)의 반도체 물질과 실질적인 밴드 정렬을 갖는 적절한 2D 물질을 포함할 수 있다. 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), hafnium(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 블록(508)에서, 2D 물질층(1000)은 에피택시 성장, CVD 또는 ALD를 이용하여 퇴적될 수 있다.

[0043] 도 8 및 9d를 참조하면, 제4 방법(500)은, 차단층(122)이 제거되는 블록(510)을 포함한다. 일부 실시예들에서, 2D 물질층(1000)이 퇴적된 후에, 차단층(122)은 화학적 스트리핑 또는 어닐링에 의해 제거될 수 있다. 예시적인 화학적 스트리핑 공정에서, 차단층(122)과 반응성인 가스 종(species)은 워크피스(100)와 접촉할 수 있고 차단층(122)은 휘발성 종으로 변환된다. 예시적인 어닐링 공정에서, 차단층(122)과 격리 피처부(106) 사이의 결합은 어닐링 공정 동안 제공된 열 에너지에 의해 절단(sever)될 수 있다. 도 9d에 도시된 바와 같이, 격리 피처부(106)에 의해 덮이지 않는 2D 물질층(1000) 및 핀 구조체(103)는 총괄적으로 채널 부재(104)로 지칭될 수 있다.

[0044] 도 8를 참조하면, 제4 방법(500)은, 중간 공정들이 수행되는 블록(512)을 포함한다. 예시적인 중간 공정들은 전술되어 있으며 여기서는 간결성을 위해 생략한다.

[0045] 이제 도 8 및 9e를 참조하면, 제4 방법(500)은, 게이트 구조체(110)가 채널 부재(104) 위에 형성되는 블록(514)을 포함한다. 게이트 구조체(110)의 조성 및 형성은 위의 제1 방법(200)의 블록(210)과 관련하여 전술하였기 때문에, 게이트 구조체(110)에 대한 상세한 설명은 간결성을 위해 여기서 생략한다. 도 3d에 도시된 반도체 디바이스(100)와 유사하게, 도 9e의 게이트 구조체(110)는 2D 물질층(1000) 및 핀 구조체(103)를 포함하는 채널 부재(104) 위에 배치된다. 핀 구조체(103) 및 2D 물질층(1000)은 동일한 게이트 구조체(100)에 의해 동시에 활성화될 수 있는 두 개의 독립적인 채널을 제공한다. 유사한 이유로, 도 9e의 반도체 디바이스(100)는 DCFET이다. 핀 구조체(103)에 형성된 채널 및 2D 물질층들(1000)에 형성된 채널들에 전류가 흐를 수 있기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 유효 채널 폭은 약 1.8 내지 2의 배수만큼 증가할 수 있고, 온-상태 전류 또한 약 1.8 내지 2의 배수만큼 증가할 수 있다.

[0046] 이제 도 8을 참조하면, 제4 방법(500)은 추가 공정들이 수행되는 블록(516)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.

[0047] 도 1의 반도체 디바이스(100)가 MBC 트랜지스터인 경우, 반도체 디바이스(100)는 도 10에 도시된 제5 방법(600)과 같은 방법을 이용하여 형성될 수도 있다. 도 10 및 11a를 참조하면, 제5 방법(600)은 제1 스택(1100)이 기판(102) 상에 퇴적되는 블록(602)을 포함한다. 도 11a에 도시된 바와 같이, 제1 스택(1100)은 복수의 반복 유닛을 포함하며, 복수의 반복 유닛 각각은 제1 반도체층(124), 제2 반도체층(126) 및 2D 물질층(1000)을 포함한다. 도 11a에 나타난 실시예들에서, 제1 스택(1100)은, 제1 반도체층(124), 제2 반도체층(126) 및 2D 물질층(1000)을 각각 갖는 세 개의 반복 유닛들을 포함한다. 일부 실시예들에서, 제1 반도체층(124)은 희생층(124)으로 지칭될 수 있고, 실리콘 게르마늄(SiGe)을 포함할 수 있다. 일부 실시예들에서, 제2 반도체층(126)은 채널층(126)으로 지칭될 수 있고 실리콘(Si)을 포함할 수 있다. 일부 구현예들에서, 2D 물질층(1000)은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물

(MoTe₂), 몰리브덴 셀레늄화물(MoSe₂), 흑색 인, 또는 제2 반도체층(126)의 반도체 물질과 실질적인 밴드 정렬을 갖는 적절한 2D 물질을 포함할 수 있다. 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), 하프늄(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 블록(602)에서, 제1 반도체층(124), 제2 반도체층(126) 및 2D 물질층(1000)은 에피택시 성장을 이용하여 퇴적될 수 있다.

[0048] 도 10 및 11b에 도시된 바와 같이, 제5 방법(600)은, 기판(102) 및 제1 스택(1100)이 제1 핀-형 구조체(1040)로 패터닝되는 블록(604)을 포함한다. 도 11b에 도시된 바와 같이, 제1 핀-형 구조체(1040)는 베이스부(104B) 및 제1 스택(1100)으로부터 형성된 상단 부분을 포함한다. 제1 핀-형 구조체(1040)는 X 방향을 따라 길이 방향으로 연장된다. 따라서, 상단 부분은, 희생층들(124), 채널층들(126) 및 2D 물질층들을 포함한다. 일부 실시예들에서, 블록(604)에서의 패터닝은 반응성 이온 에칭(Reactive-Ion Etching, RIE) 공정과 같은 이방성 에칭 공정을 포함할 수 있다. 예시적인 RIE 공정은, 탄소 사불화물(CF₄), 트리플루오로메탄(CHF₃), 옥타플루오로프로판(C₃H₈) 또는 황 육불화물(SF₆)과 같은 플루오로카본을 이용할 수 있다.

[0049] 도 10 및 11c를 참조하면, 제5 방법(600)은 격리 피처부(106)가 형성되는 블록(606)을 포함한다. 일부 실시예들에서, 격리 피처부(106)는, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 불소-도핑된 실리케이트 유리(FSG), 저-k 유전체, 이들의 조합, 및/또는 다른 적절한 물질들과 같은 유전체 물질을 포함할 수 있다. 예시적인 공정에서, 격리 피처부(106)의 유전체 물질은, 스핀-온 코팅 또는 CVD에 의해, 제1 핀-형 구조체(1040)를 포함하여, 워크피스(100) 위에 먼저 블랭킷 퇴적된다. 다음으로, 블랭킷 퇴적된 유전체 물질은 화학적 기계적 연마(CMP) 공정과 같은 평탄화 공정에서 평탄화된다. 다음으로, 도 11c에 도시된 바와 같이, 베이스부(104B)만이 격리 피처부(106)에 배치되도록, 평탄화된 유전체 물질이 선택적으로 리세싱되거나 에칭 백된다. 격리 피처부(106)는 베이스부(104B)의 측벽들 및 기판(102)의 상단 표면과 직접 접촉한다.

[0050] 도 10을 참조하면, 제5 방법(600)은 중간 공정들이 수행되는 블록(608)을 포함한다. 제5 방법(600)과 관련하여, 이러한 중간 공정들은, 제1 핀-형 구조체(1040) 위에 더미 게이트 스택을 퇴적하는 단계, 더미 게이트 스택 위에 게이트 스페이서층들을 형성하는 단계, 소스/드레인 리세스들을 형성하도록 제1 핀-형 구조체(1040)의 소스/드레인 영역(104SD)을 리세싱하는 단계, 내부 스페이서 리세스들을 형성하도록 희생층들(124)을 측방향으로 리세싱하는 단계, 내부 스페이서 리세스들에 내부 스페이서 피처부들을 형성하는 단계, 소스/드레인 리세스들에 소스/드레인 피처부들을 형성하는 단계, 소스/드레인 피처부들 위에 ILD층을 퇴적하는 단계, 및 채널 영역(104C)에서 제1 핀-형 구조체(1040)의 상단 부분을 노출시키도록 더미 게이트 스택을 제거하는 단계를 포함할 수 있다. 후술하는 바와 같이, 더미 게이트 스택의 제거는 블록(610)에서의 작업들을 위한 단계를 설정한다.

[0051] 도 10 및 11d를 참조하면, 제5 방법(600)은, 복수의 제2 반도체층(126) 및 2D 물질층들(1000)을 릴리싱(release)하도록 제1 반도체층들(124)이 선택적으로 제거되는 블록(610)을 포함한다. 제1 반도체층(124)이 실리콘 게르마늄으로 형성되고 제2 반도체층(126)이 실리콘으로 형성되는 실시예들에서, 제1 반도체층들(124)의 선택적 제거는 SiGe 산화 공정에 이어 SiGe 산화물 제거를 포함할 수 있다. 이러한 실시예에서, SiGe 산화 공정은 오존의 이용을 포함할 수 있다. 일부 구현예들에서, 제1 반도체층(124)의 선택적 제거는 선택적 등방성 에칭 공정(예를 들어, 선택적 건식 에칭 공정 또는 선택적 습식 에칭 공정)의 이용을 포함할 수 있다. 일부 실시예들에서, 선택적 건식 에칭 공정은, 불소 가스 또는 하이드로플루오로카본과 같은 하나 이상의 불소-계 에천트들의 이용을 포함할 수 있다. 일부 실시예들에서, 선택적 습식 에칭 공정은 불산(Hydro Fluoride, HF) 또는 NH₄OH 에천트를 포함할 수 있다. 도 11d에 도시된 바와 같이, 제1 스택(1100)에서 반복 유닛의 배열로 인해, 제1 반도체층들(124)(즉, 희생층들(124))을 제거하면 복수의 채널 부재들(104)이 릴리싱된다. 채널 부재들(104) 각각은 제2 반도체층(126)(즉, 채널층(126)) 및 2D 물질층(1000)을 포함한다.

[0052] 도 10, 11e 및 11f를 참조하면, 제5 방법(600)은, 복수의 채널 부재들(104) 각각의 위에 그리고 주위에 게이트 구조체(110)가 형성되는 블록(612)을 포함한다. 전술한 바와 같이, 게이트 구조체(110)는 계면층(112), 계면층(112) 위의 게이트 유전체층(114) 및 게이트 유전체층(114) 위의 게이트 전극(116)을 포함할 수 있다. 계면층(112), 게이트 유전체층(114) 및 게이트 전극(116)의 조성들은 제1 방법(200)의 블록(210)과 관련하여 위에서 설명되었고, 계면층(112), 게이트 유전체층(114), 및 게이트 전극(116)에 대한 상세한 설명은 간결성을 위해 여기서 생략한다. 도 11e에 도시된 바와 같이, 계면층(112) 및 게이트 유전체층(114)은 CVD 또는 ALD를 이용하여 채널 부재들(104) 주위에 순차적으로 퇴적될 수 있다. 다음으로, 도 11f에 도시된 바와 같이, 게이트 전극(116)은 PVD, CVD, ALD 또는 무전해 도금을 이용하여 퇴적될 수 있다. 전술한 2D 물질층(1000)의 특성으로 인해, 채널 부재들(104) 각각의 채널층(126)은 제1 채널층으로 기능하고, 채널 부재들(104) 각각의 2D 물질층(1000)은

제2 채널층으로 기능한다. 제1 채널층과 제2 채널층은 실질적인 밴드 정렬로 인해 동시에 독립적으로 턴온될 수 있다. 유사한 이유로, 도 11f의 반도체 디바이스(100)는 DCFET이다. 채널층들(126)에 형성된 채널과 2D 물질층(1000)에 형성된 채널에 전류가 흐를 수 있기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 유효 채널 폭은 약 1.2 내지 1.5의 배수만큼 증가할 수 있고, 온-상태 전류는 또한 약 1.2 내지 1.5의 배수만큼 증가할 수 있다.

[0053] 이제 도 10을 참조하면, 제5 방법(600)은 추가 공정들이 수행되는 블록(614)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은, 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.

[0054] 반도체 디바이스(100)는 도 12에 도시된 제6 방법(700)과 같은 방법을 이용하여 형성될 수도 있다. 도 12 및 13a를 참조하면, 제6 방법(700)은, 제2 스택(1200)이 기판(102) 상에 퇴적되는 블록(702)을 포함한다. 도 13a에 도시된 바와 같이, 제2 스택(1200)은 복수의 반복 유닛을 포함하며, 복수의 반복 유닛 각각은 제1 반도체층(124), 제1 반도체층(124) 위의 2D 물질층(1000), 2D 물질층(1000) 위의 제2 반도체층(126), 및 제2 반도체층(126) 위의 또 다른 2D 물질층(1000)을 포함한다. 달리 말해서, 제2 반도체층들(126) 각각은 두 개의 2D 물질층 사이에 직접 샌드위치된다. 도 13a에 도시된 실시예에서, 제2 스택(1200)은, 두 개의 2D 물질층(1000) 사이에 샌드위치된 제2 반도체층(126)을 각각 갖는 세 개의 반복 유닛을 포함하고, 인접한 2D 물질층들(1000)은 제1 반도체층(124)에 의해 이격된다. 일부 실시예들에서, 제1 반도체층(124)은 희생층(124)으로 지칭될 수 있으며 실리콘 게르마늄(SiGe)을 포함할 수 있고, 제2 반도체층(126)은 채널층(126)으로 지칭될 수 있으며 실리콘(Si)을 포함할 수 있다. 일부 구현예들에서, 2D 물질층(1000)은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 몰리브덴 셀렌화물($MoSe_2$), 흑색 인, 또는 제2 반도체층(126)의 반도체 물질과 실질적인 밴드 정렬을 갖는 적절한 2D 물질을 포함할 수 있다. 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), 하프늄(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 블록(702)에서, 제1 반도체층(124), 제2 반도체층(126) 및 2D 물질층(1000)은 에피택시 성장을 이용하여 퇴적될 수 있다.

[0055] 도 12 및 13b에 도시된 바와 같이, 제6 방법(700)은, 기판(102) 및 제2 스택(1200)이 제2 핀-형 구조체(1042)로 패터닝되는 블록(704)을 포함한다. 도 13b에 도시된 바와 같이, 제2 핀-형 구조체(1042)는 베이스부(104B) 및 제2 스택(1200)으로부터 형성된 상단 부분을 포함한다. 제2 핀-형 구조체(1042)는 X 방향을 따라 길이 방향으로 연장된다. 따라서, 상단 부분은, 희생층들(124), 채널층들(126) 및 채널층들(126) 사이에 샌드위치된 2D 물질층들(1000)을 포함한다. 일부 실시예들에서, 블록(704)에서의 패터닝은 반응성 이온 에칭(RIE) 공정과 같은 이방성 에칭 공정을 포함할 수 있다. 예시적인 RIE 공정은, 탄소 사불화물(CF_4), 트리플루오로메탄(CHF_3), 옥타플루오로프로판(C_3H_8) 또는 황 육불화물(SF_6)과 같은 플루오로카본을 이용할 수 있다.

[0056] 도 12 및 13c를 참조하면, 제6 방법(700)은 격리 피처부(106)가 형성되는 블록(706)을 포함한다. 블록(706)에서의 작업들은 블록(606)에서의 작업들과 유사하기 때문에, 블록(706)에서의 작업들의 상세한 설명은 간결성을 위해 생략한다.

[0057] 도 12를 참조하면, 제6 방법(700)은 중간 공정들이 수행되는 블록(708)을 포함한다. 블록(708)에서의 작업들은 블록(608)에서의 작업들과 유사하기 때문에, 블록(708)에서의 작업들의 상세한 설명은 간결성을 위해 생략한다.

[0058] 도 12 및 13d를 참조하면, 제6 방법(700)은 복수의 제2 반도체층(126) 및 2D 물질층들(1000)을 릴리싱하도록 제1 반도체층(124)이 선택적으로 제거되는 블록(710)을 포함한다. 제1 반도체층(124)이 실리콘 게르마늄으로 형성되고 제2 반도체층(126)이 실리콘으로 형성되는 실시예들에서, 제1 반도체층들(124)의 선택적 제거는 SiGe 산화 공정에 이어 SiGe 산화물 제거를 포함할 수 있다. 이러한 실시예에서, SiGe 산화 공정은 오존의 이용을 포함할 수 있다. 일부 구현예들에서, 제1 반도체층(124)의 선택적 제거는 선택적 등방성 에칭 공정(예를 들어, 선택적 건식 에칭 공정 또는 선택적 습식 에칭 공정)의 이용을 포함할 수 있다. 일부 실시예들에서, 선택적 건식 에칭 공정은, 불소 가스 또는 하이드로플루오로카본과 같은 하나 이상의 불소-계 에천트들의 이용을 포함할 수 있다. 일부 실시예들에서, 선택적 습식 에칭 공정은 불산(HF) 또는 NH_4OH 에천트를 포함할 수 있다. 도 13d에 도시된 바와 같이, 제2 스택(1200)에서 반복 유닛의 배열로 인해, 제1 반도체층들(124)(즉, 희생층들(124))을 제거하면 복수의 채널 부재들(104)이 릴리싱된다. 채널 부재들(104) 각각은 두 개의 2D 물질층(1000) 사이에 수직으로 샌드위치된 제2 반도체층(126)(즉, 채널층(126))을 포함한다.

- [0059] 도 12, 13e 및 13f를 참조하면, 제6 방법(700)은, 복수의 채널 부재들(104) 각각의 위에 그리고 주위에 게이트 구조체(110)가 형성되는 블록(712)을 포함한다. 블록(712)에서의 작업들은 블록(612)에서의 작업들과 유사하기 때문에, 블록(712)에서의 작업들에 대한 설명은 간결성을 위해 생략한다. 전술한 2D 물질층(1000)의 2D 특성으로 인해, 채널 부재들(104) 각각의 채널층(126)은 제1 채널층으로 기능하고, 채널 부재들(104) 각각의 두 개의 2D 물질층(1000)은 두 개의 제2 채널층으로 기능한다. 제1 채널층과 두 개의 제2 채널층은 실질적인 밴드 정렬로 인해 동시에 그리고 독립적으로 턴온될 수 있다. 유사한 이유로, 도 13f의 반도체 디바이스(100)는 DCFET이다. 채널층들(126)에 형성된 채널 및 2D 물질층들(1000)에 형성된 채널들에 전류가 흐를 수 있기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 채널 부재들(104) 각각의 유효 채널 폭은 약 1.8 내지 2의 배수만큼 증가할 수 있고, 온-상태 전류 또한 약 1.8 내지 2의 배수만큼 증가할 수 있다.
- [0060] 이제 도 12를 참조하면, 제6 방법(700)은 추가 공정들이 수행되는 블록(714)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.
- [0061] 제5 방법(600) 및 제6 방법(700)에서, 2D 물질층들(1000)은 채널 부재들(104)로 패터닝되는 에피택시 스택들에 통합된다. 도 14의 제7 방법(800)에 표현된 일부 대안적인 실시예들에서, 에피택시 스택의 채널층들이 패터닝되고 릴리싱된 다음, 채널 부재들(104)을 형성하도록 릴리싱된 채널층들 각각의 주위에 2D 물질층(1000)이 퇴적된다.
- [0062] 도 14 및 15a를 참조하면, 제7 방법(800)은, 제2 스택(1200)이 기판(102) 상에 퇴적되는 블록(802)을 포함한다. 도 13a에 도시된 바와 같이, 제3 스택(1300)은 복수의 제2 반도체층(126)에 의해 개재된 복수의 제1 반도체층(124)을 포함한다. 제1 스택(1100) 및 제2 스택(1200)과 달리, 제3 스택(1300)에는 임의의 2D 물질층이 없음에 유의한다. 일부 실시예들에서, 제1 반도체층(124)은 희생층(124)으로 지칭되고 실리콘 게르마늄(SiGe)을 포함할 수 있고, 제2 반도체층(126)은 채널층(126)으로 지칭되고 실리콘(Si)을 포함할 수 있다. 블록(802)에서, 제1 반도체층(124) 및 제2 반도체층(126)은 에피택시 성장을 이용하여 퇴적될 수 있다.
- [0063] 도 14 및 15b를 참조하면, 제7 방법(800)은, 기판(102) 및 제3 스택(1300)이 제3 핀-형 구조체(1044)로 패터닝되는 블록(804)을 포함한다. 도 15b에 도시된 바와 같이, 제3 핀-형 구조체(1044)는 베이스부(104B) 및 제3 스택(1300)으로부터 형성된 상단 부분을 포함한다. 제3 핀-형 구조체(1044)는 X 방향을 따라 길이 방향으로 연장된다. 따라서, 상단 부분은, 희생층들(124) 및 채널층들(126)을 포함하고 2D 물질층(1000)이 없다. 일부 실시예들에서, 블록(804)에서의 패터닝은 반응성 이온 에칭(RIE) 공정과 같은 이방성 에칭 공정을 포함할 수 있다. 예시적인 RIE 공정은, 탄소 사불화물(CF₄), 트리플루오로메탄(CHF₃), 옥타플루오로프로판(C₃H₈) 또는 황 육불화물(SF₆)과 같은 플루오로카본을 이용할 수 있다.
- [0064] 도 14 및 15c에 도시된 바와 같이, 제7 방법(800)은, 격리 피처부(106)가 형성되는 블록(806)을 포함한다. 블록(806)에서의 작업들은 블록(606)에서의 작업들과 유사하기 때문에, 블록(806)에서의 작업들의 상세한 설명은 간결성을 위해 생략한다.
- [0065] 도 14를 참조하면, 제7 방법(800)은, 중간 공정들이 수행되는 블록(808)을 포함한다. 블록(808)에서의 작업들이 블록(608)에서의 작업들과 유사하기 때문에, 블록(808)에서의 작업들의 상세한 설명은 간결성을 위해 생략한다.
- [0066] 도 14 및 15d를 참조하면, 제7 방법(800)은, 복수의 제2 반도체층(126)을 릴리싱하도록 제1 반도체층들(124)이 선택적으로 제거되는 블록(810)을 포함한다. 제1 반도체층(124)이 실리콘 게르마늄으로 형성되고 제2 반도체층(126)이 실리콘으로 형성되는 실시예들에서, 제1 반도체층들(124)의 선택적 제거는 SiGe 산화 공정에 이어 SiGe 산화물 제거를 포함할 수 있다. 이러한 실시예에서, SiGe 산화 공정은 오존의 이용을 포함할 수 있다. 일부 구현예들에서, 제1 반도체층(124)의 선택적 제거는 선택적 등방성 에칭 공정(예를 들어, 선택적 건식 에칭 공정 또는 선택적 습식 에칭 공정)의 이용을 포함할 수 있다. 일부 실시예들에서, 선택적 건식 에칭 공정은, 불소 가스 또는 하이드로플루오로카본과 같은 하나 이상의 불소-계 에천트들의 이용을 포함할 수 있다. 일부 실시예들에서, 선택적 습식 에칭 공정은 불산(HF) 또는 NH₄OH 에천트를 포함할 수 있다.
- [0067] 도 14 및 15e를 참조하면, 제7 방법(800)은, 2D 물질층(1000)이 릴리싱된 채널층들(126)(즉, 제2 반도체층(126))의 표면을 상에 선택적으로 퇴적되는 블록(812)을 포함한다. 도 15e에 도시된 바와 같이, 블록(812)에서 2D 물질층(1000)의 퇴적은 릴리싱된 채널층들(126) 및 베이스부(104B)의 상단 표면에 대해 선택적이다. 즉, 불

록(812)에서, 2D 물질층(1000)은 격리 피처부(106) 상에 실질적으로 퇴적되지 않는다. 일부 구현예들에서, 2D 물질층(1000)과 더 큰 격자 불일치를 갖는 격리 피처부(106) 상에 2D 물질층(1000)이 퇴적되지 않는 공정 온도에서 선택적 퇴적이 발생할 수 있다. 그보다는, 2D 물질층(1000)과 더 작은 격자 불일치를 갖는 채널층들(126) 및 베이스부(104B) 상에 2D 물질층(1000)이 선택적으로 퇴적된다. 일부 실시예들에서, 2D 물질층(1000)은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀레늄화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 몰리브덴 셀레늄화물($MoSe_2$), 흑색 인, 또는 채널층들(126)의 반도체 물질과 실질적인 밴드 정렬을 갖는 적절한 2D 물질을 포함할 수 있다. 2D 물질층(1000)은, 황(S), 셀레늄(Se), 텔루륨(Te), 지르코늄(Zr), hafnium(Hf), 텅스텐(W), 몰리브덴(Mo), 붕소(B), 산소(O), 질소(N), 탄소(C), 실리콘(Si) 또는 주석(Sn)과 같은 도펀트로 도핑될 수 있다. 블록(812)에서, 2D 물질층(1000)은 에피택시 성장 또는 ALD를 이용하여 퇴적될 수 있다. 도 15e에서, 릴리싱된 채널층들(126)이 서스펜딩되기 때문에, 블록(812)에서 퇴적된 2D 물질층(1000)은 릴리싱된 채널층들(126) 각각을 래핑한다. 블록(812)에서의 작업들이 종료되면, 채널 부재(104)가 형성된다. 채널 부재들(104) 각각은 2D 물질층(1000)에 의해 주위가 래핑된 패터닝된 채널층(126)을 포함한다. 도 15e에 도시된 바와 같이, 채널 부재(104)의 X-방향 단면은 동축(coaxial) 케이블과 유사하다.

[0068] 도 14 및 15f를 참조하면, 제7 방법(800)은, 복수의 채널 부재들(104) 각각의 위에 그리고 주위에 게이트 구조체(110)가 형성되는 블록(814)을 포함한다. 블록(814)에서의 작업들은 블록(612)에서의 작업들과 유사하기 때문에, 블록(814)에서의 작업들에 대한 설명은 간결성을 위해 생략한다. 전술한 2D 물질층(1000)의 2D 특성으로 인해, 채널 부재들(104) 각각의 채널층(126)은 제1 채널층으로 기능하고, 채널 부재들(104) 각각의 2D 물질층(1000)은 제2 채널층으로 기능한다. 제1 채널층과 제2 채널층은 실질적인 밴드 정렬로 인해 동시에 그리고 독립적으로 턴온될 수 있다. 유사한 이유로, 도 15f의 반도체 디바이스(100)는 DCFET이다. 채널층들(126)에 형성된 채널 및 2D 물질층들(1000)에 형성된 채널들에 전류가 흐를 수 있기 때문에, 채널 영역에 2D 물질층(1000)이 없는 유사한 반도체 디바이스에 비해, 채널 부재들(104) 각각의 유효 채널 폭은 약 1.8 내지 2의 배수만큼 증가할 수 있고, 온-상태 전류 또한 약 1.8 내지 2의 배수만큼 증가할 수 있다.

[0069] 이제 도 14를 참조하면, 제7 방법(800)은 추가 공정들이 수행되는 블록(816)을 포함한다. 일부 실시예들에서, 이러한 추가 공정들은 소스/드레인 접촉부들을 형성하는 단계, 게이트 접촉부들을 형성하는 단계, 추가 ILD층을 형성하는 단계, 소스/드레인 접촉부 비아들을 형성하는 단계, 및 추가 상호 연결 구조체들을 형성하는 단계를 포함할 수 있다.

[0070] 제7 방법(800)은, 도 15a-15f의 부분 단면도들에 도시된 바와 같은 나노 시트 트랜지스터들 뿐만 아니라 도 16a-16f에 도시된 나노 와이어 트랜지스터를 형성하도록 적용될 수 있다. 나노 시트 트랜지스터와 나노 와이어 트랜지스터는 채널 부재들의 치수비 측면에서 주로 다르다. 도 15d에 도시된 나노 시트 트랜지스터 실시예에서, 릴리싱된 채널층들(126) 각각은 Y 방향을 따르는 제1 폭(W1) 및 Z 방향을 따르는 제1 높이(H1)를 포함한다. 일부 예시들에서, 제1 높이(H1)에 대한 제1 폭(W1)의 비는 1.5 이상이고, 릴리싱된 채널층들(126) 뿐만 아니라 도 15f의 채널 부재들(104) 각각은 시트와 유사하다. 도 16d에 도시된 나노 와이어 트랜지스터 실시예들에서, 릴리싱된 채널층들(126) 각각은 Y 방향을 따르는 제2 폭(W2) 및 Z 방향을 따르는 제2 높이(H2)를 포함한다. 제1 높이(H1)에 대한 제1 폭(W1)의 비가 1.5 미만인 일부 예시들에서, 릴리싱된 채널층들(126) 뿐만 아니라 도 16f의 채널 부재들(104) 각각은 와이어와 유사하다. 치수비의 차이 외에, 도 16a-16f에 도시된 워크피스(100) 및 피처부들은 도 15a-15f의 그것들과 유사하다. 간결성을 위해 도 16a-16f에 대한 상세한 설명은 생략한다.

[0071] 일부 예시들에서, 본 출원에 따른 반도체 디바이스는, 상이한 전도 유형들의 트랜지스터들을 수용하도록 상이한 디바이스 영역들을 가질 수 있다. 물질 특성 및 공정 제약으로 인해, 상이한 유형의 트랜지스터들은 상이한 구동 전류 수준들을 가질 수 있다. 이러한 구동 전류들의 불균형은 회로 설계 문제를 야기하고 디바이스 성능에 영향을 미칠 수 있다. 상이한 유형의 디바이스들의 구동 전류들을 균일하게 하기 위해, DCFET는 한 디바이스 영역에서 선택적으로 구현되고 다른 디바이스 영역에서는 구현되지 않을 수 있다. 대안적으로, 상이한 DCFET들이 상이한 디바이스 영역들에서 구현될 수 있다. 일부 예시들에서, DCFET들은 높은 구동 전류 응용예를 위한 하나의 디바이스 영역에서 선택적으로 구현될 수 있지만 다른 응용예를 위한 다른 디바이스 영역에서는 구현되지 않을 수 있다. 예시적인 실시예들이 도 17-20 및 이하에 설명된다.

[0072] 먼저 도 17을 참조하면, 제1 디바이스 영역(R1) 및 제2 디바이스 영역(R2)을 갖는 제1 집적 회로(Integrated Circuit, IC) 디바이스(902)가 개략적으로 도시된다. 일부 실시예들에서, 제1 디바이스 영역(R1)은 n-형 디바이스 영역이고 제2 디바이스 영역(R2)은 p-형 디바이스 영역이다. 제1 디바이스 영역(R1)은 제1 트랜지스터(100-1)를 포함하고, 제2 디바이스 영역(R2)은 제2 트랜지스터(100-2)를 포함한다. 제1 트랜지스터(100-1) 및 제2 트

랜지스터(100-2) 각각은, 도 3d, 5d, 7f 및 9e에 도시된 것들과 유사한 구조체를 갖는 이중-채널 FinFET일 수 있고, 이들의 다양한 피처부들에 대한 상세한 설명은 간결성을 위해 생략한다. 도 17에 도시된 예에서, 제1 트랜지스터(100-1)는 핀 구조체(103) 상에 배치된 제1 2D 물질층(1010)을 갖는 제1 채널 부재(104-1)를 포함하고, 제2 트랜지스터(100-2)는 핀 구조체(103) 상에 배치된 제2 2D 물질층(1020)을 갖는 제2 채널 부재(104-2)를 포함한다. 제1 2D 물질층(1010)은, 두께 또는 조성 측면에서 제2 2D 물질층(1020)과 상이하다. 일 구현예에서, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 동일한 조성을 갖지만 상이한 전자 구속을 위해 상이한 두께들을 갖는다. 다른 구현예에서, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 동일한 두께를 갖지만, 핀 구조체(103)의 물질과 상이한 밴드 정렬을 위해 상이한 조성들을 갖는다. 여기서, 상이한 조성들은 상이한 2D 물질들 또는 상이한 도핑 배열들을 지칭할 수 있다. 예를 들어, 제1 2D 물질층(1010)이 텅스텐 황화물(WS_2)로 형성되고 제2 2D 물질층(1020)이 텅스텐 셀렌화물(WSe_2)로 형성된 경우, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 상이한 조성들을 갖는다고 할 수 있다. 다른 예를 들어, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)이 상이한 도펀트들 또는 상이한 도핑 농도들을 갖는 동일한 도펀트들로 도핑되는 경우, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 상이한 조성들을 갖는다고 할 수 있다. 상이한 디바이스 영역들에서 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)의 퇴적은 마스크들 또는 선택적 퇴적을 이용하여 수행될 수 있다.

[0073] 상이한 디바이스 영역들에서 상이한 2D 물질층들을 구현하는 것은 이점을 가질 수 있다. 예를 들어, 제1 디바이스 영역(R1)의 제1 트랜지스터(100-1)와 제2 디바이스 영역(R2)의 제2 트랜지스터(100-2)의 구동 전류들의 균형을 맞추도록 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)이 선택될 수 있다. 제2 디바이스 영역(R2)의 비-이중-채널 FinFET의 제2 구동 전류가 제1 디바이스 영역(R1)의 비-이중-채널 FinFET의 제1 구동 전류보다 작은 경우, 제1 2D 물질층(1010)이 제1 구동 전류를 부스팅하는 것보다 제2 2D 물질층(1020)이 제2 구동 전류를 더 부스팅한다. 또한, 상이한 2D 물질층들을 구현하여 구동 전류들의 균형을 맞추는 능력은 게이트 구조체(110)에 다양한 일함수층을 적층할 필요성을 완화시킬 수 있다. 상이한 2D 물질층들을 가짐으로써, 게이트 구조체(110)는 더 적은 일함수층을 가지거나 심지어는 일함수층을 가지지 않을 수 있다. 대안적인 실시예에서, 제1 디바이스 영역(R1)은 p-형 디바이스 영역이고, 제2 디바이스 영역(R2)은 n-형 디바이스 영역이다.

[0074] 도 18을 참조하면, 제1 디바이스 영역(R1) 및 제2 디바이스 영역(R2)을 갖는 제2 IC 디바이스(904)가 개략적으로 도시된다. 일부 실시예들에서, 제1 디바이스 영역(R1)은 n-형 디바이스 영역이고 제2 디바이스 영역(R2)은 p-형 디바이스 영역이다. 제1 디바이스 영역(R1)은 제3 트랜지스터(100-3)를 포함하고, 제2 디바이스 영역(R2)은 제4 트랜지스터(100-4)를 포함한다. 도 18에 도시된 일부 실시예들에서, 제3 트랜지스터(100-3)는 임의의 2D 물질층이 없는 FinFET일 수 있고, 제4 트랜지스터(100-4)는 도 3d, 5d, 7f 및 9e에 도시된 것과 유사한 구조체를 갖는 이중-채널 FinFET일 수 있다. 이러한 실시예에서, 2D 물질층(1000)은, 제3 트랜지스터(100-3) 및 제4 트랜지스터(100-4)의 구동 전류들의 균형을 맞추기 위해 제4 트랜지스터(100-4)의 구동 전류를 부스팅할 수 있다. 대안적인 실시예들에서, 제1 디바이스 영역(R1)은 p-형 디바이스 영역이고, 제2 디바이스 영역(R2)은 n-형 디바이스 영역이다. 디바이스 영역들 중 하나에서 2D 물질층(1000)의 퇴적은 마스크들 또는 선택적 퇴적을 이용하여 수행될 수 있다.

[0075] 유사한 DCFET 구현예들이 MBC 트랜지스터들에 적용될 수 있다. 이제 도 19를 참조하면, 제1 디바이스 영역(R1) 및 제2 디바이스 영역(R2)을 갖는 제3 IC 디바이스(906)가 개략적으로 도시된다. 일부 실시예들에서, 제1 디바이스 영역(R1)은 n-형 디바이스 영역이고, 제2 디바이스 영역(R2)은 p-형 디바이스 영역이다. 제3 IC 디바이스(906)의 제1 디바이스 영역(R1)은 제5 트랜지스터(100-5)를 포함하고, 제3 IC 디바이스(906)의 제2 디바이스 영역(R2)은 제6 트랜지스터(100-6)를 포함한다. 제5 트랜지스터(100-5) 및 제6 트랜지스터(100-6) 각각은 도 11f, 13f, 15f, 16f에 도시된 것과 유사한 구조체를 갖는 이중-채널 MBC 트랜지스터일 수 있고, 이들의 다양한 피처부에 대한 상세한 설명은 간결성을 위해 생략한다. 도 19에 도시된 예에서, 제5 트랜지스터(100-5)는 수직으로 적층된 채널 부재들(104) 각각의 주위에 배치된 제1 2D 물질층(1010)을 포함하고, 제6 트랜지스터(100-6)는 수직으로 적층된 채널 부재들(104) 각각의 주위에 배치된 제2 2D 물질층(1020)을 포함한다. 제1 2D 물질층(1010)은, 두께 또는 조성 측면에서 제2 2D 물질층(1020)과 상이하다. 일 구현예에서, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 동일한 조성을 갖지만 상이한 전자 구속을 위해 상이한 두께들을 갖는다. 다른 구현예에서, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 동일한 두께를 갖지만 채널층들(126)의 물질과 상이한 밴드 정렬을 위해 상이한 조성들을 갖는다. 여기서, 상이한 조성들은 상이한 2D 물질들 또는 상이한 도핑 배열들을 지칭할 수 있다. 예를 들어, 제1 2D 물질층(1010)이 텅스텐 황화물(WS_2)로 형성되고 제2 2D 물질층(1020)이 텅스텐 셀렌화물(WSe_2)로 형성된 경우, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 상이한 조성들을 갖는다고 할 수

있다. 다른 예를 들어, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)이 상이한 도펀트들 또는 상이한 도핑 농도들을 갖는 동일한 도펀트들로 도핑되는 경우, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 상이한 조성들을 갖는다고 할 수 있다. 상이한 디바이스 영역들에서 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)의 퇴적은 마스크들 또는 선택적 퇴적을 이용하여 수행될 수 있다.

[0076] 상이한 디바이스 영역들에서 상이한 2D 물질층들을 구현하는 것은 이점을 가질 수 있다. 예를 들어, 제1 2D 물질층(1010) 및 제2 2D 물질층(1020)은 제1 디바이스 영역(R1)의 제5 트랜지스터(100-5)와 제2 디바이스 영역(R2)의 제6 트랜지스터(100-6)의 구동 전류들의 균형을 맞추도록 선택될 수 있다. 제2 디바이스 영역(R2)의 비-이중-채널 MBC 트랜지스터의 제2 구동 전류가 제1 디바이스 영역(R1)의 비-이중-채널 MBC 트랜지스터의 제1 구동 전류보다 작은 경우, 제1 2D 물질층(1010)이 제1 구동 전류를 부스팅하는 것보다 제2 2D 물질층(1020)이 제2 구동 전류를 더 부스팅한다. 또한, 상이한 2D 물질층들을 구현하여 구동 전류들의 균형을 맞추는 능력은 게이트 구조체(110)에 다양한 일함수층을 적층할 필요성을 완화시킬 수 있다. 상이한 2D 물질층들을 가짐으로써, 게이트 구조체(110)는 더 적은 일함수층을 가지거나 심지어는 일함수층을 가지지 않을 수 있다. 이것은 MBC 트랜지스터의 수직으로 적층된 채널 부재들 각각의 주위에 여러 층을 균일하게 퇴적하는 것이 어려울 때 특히 유용하다. 대안적인 실시예에서, 제1 디바이스 영역(R1)은 p-형 디바이스 영역이고, 제2 디바이스 영역(R2)은 n-형 디바이스 영역이다.

[0077] 도 20을 참조하면, 제1 디바이스 영역(R1) 및 제2 디바이스 영역(R2)을 갖는 제4 IC 디바이스(908)가 개략적으로 도시된다. 일부 실시예들에서, 제4 IC 디바이스(908)의 제1 디바이스 영역(R1)은 n-형 디바이스 영역이고, 제4 IC 디바이스(908)의 제2 디바이스 영역(R2)은 p-형 디바이스 영역이다. 제1 디바이스 영역(R1)은 제7 트랜지스터(100-7)를 포함하고, 제2 디바이스 영역(R2)은 제8 트랜지스터(100-8)를 포함한다. 도 20에 도시된 일부 실시예들에서, 제7 트랜지스터(100-7)는 임의의 2D 물질층이 없는 MBC 트랜지스터일 수 있고, 제8 트랜지스터(100-8)는 도 11f, 13f, 15f 및 16f에 도시된 것과 유사한 구조체를 갖는 이중-채널 MBC 트랜지스터일 수 있다. 이러한 실시예에서, 2D 물질층(1000)은, 제7 트랜지스터(100-7) 및 제8 트랜지스터(100-8)의 구동 전류들의 균형을 맞추기 위해 제8 트랜지스터(100-8)의 구동 전류를 부스팅할 수 있다. 대안적인 실시예들에서, 제1 디바이스 영역(R1)은 p-형 디바이스 영역이고, 제2 디바이스 영역(R2)은 n-형 디바이스 영역이다. 디바이스 영역들 중 하나에서 2D 물질층(1000)의 퇴적은 마스크들 또는 선택적 퇴적을 이용하여 수행될 수 있다.

[0078] 일 예시적 양태에서, 본 개시는 반도체 디바이스에 관한 것이다. 반도체 디바이스는, 제1 채널층 및 제1 채널층 위의 제2 채널층을 포함하는 채널 부재, 및 채널 부재 위의 게이트 구조체를 포함한다. 제1 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함하고, 제2 채널층은 2차원 물질을 포함한다.

[0079] 일부 실시예에서, 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함한다. 일부 실시예에서, 반도체 디바이스는 기판을 더 포함할 수 있고, 제1 채널층은 기판으로부터 연장되는 핀 구조체를 포함하고, 제2 채널층은 핀 구조체 위에 배치된다. 일부 실시예에서, 반도체 디바이스는, 기판 및 핀 구조체의 측면들 위에 배치된 격리 피처부를 더 포함할 수 있다. 격리 피처부는 제2 채널층에 의해 제1 채널층으로부터 이격된다. 일부 실시예에서, 반도체 디바이스는, 기판 및 핀 구조체의 측면들 위에 배치된 격리 피처부를 더 포함할 수 있고, 격리 피처부는 제1 채널층과 직접 접촉한다. 일부 실시예에서, 제2 채널층은 제1 채널층 주위를 래핑한다. 일부 실시예에서, 제2 채널층이 제1 채널층과 제3 채널층 사이에 샌드위치되도록, 채널 부재는 제1 채널층 아래에 배치된 제3 채널층을 더 포함한다. 제3 채널층은 2차원 물질을 포함한다. 일부 실시예에서, 2차원 물질은 제1 2차원 물질이고, 제2 채널층은 제2 2차원 물질을 더 포함한다. 제1 2차원 물질 및 제2 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 및 몰리브덴 셀렌화물($MoSe_2$)으로 구성된 군으로부터 선택되고, 제1 2차원 물질의 조성은 제2 2차원 물질의 조성보다 상이하다.

[0080] 다른 예시적 양태에서, 본 개시는 반도체 디바이스에 관한 것이다. 반도체 디바이스는, 제1 디바이스 영역 내의 제1 트랜지스터 및 제2 디바이스 영역 내의 제2 트랜지스터를 포함한다. 제1 트랜지스터는, 제1 채널층 및 제1 채널층 위의 제2 채널층을 포함하는 제1 채널 부재, 및 제1 채널 부재 위의 제1 게이트 구조체를 포함한다. 제2 트랜지스터는, 제3 채널층을 포함하는 제2 채널 부재, 및 제2 채널 부재 위의 제2 게이트 구조체를 포함한다. 제1 채널층 및 제3 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함한다. 제2 채널층은 제1 2차원 물질을 포함한다.

[0081] 일부 실시예에서, 제1 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함한다. 일부 실시예에서, 제2 채널층은 제1 채널층 주위를 래핑하고, 제1 게이트 구조체는 제1 채널 부재 주위를 래핑하고, 제2 게이트 구조체는 제2 채널 부재 주위를 래핑한다. 일부 실시예에서, 제2 채널 부재는 제3 채널층 위에 배치된 제4 채널층을 더 포함하고, 제3 채널층은 제1 2차원 물질과 상이한 제2 2차원 물질을 포함한다. 일부 실시예에서, 반도체 디바이스는 기판을 더 포함한다. 제1 채널층은 기판으로부터 연장되는 제1 핀 구조체를 포함하고, 제2 채널층은 제1 핀 구조체 위에 배치된다. 제3 채널층은 기판으로부터 연장되는 제2 핀 구조체를 포함한다. 일부 실시예에서, 제2 채널 부재는 제1 2차원 물질을 포함하지 않는다.

[0082] 또 다른 예시적 양태에서, 본 개시는 방법에 관한 것이다. 방법은, 반도체 구조체를 포함하는 워크피스를 제공하는 단계 - 반도체 구조체는 실리콘, 게르마늄, III-V 반도체, 또는 II-VI 반도체를 포함함 -, 반도체 구조체 위에 2차원 물질층을 퇴적하는 단계 - 2차원 물질층은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함함 -, 및 2차원 물질층 위에 게이트 구조체를 형성하는 단계를 포함한다.

[0083] 일부 실시예에서, 워크피스는 기판 및 기판 상에 배치된 제1 소스/드레인 피처부와 제2 소스/드레인 피처부를 더 포함한다. 게이트 구조체는 제1 소스/드레인 피처부와 제2 소스/드레인 피처부 사이에 배치되고, 반도체 구조체는 제1 소스/드레인 피처부와 제2 소스/드레인 피처부 사이에서 연장되고 기판으로부터 이격된다. 일부 실시예에서, 워크피스는 기판을 더 포함하고, 반도체 구조체는 기판으로부터 연장되는 핀 구조체를 포함한다. 일부 실시예에서, 방법은 2차원 물질층을 퇴적하는 단계 전에, 격리 피처부를 형성하는 단계를 더 포함할 수 있다. 2차원 물질층을 퇴적하는 단계는 반도체 구조체에 대해 선택적이다. 일부 실시예에서, 방법은 2차원 물질층을 퇴적하는 단계 후에, 격리 피처부를 형성하는 단계를 더 포함할 수 있고, 격리 피처부는 2차원 물질층에 의해 반도체 구조체로부터 이격된다. 일부 실시예에서, 방법은 2차원 물질층을 퇴적하는 단계 전에, 격리 피처부를 형성하는 단계를 더 포함할 수 있다. 2차원 물질층을 퇴적하는 단계는, 반도체 구조체 및 격리 피처부 위에 2차원 물질층을 블랭킷 퇴적하는 단계, 및 격리 피처부의 상단 표면들로부터 2차원 물질층을 제거하는 단계를 포함한다.

[0084] 전술한 내용은 당업자가 본 개시의 양태를 보다 잘 이해할 수 있도록 몇몇 실시예들의 피처부를 개략적으로 설명한다. 당업자는, 본 개시가 동일한 목적을 수행하고/수행하거나 본 명세서에 도입된 실시예들의 동일한 장점을 달성하기 위한 다른 공정 및 구조체를 설계 또는 수정하기 위한 기초로서 본 개시를 용이하게 이용할 수 있음을 이해해야 한다. 당업자는 이러한 등가의 구성이 본 개시의 사상 및 범위를 벗어나지 않으며, 본 개시의 사상 및 범위를 벗어나지 않으면서 본 명세서에서 다양한 변경, 대체 및 변경을 행할 수 있음을 인식해야 한다.

[0086] 실시예

[0087] 1. 반도체 디바이스에 있어서,

[0088] 제1 채널층 및 상기 제1 채널층 위의 제2 채널층을 포함하는 채널 부재; 및

[0089] 상기 채널 부재 위의 게이트 구조체를 포함하고,

[0090] 상기 제1 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함하고,

[0091] 상기 제2 채널층은 2차원 물질을 포함하는 것인, 반도체 디바이스.

[0093] 2. 제1항에 있어서, 상기 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인(black phosphorus), 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함하는 것인, 반도체 디바이스.

[0095] 3. 제1항에 있어서, 기판을 더 포함하고,

- [0096] 상기 제1 채널층은 상기 기판으로부터 연장되는 핀 구조체를 포함하고, 상기 제2 채널층은 상기 핀 구조체 위에 배치되는 것인, 반도체 디바이스.
- [0098] 4. 제3항에 있어서, 상기 기판 및 상기 핀 구조체의 측벽들 위에 배치된 격리 피처부를 더 포함하고,
 [0099] 상기 격리 피처부는 상기 제2 채널층에 의해 상기 제1 채널층으로부터 이격된 것인, 반도체 디바이스.
- [0101] 5. 제3항에 있어서, 상기 기판 및 상기 핀 구조체의 측벽들 위에 배치된 격리 피처부를 더 포함하고,
 [0102] 상기 격리 피처부는 상기 제1 채널층과 직접 접촉하는 것인, 반도체 디바이스.
- [0104] 6. 제1항에 있어서, 상기 제2 채널층은 상기 제1 채널층 주위를 래핑하는 것인, 반도체 디바이스.
- [0106] 7. 제1항에 있어서, 상기 채널 부재는, 상기 제2 채널층이 상기 제1 채널층과 제3 채널층 사이에 샌드위치되도록, 상기 제1 채널층 아래에 배치된 상기 제3 채널층을 더 포함하고,
 [0107] 상기 제3 채널층은 상기 2차원 물질을 포함하는 것인, 반도체 디바이스.
- [0109] 8. 제1항에 있어서, 상기 2차원 물질은 제1 2차원 물질이고,
 [0110] 상기 제2 채널층은 제2 2차원 물질을 더 포함하고,
 [0111] 상기 제1 2차원 물질 및 상기 제2 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 및 몰리브덴 셀렌화물($MoSe_2$)으로 구성된 군으로부터 선택되고,
 [0112] 상기 제1 2차원 물질의 조성은 상기 제2 2차원 물질의 조성과 상이한 것인, 반도체 디바이스.
- [0114] 9. 반도체 디바이스에 있어서,
 [0115] 제1 디바이스 영역 내의 제1 트랜지스터 - 상기 제1 트랜지스터는,
 [0116] 제1 채널층 및 상기 제1 채널층 위의 제2 채널층을 포함하는 제1 채널 부재, 및
 [0117] 상기 제1 채널 부재 위의 제1 게이트 구조체를 포함함 -; 및
 [0118] 제2 디바이스 영역 내의 제2 트랜지스터 - 상기 제2 트랜지스터는,
 [0119] 제3 채널층을 포함하는 제2 채널 부재, 및
 [0120] 상기 제2 채널 부재 위의 제2 게이트 구조체를 포함함 -
 [0121] 를 포함하고,
 [0122] 상기 제1 채널층 및 상기 제3 채널층은 실리콘, 게르마늄, III-V 반도체 또는 II-VI 반도체를 포함하고,
 [0123] 상기 제2 채널층은 제1 2차원 물질을 포함하는 것인, 반도체 디바이스.
- [0125] 10. 제9항에 있어서, 상기 제1 2차원 물질은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함하는 것인, 반도체 디바이스.

- [0127] 11. 제9항에 있어서, 상기 제2 채널층은 상기 제1 채널층 주위를 래핑하고,
 [0128] 상기 제1 게이트 구조체는 상기 제1 채널 부재 주위를 래핑하고,
 [0129] 상기 제2 게이트 구조체는 상기 제2 채널 부재 주위를 래핑하는 것인, 반도체 디바이스.
- [0131] 12. 제9항에 있어서, 상기 제2 채널 부재는 상기 제3 채널층 위에 배치된 제4 채널층을 더 포함하고,
 [0132] 상기 제3 채널층은 상기 제1 2차원 물질과 상이한 제2 2차원 물질을 포함하는 것인, 반도체 디바이스.
- [0134] 13. 제9항에 있어서, 기판을 더 포함하고,
 [0135] 상기 제1 채널층은 상기 기판으로부터 연장되는 제1 핀 구조체를 포함하고, 상기 제2 채널층은 상기 제1 핀 구조체 위에 배치되고,
 [0136] 상기 제3 채널층은 상기 기판으로부터 연장되는 제2 핀 구조체를 포함하는 것인, 반도체 디바이스.
- [0138] 14. 제9항에 있어서, 상기 제2 채널 부재는 상기 제1 2차원 물질을 포함하지 않는 것인, 반도체 디바이스.
- [0140] 15. 방법에 있어서,
 [0141] 반도체 구조체를 포함하는 워크피스를 제공하는 단계 - 상기 반도체 구조체는 실리콘, 게르마늄, III-V 반도체, 또는 II-VI 반도체를 포함함 -;
 [0142] 상기 반도체 구조체 위에 2차원 물질층을 퇴적하는 단계 - 상기 2차원 물질층은 그래핀, 텅스텐 황화물(WS_2), 텅스텐 텔루르화물(WTe_2), 텅스텐 셀렌화물(WSe_2), 몰리브덴 황화물(MoS_2), 몰리브덴 텔루르화물($MoTe_2$), 흑색 인, 또는 몰리브덴 셀렌화물($MoSe_2$)을 포함함 -; 및
 [0143] 상기 2차원 물질층 위에 게이트 구조체를 형성하는 단계를 포함하는 방법.
- [0145] 16. 제15항에 있어서,
 [0146] 상기 워크피스는 기판 및 상기 기판 상에 배치된 제1 소스/드레인 피치부와 제2 소스/드레인 피치부를 더 포함하고,
 [0147] 상기 게이트 구조체는 상기 제1 소스/드레인 피치부와 제2 소스/드레인 피치부 사이에 배치되고,
 [0148] 상기 반도체 구조체는 상기 제1 소스/드레인 피치부와 상기 제2 소스/드레인 피치부 사이에서 연장되고 상기 기판으로부터 이격된 것인, 방법.
- [0150] 17. 제15항에 있어서,
 [0151] 상기 워크피스는 기판을 더 포함하고,
 [0152] 상기 반도체 구조체는 상기 기판으로부터 연장되는 핀 구조체를 포함하는 것인, 방법.
- [0154] 18. 제17항에 있어서, 상기 2차원 물질층을 퇴적하는 단계 전에, 격리 피치부를 형성하는 단계를 더 포함하고,
 [0155] 상기 2차원 물질층을 퇴적하는 단계는 상기 반도체 구조체에 대해 선택적인 것인, 방법.
- [0157] 19. 제17항에 있어서, 상기 2차원 물질층을 퇴적하는 단계 후에, 격리 피치부를 형성하는 단계를 더 포함하고,

[0158] 상기 격리 피처부는 상기 2차원 물질층에 의해 상기 반도체 구조체로부터 이격된 것인, 방법.

[0160] 20. 제17항에 있어서, 상기 2차원 물질층을 퇴적하는 단계 전에, 격리 피처부를 형성하는 단계를 더 포함하고,

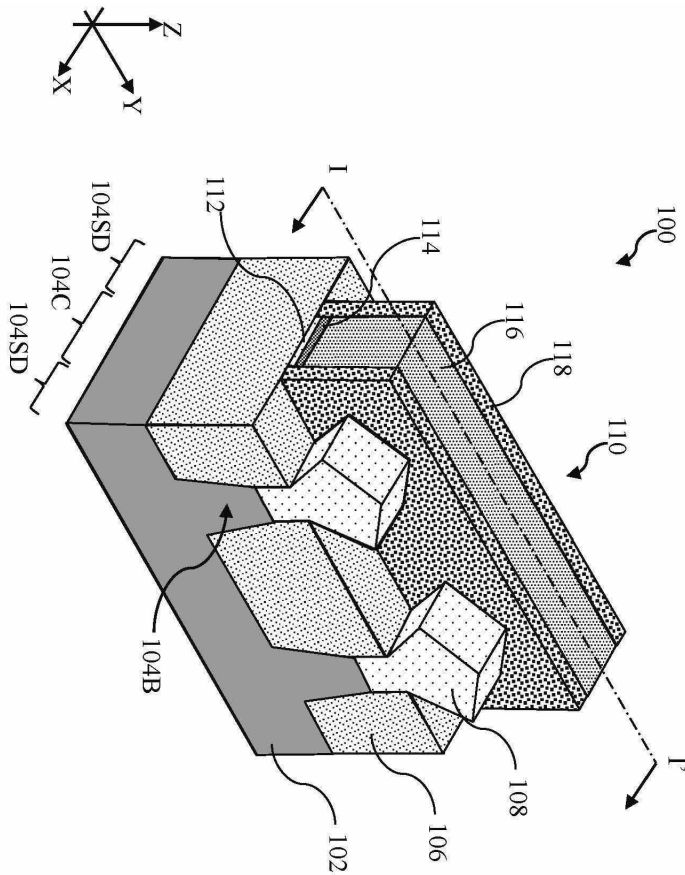
[0161] 상기 2차원 물질층을 퇴적하는 단계는,

[0162] 상기 반도체 구조체 및 상기 격리 피처부 위에 상기 2차원 물질층을 블랭킷(blanketly) 퇴적하는 단계, 및

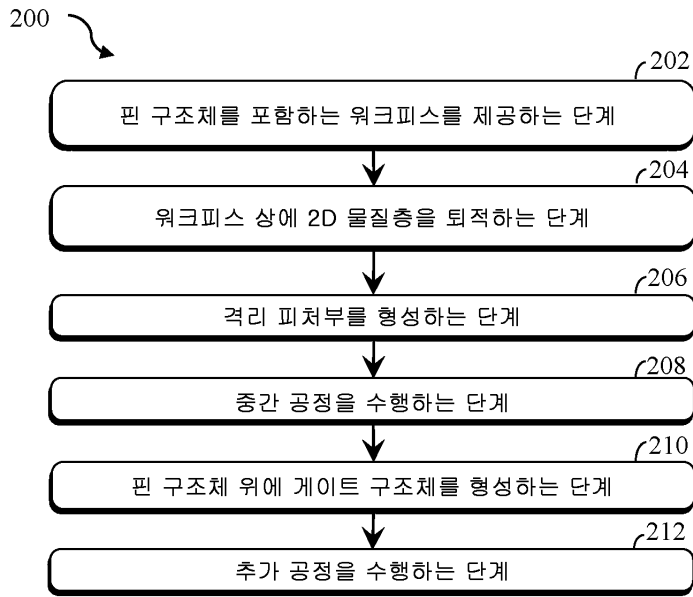
[0163] 상기 격리 피처

도면

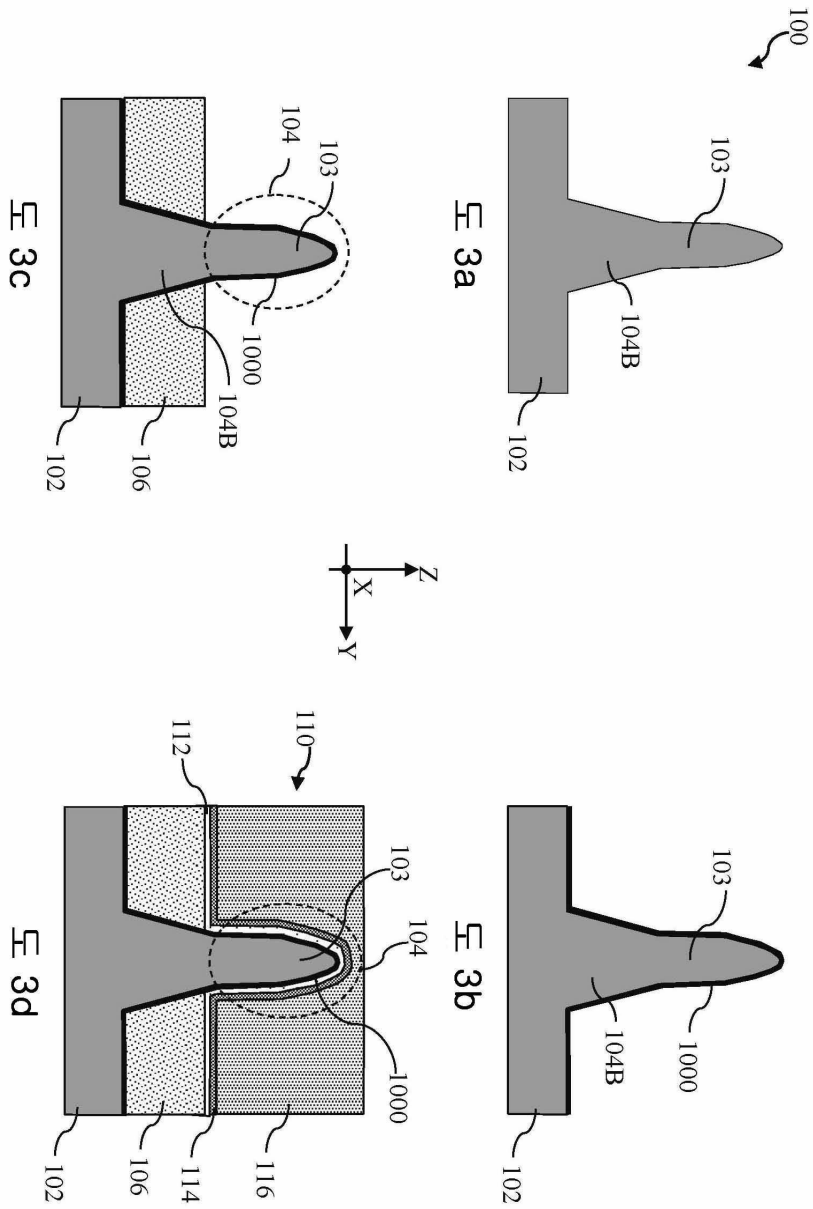
도면1



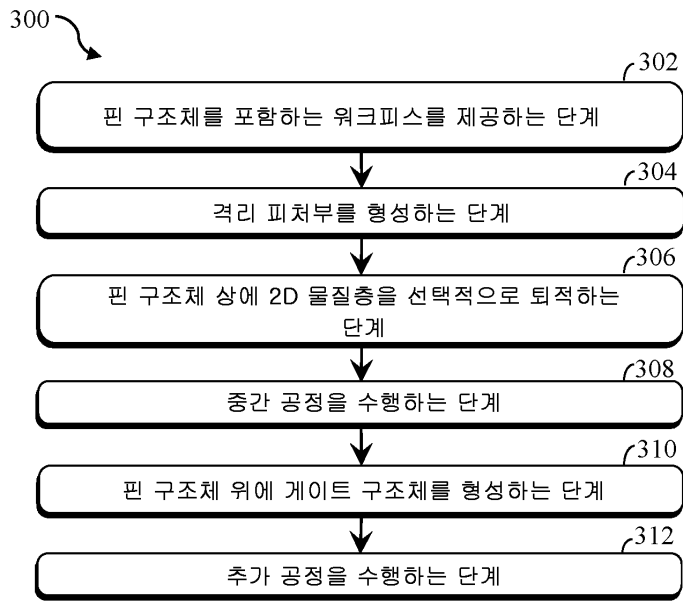
도면2



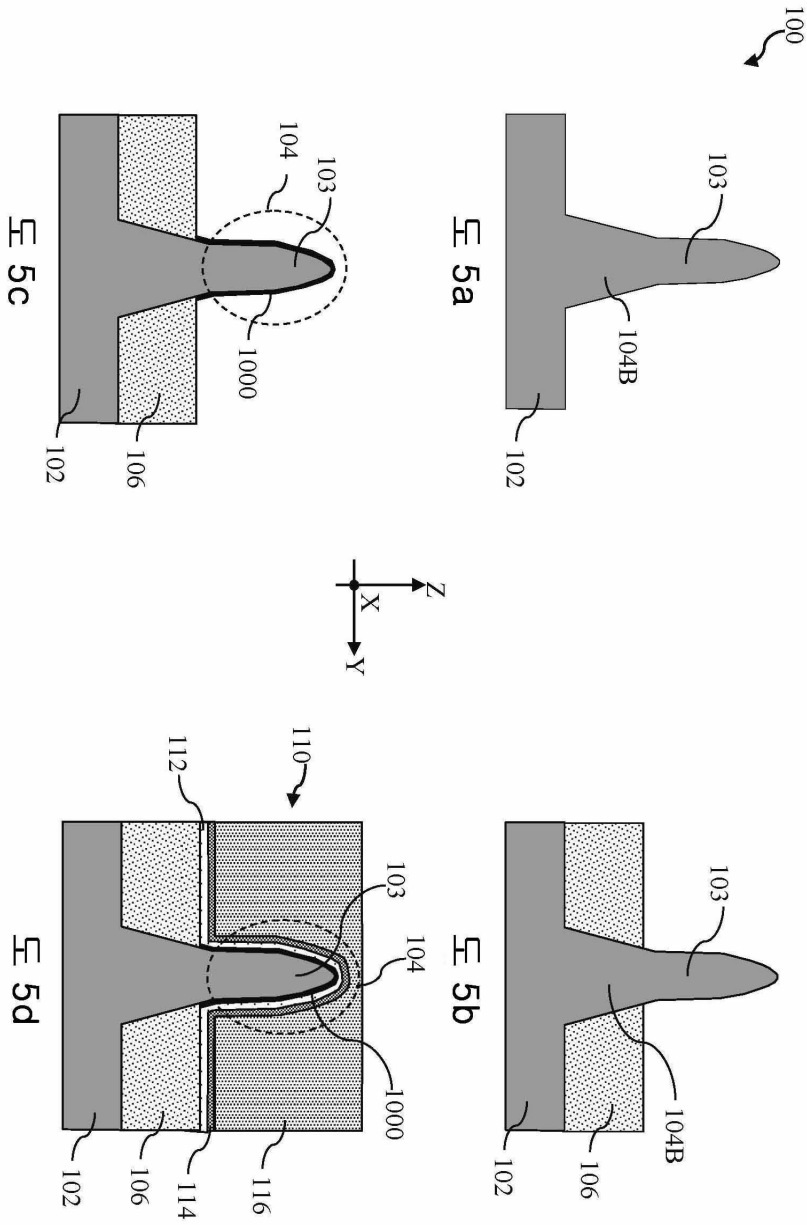
도면3



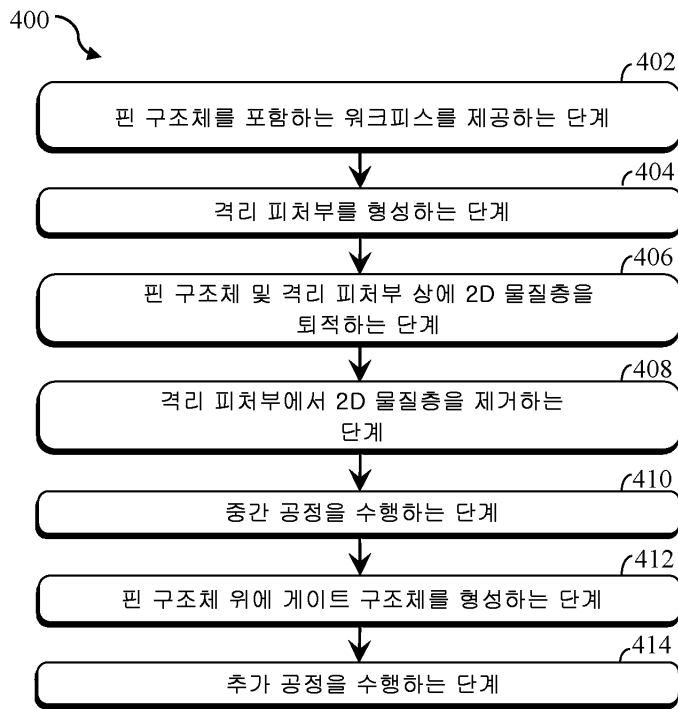
도면4



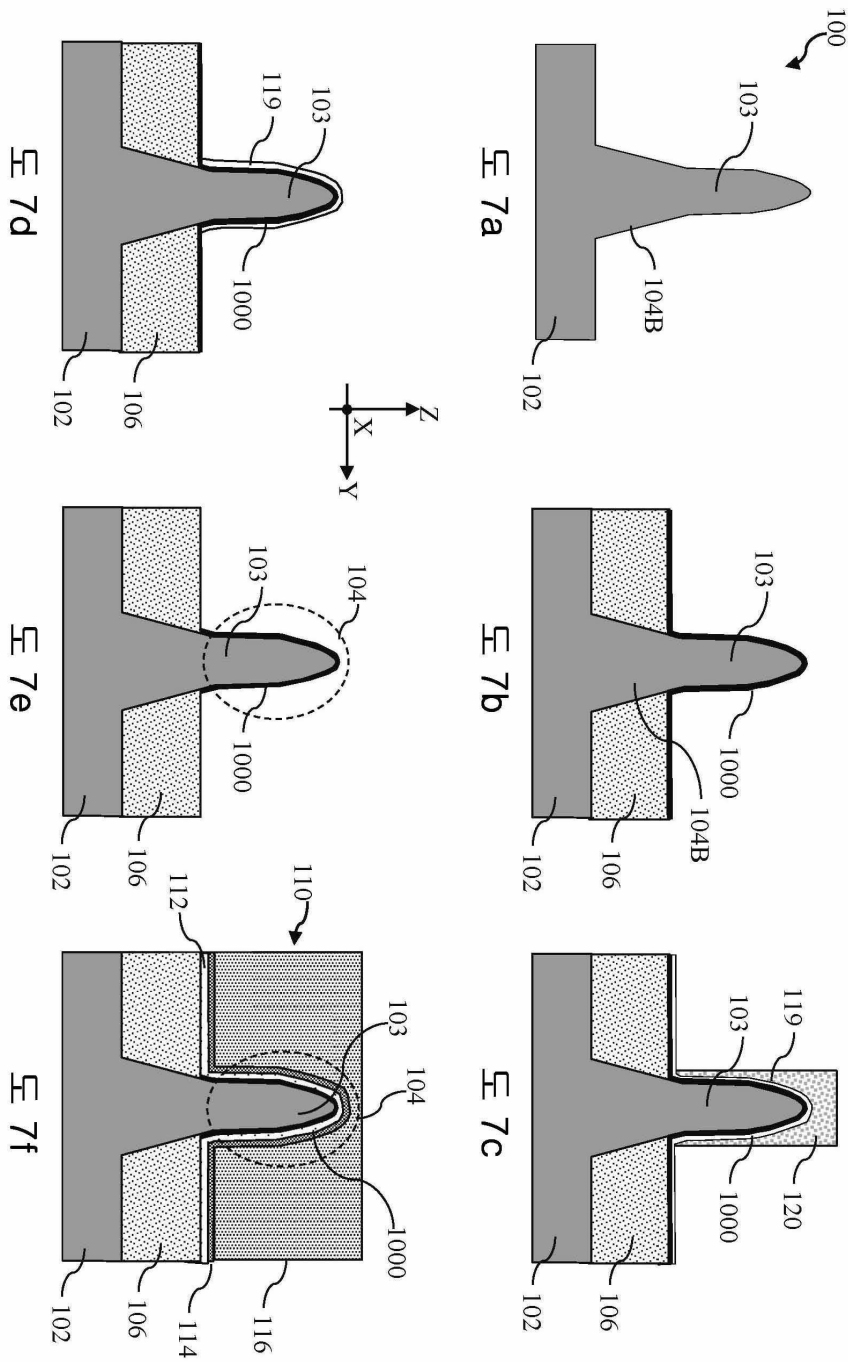
도면5



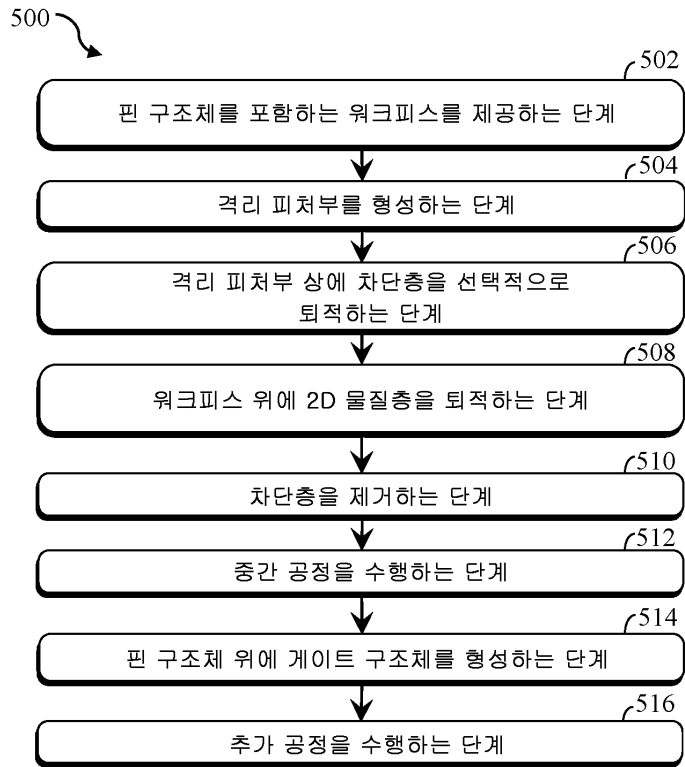
도면6



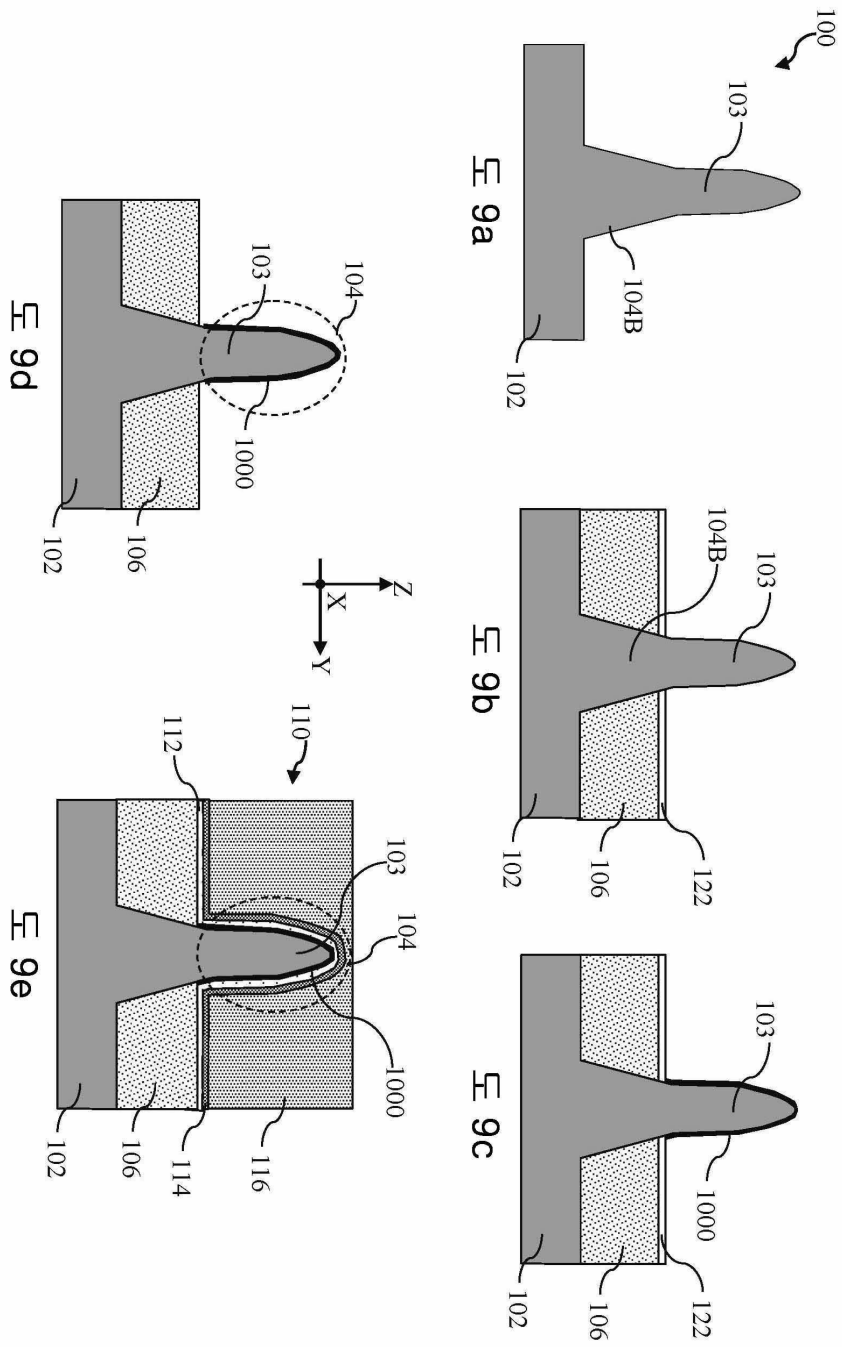
도면7



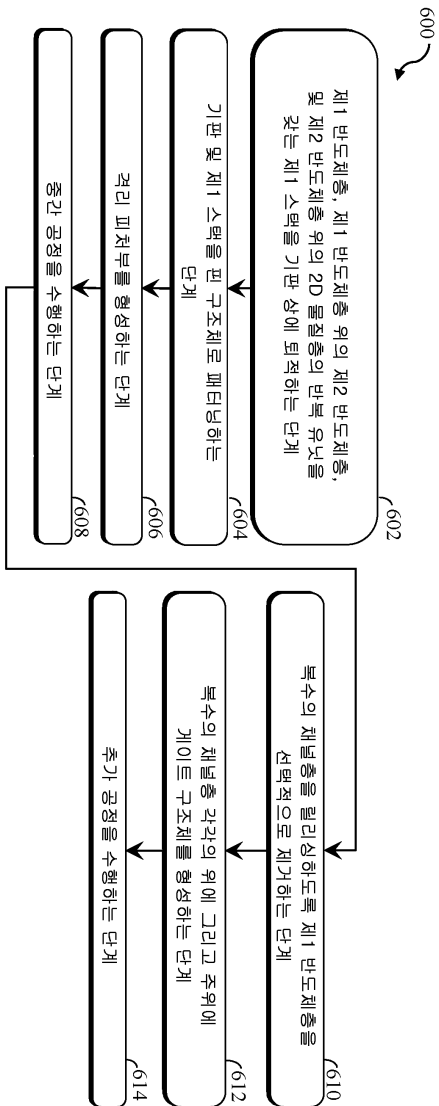
도면8



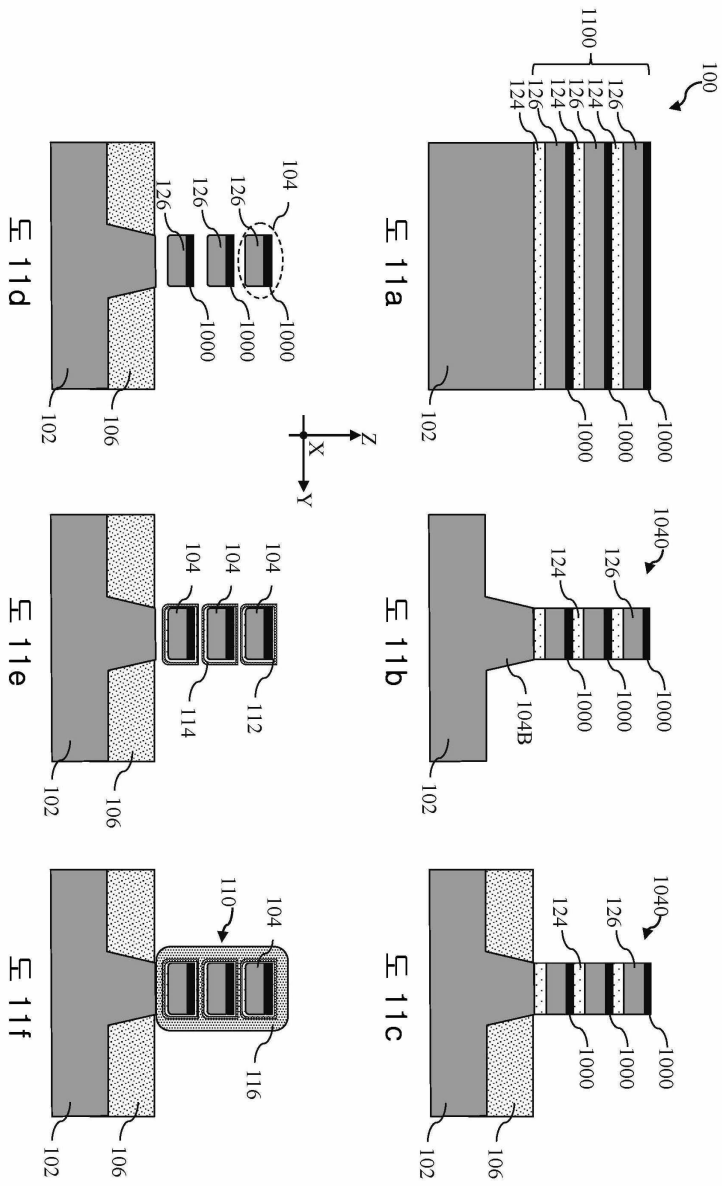
도면9



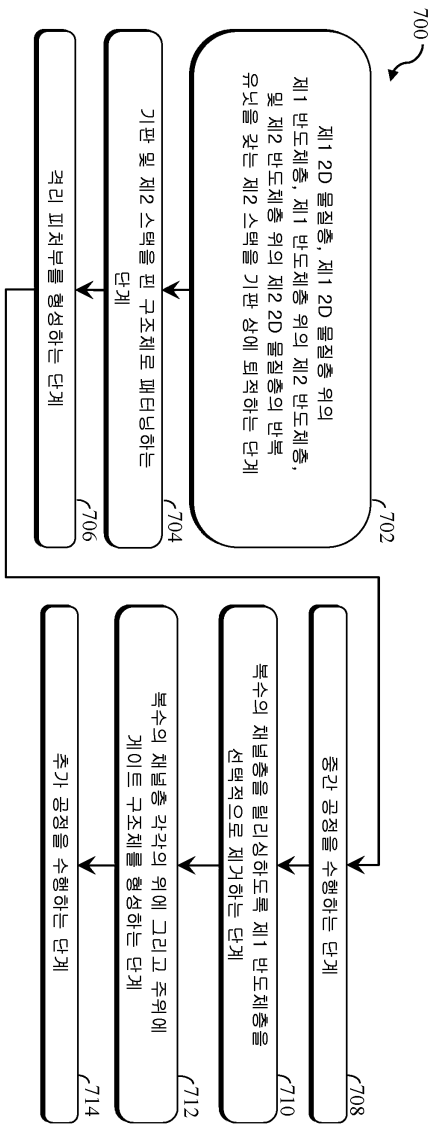
도면10



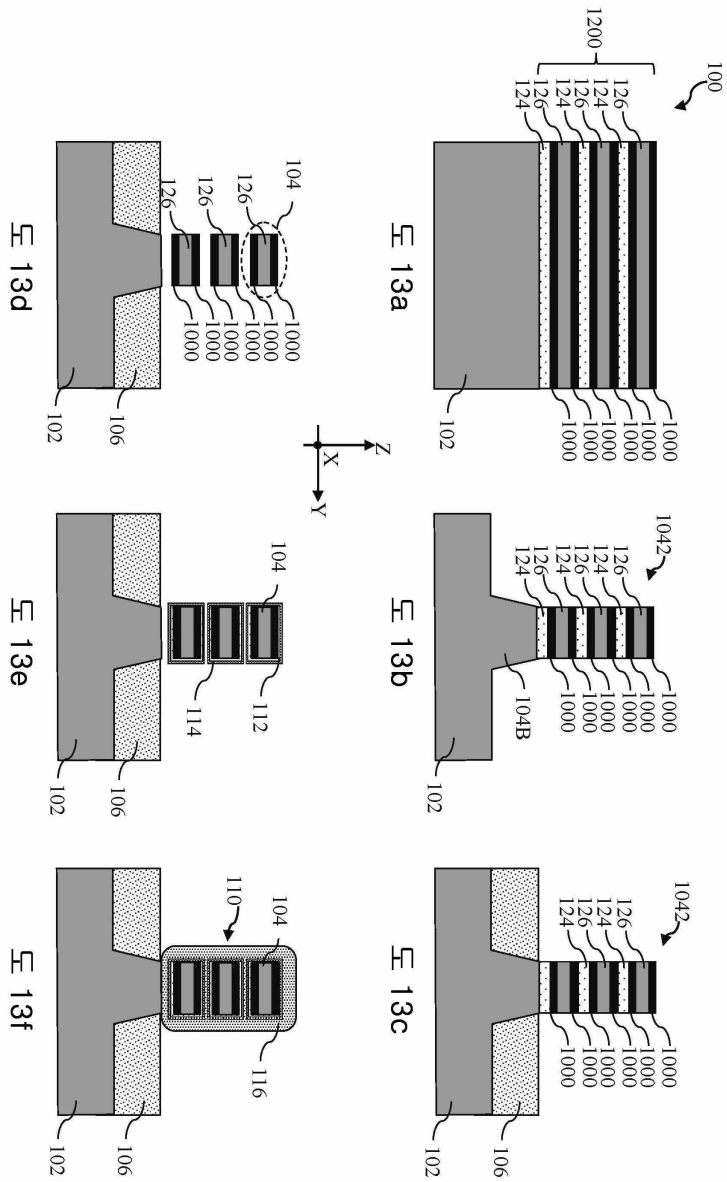
도면11



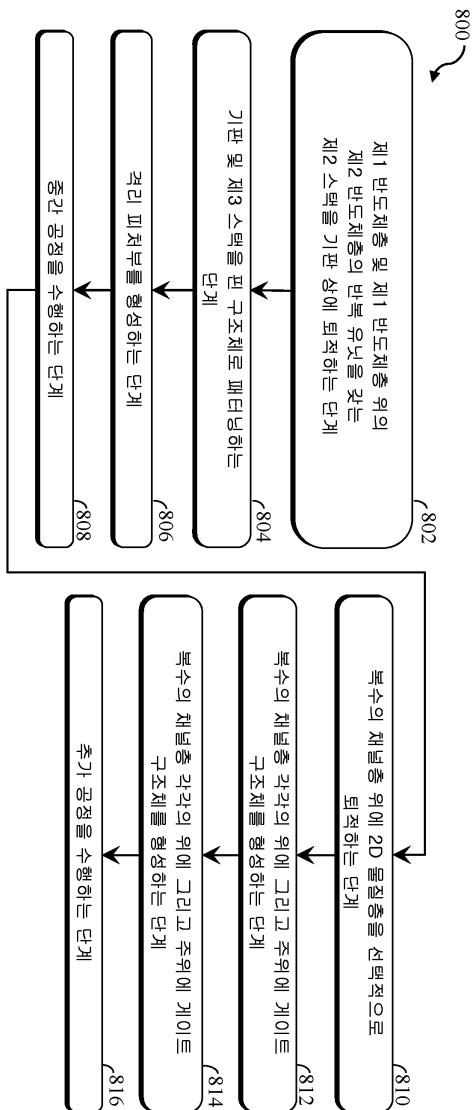
도면12



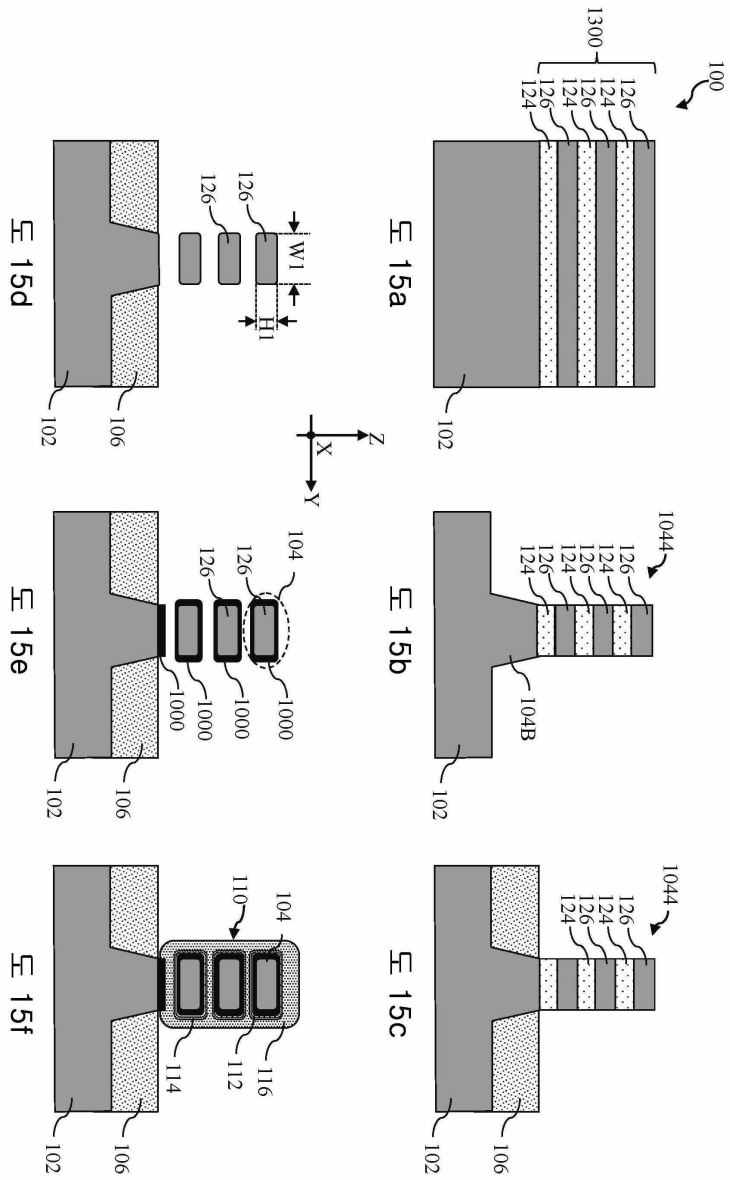
도면13



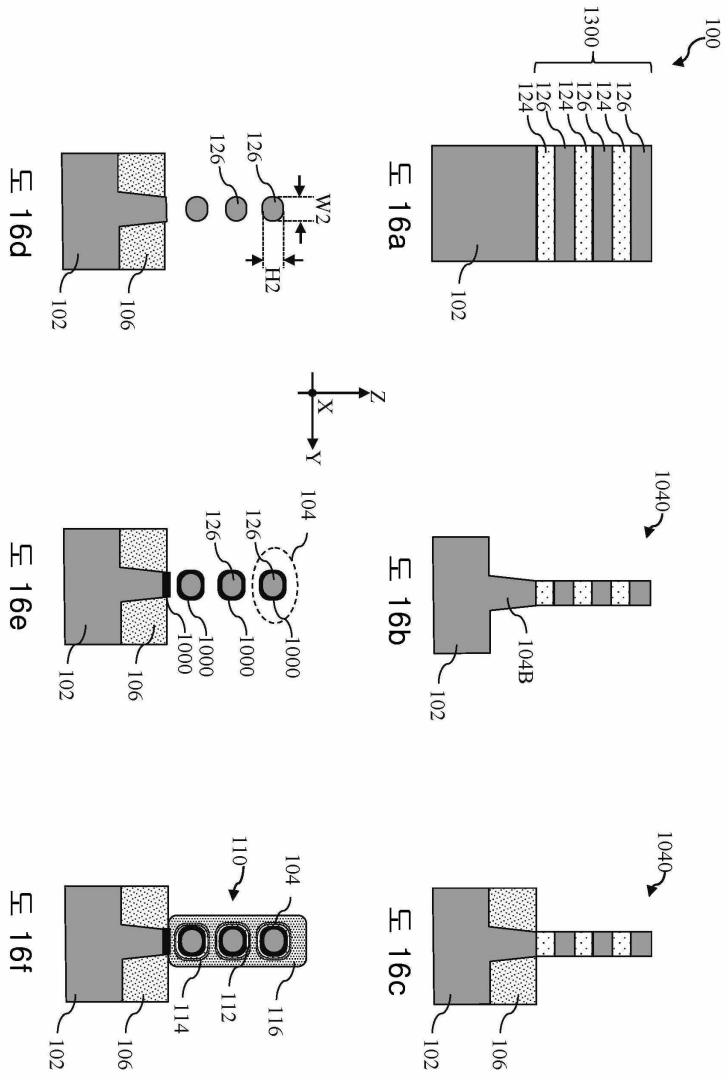
도면14



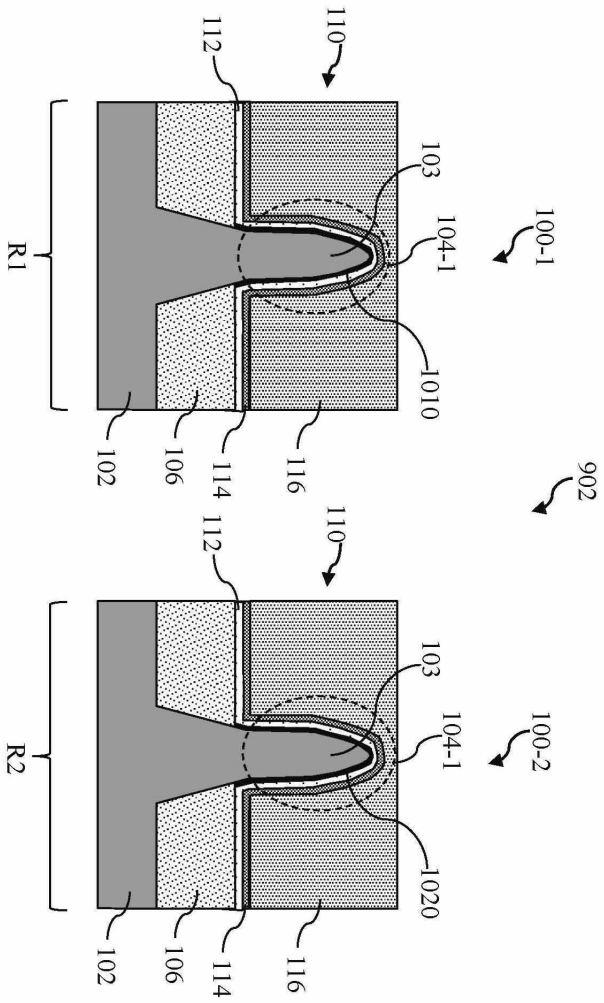
도면15



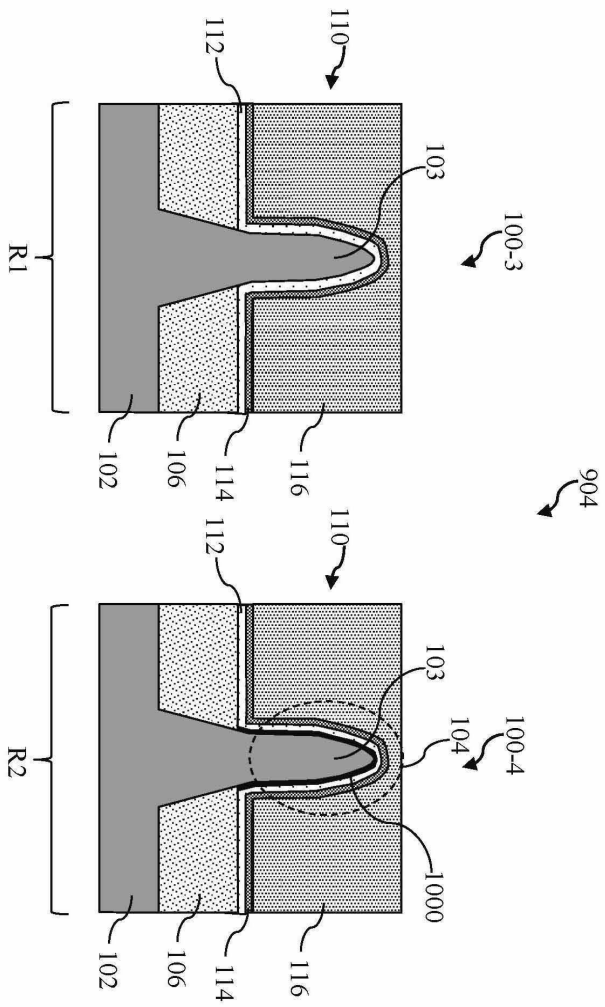
도면16



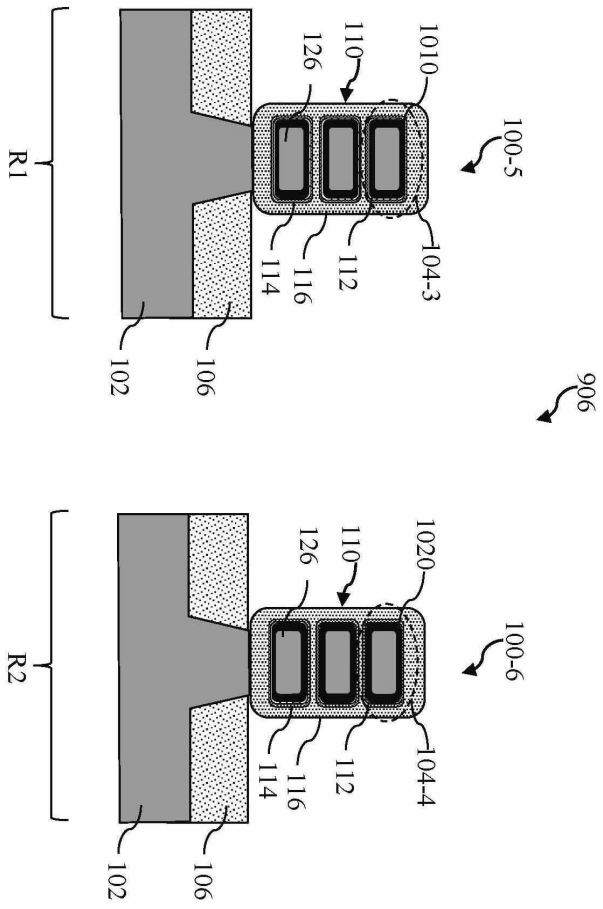
도면17



도면18



도면19



도면20

