



(12)发明专利申请

(10)申请公布号 CN 106982342 A

(43)申请公布日 2017. 07. 25

(21)申请号 201610871330.7

(22)申请日 2016.09.30

(71)申请人 晨星半导体股份有限公司

地址 中国台湾新竹县竹北市台元街26号4楼之1

(72)发明人 余庆

(74)专利代理机构 深圳市威世博知识产权代理事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

H04N 7/01(2006.01)

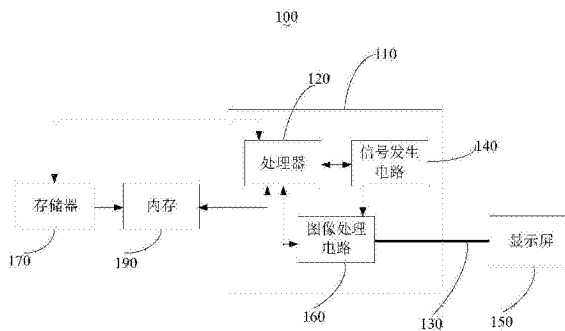
权利要求书3页 说明书6页 附图3页

(54)发明名称

一种显示控制装置以及相应的显示控制方法

(57)摘要

本发明公开了一种显示控制装置及显示控制方法,其中,显示控制装置,用于控制具有第一分辨率的显示屏,且其通过数据传输总线连接至显示屏,包括:处理器,用于控制自存储器读取图像以储存至内存,其中该图像具有第一分辨率;信号发生电路,受控于所述处理器,以分别产生一同步信号、一时钟信号和一控制时序信号,其中时钟信号和同步信号同步;以及一图像处理电路,受控于处理器,以从内存中读取图像并将读取到的图像切割成多个具有第二分辨率的图像;以及根据所述时钟信号,所述同步信号和所述控制时序信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在所述显示屏上显示所述具有第一分辨率的图像。



1. 一种显示控制装置,用于控制具有第一分辨率的显示屏,该显示控制装置通过一数据传输总线连接至所述显示屏,其特征在于,包括:

一处理器,用于控制自一存储器读取一图像以储存至一内存,其中该图像具有第一分辨率;

一信号发生电路,受控于所述处理器,以分别产生一同步信号、一时钟信号和一控制时序信号,其中所述时钟信号和所述同步信号同步;以及

一图像处理电路,受控于所述处理器,以从内存中读取所述图像并将读取到的图像切割成多个具有第二分辨率的图像;以及根据所述时钟信号,和所述同步信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在所述显示屏上显示所述具有第一分辨率的图像,

其中,所述控制时序信号是连同所述多个具有第二分辨率的图像被传送至所述显示屏,用以指示所述多个具有第二分辨率的图像的顺序;所述第一分辨率大于所述第二分辨率,且所述第二分辨率不大于所述数据传输总线所支持的最大分辨率。

2. 根据权利要求1所述的显示控制装置,其特征在于,所述图像处理电路从内存的指定地址读取该图像,获取该图像的内存地址、宽度、高度和图像类型等等信息,并根据获取的信息将具有第一分辨率的图像切割成多个具有第二分辨率的图像。

3. 根据权利要求1所述的显示控制装置,其特征在于,所述信号发生电路还包括:

一同步信号发生器,用于产生所述同步信号;

一时钟信号发生器,与所述同步信号发生器相连接,用于产生所述时钟信号;以及

一控制时序信号发生器,用于产生所述控制时序信号。

4. 根据权利要求1所述的显示控制装置,其特征在于,所述时钟信号与所述同步信号同步的意思是所述时钟信号的上升沿和下降沿分别对齐所述同步信号的脉冲的上升沿。

5. 根据权利要求1所述的显示控制装置,其特征在于,所述图像处理电路将所述具有第一分辨率的图像切割成多个具有第二分辨率的图像后,计算出每张具有第二分辨率的图像在所述内存的起始地址。

6. 根据权利要求5所述的显示控制装置,其特征在于,所述第二分辨率比所述第一分辨率低一个等级,且所述图像处理电路将所述具有第一分辨率的图像切割成四个所述具有第二分辨率的图像。

7. 根据权利要求6所述的显示控制装置,其特征在于,所述四个具有第二分辨率的图像在所述内存的起始地址分别为:

$$\text{addrshift0} = \text{addr};$$

$$\text{addrshift1} = \frac{W}{2} * BPP + \text{addr};$$

$$\text{addrshift2} = W * \frac{H}{2} * BPP + \text{addr};$$

$$\text{addrshift3} = W * \frac{H}{2} * BPP + \frac{W}{2} * BPP + \text{addr};$$

其中,所述addr为所述具有第一分辨率的图像在所述内存的起始地址;所述W为所述具有第一分辨率的图像的宽度;所述H为所述具有第一分辨率的图像的高度;所述BPP取决于

所述具有第一分辨率的图像的颜色格式。

8. 根据权利要求1所述的显示控制装置,其特征在于,所述控制时序信号在一个周期内包括一个第一控制信号和多个第二控制信号,其中,所述第一控制信号与所述第二控制信号相反,且所述第一控制信号控制所述显示屏显示所述多个具有第二分辨率的图像中的第一个图像,而所述第二控制信号控制所述显示屏显示所述多个具有第二分辨率的图像中的其它图像。

9. 根据权利要求1所述的显示控制装置,其特征在于,所述具有第一分辨率的图像为8K图像(7680\*4320),而所述具有第二分辨率的图像为4K图像(3840\*2160)。

10. 一种显示控制方法,应用于一显示控制装置,用于控制具有第一分辨率的显示屏,该显示控制装置通过一数据传输总线连接至所述显示屏,其特征在于,包括:

读取一图像至一内存,其中该图像具有第一分辨率;

分别产生一同步信号,一时钟信号和一控制时序信号,其中所述时钟信号和所述同步信号同步;

从内存中读取所述图像并将读取的所述图像切割成多个具有第二分辨率的图像;以及根据所述时钟信号和所述同步信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在显示屏上显示所述具有第一分辨率的图像;

其中,所述控制时序信号是连同所述多个具有第二分辨率的图像被传送至所述显示屏,用以指示所述多个具有第二分辨率的图像的顺序;所述第一分辨率大于所述第二分辨率,且所述第二分辨率不大于所述数据传输总线所支持的最大分辨率。

11. 如权利要求10所述的显示控制方法,其特征在于,所述将读取的所述图像切割成多个具有第二分辨率的图像的步骤包括:

获取该图像的内存地址、宽度、高度和图像类型等等信息,并根据获取的信息将具有第一分辨率的图像切割成多个具有第二分辨率的图像。

12. 如权利要求10所述的显示控制方法,其特征在于,还包括,在将读取到的所述图像切割成多个具有第二分辨率的图像之后,计算出每个具有第二分辨率的图像在内存的起始地址。

13. 根据权利要求12所述的显示控制方法,其特征在于,所述第二分辨率比所述第一分辨率低一个等级,所述图像被切割成四个所述具有第二分辨率的图像。

14. 根据权利要求13所述的显示控制方法,其特征在于,所述四个具有第二分辨率的图像在所述内存的起始地址分别为:

$$\text{addrshift0} = \text{addr};$$

$$\text{addrshift1} = \frac{W}{2} * BPP + \text{addr};$$

$$\text{addrshift2} = W * \frac{H}{2} * BPP + \text{addr};$$

$$\text{addrshift3} = W * \frac{H}{2} * BPP + \frac{W}{2} * BPP + \text{addr};$$

其中,所述addr为所述具有第一分辨率的图像在所述内存的起始地址;所述W为所述具有第一分辨率的图像的宽度;所述H为所述具有第一分辨率的图像的高度;所述BPP取决于

所述具有第一分辨率的图像的颜色格式。

15. 如权利要求10所述的显示控制方法,其特征在于,所述时钟信号与同步信号同步是指,其上升沿和下降沿分别对齐同步信号的脉冲的上升沿;所述控制时序信号在一个周期内包括一个第一控制信号和多个第二控制信号,第一控制信号与第二控制信号相反,且第一控制信号控制传输多个具有第二分辨率的图像中的第一个图像,而第二控制信号控制传输多个具有第二分辨率的图像中的其它图像。

16. 如权利要求10所述的显示控制方法,其特征在于,所述具有第一分辨率的图像为8K图像(7680\*4320),而所述具有第二分辨率的图像为4K图像(3840\*2160)。

17. 如权利要求12所述的显示控制方法,其特征在于,该多个具有第二分辨率的图像被按照起始地址依次缓存,在存完多个具有第二分辨率的图像时,读取该多个具有第二分辨率的图像,并按照每张图像的起始地址将该多个图像恢复成原具有第一分辨率的图像。

## 一种显示控制装置以及相应的显示控制方法

### 技术领域

[0001] 本发明涉及显示领域,特别是涉及一种能够显示高分辨率图像的显示控制装置以及相应的显示控制方法。

### 背景技术

[0002] 随着电子产品的迅速发展,消费者对电子产品中的显示屏的分辨率的要求越来越高,而高分辨率的显示屏也成为显示装置的主流。目前,4K显示技术已经成为显示装置的主流。但是,事实上,8K显示技术也已经开发设计出来。

[0003] 其中,目前大多数的显示控制装置的硬体平台都是基于4K显示技术,即,大多数显示控制装置的硬体平台仅仅只能支持4K(3840\*2160)以及以下的分辨率的图像,无法支持8K(7680\*4320)分辨率的图像。也就是说,虽然现在已经开发设计出了具有8K分辨率的显示屏,但是,由于其它硬件设备的限制因素,则其极大地局限了8K显示技术的发展。

[0004] 在这些限制因素中,数据传输是关键性的限制因素。事实上,目前处理器的数据处理能力已经及其强大,但是,由于数据传输总线目前只能最大支持4K图像的传输,因此,其限制了整个硬体平台只能最大支持4K图像的处理和显示,这极大地限制了8K显示技术的发展。

[0005] 有鉴于此,有必要设计开发一种新的显示控制装置以及相应的图像显示控制方法,来克服上述缺陷。

### 发明内容

[0006] 本发明主要解决的技术问题是提供一种显示控制装置以及显示控制方法,其能够利用有限的硬体平台来显示高分辨率的图像。

[0007] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种显示控制装置,用于控制具有第一分辨率的显示屏,该显示控制装置通过一数据传输总线连接至所述显示屏,其特征在于,包括:一处理器,用于控制自一存储器读取一图像以储存至一内存,其中该图像具有第一分辨率;一信号发生电路,受控于所述处理器,以分别产生一同步信号、一时钟信号和一控制时序信号,其中时钟信号和所述同步信号同步;以及一图像处理电路,受控于所述处理器,以从内存中读取所述图像并将读取到的图像切割成多个具有第二分辨率的图像;以及根据所述时钟信号和所述同步信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在所述显示屏上显示所述具有第一分辨率的图像,其中,所述控制时序信号是连同所述多个具有第二分辨率的图像被传送至所述显示屏,用以指示所述多个具有第二分辨率的图像的顺序;所述第一分辨率大于所述第二分辨率,且所述第二分辨率不大于所述图像显示控制装置和所述数据传输总线所支持的最大分辨率。

[0008] 为解决上述技术问题,本发明采用的另一个技术方案是:一种显示控制方法,应用于一显示控制装置,用于控制具有第一分辨率的显示屏,该显示控制装置通过一数据传输总线连接至所述显示屏,其特征在于,包括:读取一图像至一内存,其中该图像具有第一分

分辨率;分别产生一同步信号,一时钟信号和一控制时序信号,其中所述时钟信号和所述同步信号同步;从内存中读取所述图像并将读取的所述图像切割成多个具有第二分辨率的图像;以及根据所述时钟信号和所述同步信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在显示屏上显示所述具有第一分辨率的图像;其中,所述控制时序信号是连同所述多个具有第二分辨率的图像被传送至所述显示屏,用以指示所述多个具有第二分辨率的图像的顺序;所述第一分辨率大于所述第二分辨率,且所述第二分辨率不大于所述数据传输总线所支持的最大分辨率。

[0009] 本发明的有益效果是:区别于现有技术的情况,本发明的显示控制装置以及显示控制方法通过将高分辨率的图像切割成多个低分辨率的图像,以进行数据的传输,然后再显示在显示屏中,其极大地降低了对硬体平台的要求,能够在低配置的硬体平台上显示高品质的图像,其成本降低,且极大地扩展了现有的硬体平台的应用范围。

### 附图说明

[0010] 图1是本发明实施例的显示控制装置控制显示屏的示意图;

[0011] 图2是本发明实施例所示的显示装置将具有第一分辨率的图像切割成多个具有第二分辨率的图像的示意图;

[0012] 图3是本发明实施例的显示控制装置的时序图;

[0013] 图4是是本发明实施例的时序控制电路的示意图;

[0014] 图5是本发明实施例的显示控制方法的流程图。

### 具体实施方式

[0015] 在以下描述中阐述了具体的细节以便充分理解本发明。但是本发明能够以多种不同于在此描述的其他方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广。因此本发明不受下面公开的具体实施方式的限制。

[0016] 针对背景技术中提到的缺陷,本发明提供一种新的显示控制装置和显示控制方法。下面将结合附图和实施方式对本发明作进一步的详细描述。

[0017] 请参阅图1,其绘示为本发明实施例的显示控制装置控制显示屏的示意图。如图1所示,本发明实施例的显示装置100包括显示控制装置110和具有第一分辨率的显示屏150,其中,显示控制装置110与显示屏150之间通过数据传输总线130而连接。显示装置100还包括存储器170和内存190,存储器170和内存190可以设置于显示控制装置110之内或者之外。本领域技术人员可知,图1所示存储器170和内存190设置于显示控制装置110之外仅为说明,并不能理解为限制本发明的保护范围。具体的,显示控制装置110包括处理器120,信号发生电路140和图像处理电路160。

[0018] 所述处理器120用以控制自存储器170读取一图像以储存至内存190,其中该图像具有第一分辨率。所述信号发生电路140,受控于所述处理器,以分别产生一同步信号,一时钟信号和一控制时序信号,其中所述时钟信号和所述同步信号同步。所述图像处理电路160,受控于所述处理器,以从内存190中读取所述图像并将读取到的图像切割成多个具有第二分辨率的图像,以及根据所述时钟信号和所述同步信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在所述显示屏150上显示所述具有第

一分辨率的图像。其中,所述控制时序信号是连同所述多个具有第二分辨率的图像被传送至所述显示屏150,用以指示所述多个具有第二分辨率的图像的顺序。

[0019] 其中,第一分辨率大于第二分辨率,且第二分辨率不大于数据传输总线130所支持的最大分辨率。在本实施例中,第二分辨率低于第一分辨率一个等级,例如第一分辨率为7680\*4320,第二分辨率为3840\*2160,而显示控制装置110和数据传输总线130所能支持的最大分辨率也是3840\*2160。也就是说,具有第一分辨率的图像是8K图像,具有第二分辨率的图像是4K图像,而显示控制装置110和第一数据传输总线130只能支持4K图像的传输。

[0020] 因此,在本发明中,为了能够在显示屏150上显示8K图像,则显示控制装置110将8K图像切割成多个4K图像(四个4K图像),并依次将这些4K图像传输至显示屏150,从而在显示屏150上显示出相应的8K图像。在本发明实施例中,具有第一分辨率的图像(8K图像)可以是静态图像,当然,其也可以是动态的视频流。

[0021] 其中,在本实施例中,显示控制装置110包括处理器120、信号发生电路140和图像处理电路160,处理器120分别与信号发生电路140和图像处理电路160相连,分别控制信号发生电路140和图像处理电路160进行各项操作。此外,处理器120可以进一步地连接存储器170和内存190。其中,内存190可以是DRAM存储器,而存储器170可以采用Flash存储器。

[0022] 请一并参阅图2,其中图2绘示为本发明实施例所示的显示控制装置将具有第一分辨率的图像切割成多个具有第二分辨率的图像的示意图。请一并参阅图1-2,处理器120加载并解码存储器170中的具有第一分辨率的图像210(8K图像),将该图像210存储至内存190的指定地址。图像处理电路160从内存190中读取所述图像。具体的,图像处理电路160获取具有第一分辨率的图像210的内存地址、宽度、高度和图像类型等等信息。

[0023] 然后,图像处理电路160根据以上获取的信息将具有第一分辨率的图像210(8K图像)切割成多个具有第二分辨率的图像220(4K图像)。在本实施例中,是将8K(7680\*4320)图像210切割成四张大小相同的4K(3840\*2160)图像220,其分别对应于8K图像的左上部分、右上部分、左下部分和右下部分。

[0024] 在切割完成后,图像处理电路160进一步地计算出每个具有第二分辨率的图像220在内存1113的起始地址,在本实施例中,四张4K图像220的起始地址分别为地址0(addrshift0)、地址1(addrshift1)、地址2(addrshift2)和地址3(addrshift3),其计算公式分别为:

[0025]  $addrshift0 = addr;$

[0026]  $addrshift1 = \frac{W}{2} * BPP + addr;$

[0027]  $addrshift2 = W * \frac{H}{2} * BPP + addr;$

[0028]  $addrshift3 = W * \frac{H}{2} * BPP + \frac{W}{2} * BPP + addr;$

[0029] 其中,addr为具有8K图像210在内存1113的起始地址;W为具有8K图像210的宽度;H为8K图像210的高度;而BPP取决于8K图像210的颜色格式,例如,当8K图像210的颜色格式为ARGB4444时,则BPP取值为2;而当8K图像210的颜色格式为ARGB8888时,则BPP取值为4。

[0030] 然后,图像处理电路160通过数据传输总线130而将切割后的多个具有第二分辨率

的图像220依次传输至显示屏150。

[0031] 请一并参阅图3,其绘示为本发明实施例的显示控制装置的时序图。信号发生器140还包括一同步信号发生器,一时钟信号发生器和一控制时序信号发生器,用于分别产生所述同步信号,所述时钟信号和所述控制时序信号。此时钟信号与同步信号同步。在本实施例中,时钟信号与同步信号同步,意思是其上升沿和下降沿分别对齐同步信号的脉冲的上升沿。比如说,同步信号为50Hz时,时钟信号也为50Hz,并且时钟信号的上升沿和下降沿分别对齐同步信号的脉冲的上升沿。所述控制时序信号是连通所述多个具有第二分辨率的图像被传送至所述显示屏150。控制时序信号在一个周期内包括一个第一控制信号和多个第二控制信号,第一控制信号与第二控制信号相反,且第一控制信号控制显示屏150显示多个具有第二分辨率的图像220中的第一个图像,而第二控制信号控制显示屏150显示多个具有第二分辨率的图像220中的其它图像。

[0032] 在本实施例中,第一控制信号为逻辑高信号“1”,而第二控制信号为逻辑低信号“0”。当然,本领域技术人员可以理解的是,也可以将第一控制信号设定成逻辑低信号“0”,而将第二控制信号设定成逻辑高信号“1”。由于本实施例是将一张8K图像210分割成4张4K图像220,因此,在本实施例中,控制时序信号在一个周期内包括一个逻辑高信号“1”和三个逻辑低信号“0”。

[0033] 当控制时序信号为逻辑高信号“1”时,则在显示屏120左上角显示第一张4K图像;随后,控制信号GPIO为三个逻辑低信号“0”,则分别依次在其右上角显示第二张4K图像,在其左下角显示第三张4K图像,以及在其右下角显示第四张4K图像。

[0034] 也就是说,这多个具有第二分辨率的图像被按照起始地址依次缓存,在存完多个具有第二分辨率的图像时,读取该多个具有第二分辨率的图像,并按照每张图像的起始地址将该多个图像恢复成原具有第一分辨率的图像。比如说,在对应4个同步信号的时间内收到四张4K图像后,这四张4K图像会恢复成原8K图像,用户在显示屏150上就会看到一副完整的8K图像。

[0035] 具体地,显示屏150还包括一时序控制电路,用于接收该多个具有第二分辨率的图像,并依据控制时序信号恢复出来的原具有第一分辨率的图像,将该图像转换成图像数据和驱动信号,来驱动控制该显示屏150上显示出完整的8K图像。

[0036] 请参阅图4,其绘示为本发明实施例的时序控制电路400的示意图。在一实施例中,时序控制电路400包括处理器401,缓存器402和内存403。处理器401分别与缓存器402和内存403相连接。时序控制电路接收多个具有第二分辨率的图像时,处理器401依据控制时序信号控制该多个具有第二分辨率的图像按照起始地址依次缓存至缓存器402,在存完四张具有第二分辨率的图像时,处理器401读取该四张具有第二分辨率的图像,并按照每张图像的起始地址将该四张图像恢复成一张图像存于该内存403。根据起始地址计算每张图像的宽度,高度和图像格式的方式和上述的切割方式正好相逆,此处不赘述。要注意的是,本领域技术人员可以理解的是,所述缓存器402和内存403可以设置在时序控制电路400中,也可以设置在时序控制电路外,图4仅为说明示意,并不能看作限制本发明的保护范围。

[0037] 本领域技术人员可以理解的是,本发明中的处理器120、401可以采用市面上流行的处理装置,而目前市面主流的处理装置其数据处理已经极其强大,因此,处理器120完全有能力处理8K图像。而限制8K技术的主要是数据传输能力的不足,即,在本实施例中,主要



是数据传输总线130的数据传输能力,其只能传输4K的图像,而不能传输8K的图像。也就是说,显示装置100所能支持的最大分辨率主要是由数据传输总线130所能支持的最大分辨率而决定。

[0038] 因此,尽管数据传输总线130的数据传输能力较差,其只能传输4K图像,但是,本发明实施例的显示装置100通过将8K图像进行切割成多个4K图像,依次传输这些4K图像,则其仍然可以在显示屏150上显示8K图像。

[0039] 当然,本领域技术人员可以理解的是,本发明并不局限于将8K图像分割成4个4K图像,其也可以将8K图像切割成16个2K (1960\*1080) 图像或者64个1K (980\*540) 图像,等等。或者,当数据传输总线130只能支持最大分辨率为1960\*1080的图像时,则当显示装置100需要显示4K图像时,则可以将4K图像切割成4个2K图像。或者,当数据传输技术得到极大地发展,数据传输总线可以传输8K图像时,而当显示装置100需要显示16K图像时,则对应地,可以将16K图像切割成4个8K图像。

[0040] 此外,在上面的描述中,8K图像被切割成4张4K图像,其是按照左上部分、右上部分、左下部分和右下部分的次序而依次被发送并同时显示在显示屏120的左上区域、右上区域、左下区域和右下区域。但是,本领域技术人员可以理解的是,其也可以按照其它的次序被依次发送并进行同时显示,例如,左上部分、左下部分、右上部分和右下部分等等。

[0041] 另,本发明还提供了一种显示控制方法,应用于一显示控制装置,用于控制具有第一分辨率的显示屏,该显示装置通过一数据传输总线连接至所述显示屏。请参阅图5,其绘示为本发明实施例的显示控制方法的流程图。如图5所示,本发明实施例的显示控制方法包括:

[0042] 步骤510:读取一图像至一内存,其中该图像具有第一分辨率;

[0043] 步骤520:分别产生一同步信号,一时钟信号和一控制时序信号,其中所述时钟信号和所述同步信号同步;

[0044] 步骤530:从内存中读取所述图像并将读取的所述图像切割成多个具有第二分辨率的图像;以及

[0045] 步骤540:根据所述时钟信号和所述同步信号经由所述数据传输总线依次传输所述多个具有第二分辨率的图像至所述显示屏,以在显示屏上显示所述具有第一分辨率的图像;

[0046] 其中,所述控制时序信号是连同所述多个具有第二分辨率的图像被传送至所述显示屏,用以指示所述多个具有第二分辨率的图像的顺序;其中,所述第一分辨率大于所述第二分辨率,且所述第二分辨率不大于所述数据传输总线所支持的最大分辨率。

[0047] 具体的,步骤530中的图像切割方法参照图2的切割方法的实施例,具有第一分辨率的图像被储存至内存的指定地址,并获取具有第一分辨率的图像的内存地址、宽度、高度和图像类型等等信息,根据获取的信息将具有第一分辨率的图像切割成多个具有第二分辨率的图像。在一实施例中,是将8K (7680\*4320) 图像210切割成四张大小相同的4K (3840\*2160) 图像220,其分别对应于8K图像的左上部分、右上部分、左下部分和右下部分。在切割完成后,进一步地计算出每个具有第二分辨率的图像在内存的起始地址。所述第二分辨率比所述第一分辨率低一个等级,所述图像被切割成四个所述第二分辨率的图像在所述内存的起始地址分别为:

[0048]  $\text{addrshift0} = \text{addr};$

[0049]  $\text{addrshift1} = \frac{W}{2} * BPP + \text{addr};$

[0050]  $\text{addrshift2} = W * \frac{H}{2} * BPP + \text{addr};$

[0051]  $\text{addrshift3} = W * \frac{H}{2} * BPP + \frac{W}{2} * BPP + \text{addr};$

[0052] 其中,所述addr为所述具有第一分辨率的图像在所述内存的起始地址;所述W为所述具有第一分辨率的图像的宽度;所述H为所述具有第一分辨率的图像的高度;所述BPP取决于所述具有第一分辨率的图像的颜色格式。

[0053] 步骤520中的各信号的时序图请参考图3,此处不赘述。比如,时钟信号与同步信号同步,其上升沿和下降沿分别对齐同步信号的脉冲的上升沿。比如说,同步信号为50Hz时,时钟信号也为50Hz,并且时钟信号的上升沿和下降沿分别对齐同步信号的脉冲的上升沿。而控制时序信号在一个周期内包括一个第一控制信号和多个第二控制信号,第一控制信号与第二控制信号相反,且第一控制信号控制传输多个具有第二分辨率的图像中的第一个图像,而第二控制信号控制传输多个具有第二分辨率的图像中的其它图像。

[0054] 该多个具有第二分辨率的图像被按照起始地址依次缓存,在存完多个具有第二分辨率的图像时,读取该多个具有第二分辨率的图像,并按照每张图像的起始地址将该多个图像恢复成一张图像。根据起始地址计算每张图像的宽度,高度和图像格式的方式和上述的切割方式正好相逆,此处不赘述。

[0055] 综上所述,本发明的显示装置以及图像显示方法通过将高分辨率的图像切割成多个低分辨率的图像,以进行数据的传输,然后再显示在显示屏中,其极大地降低了对硬件平台的要求,能够在低配置的硬件平台上显示高品质的图像,其成本降低,且极大地扩展了现有的硬件平台的应用范围。

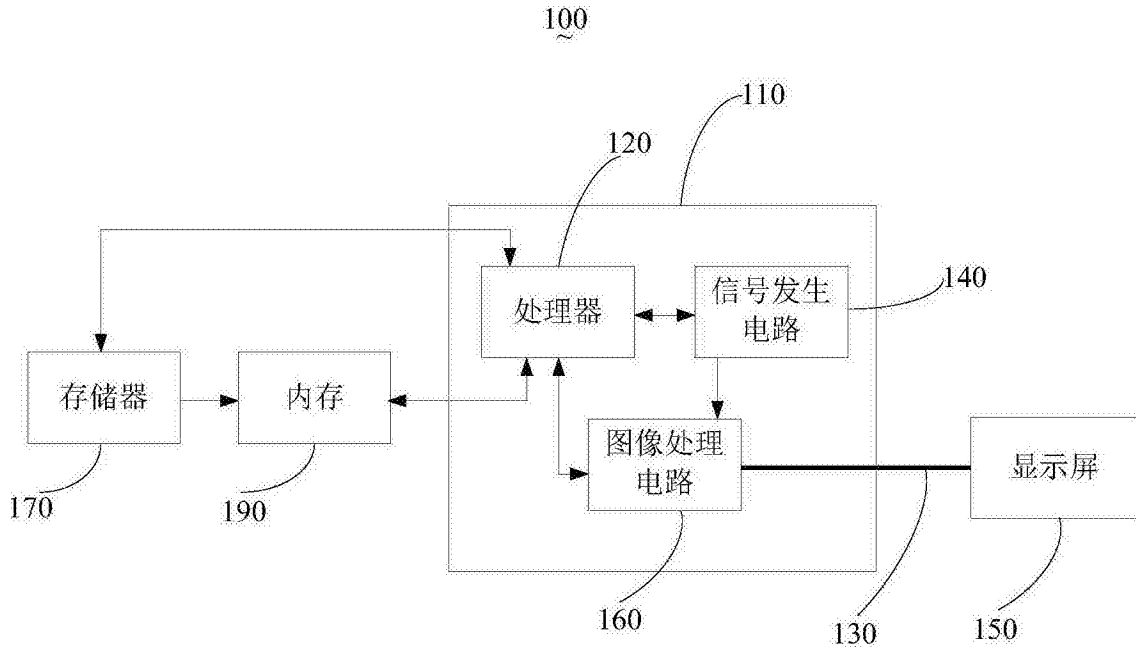


图1

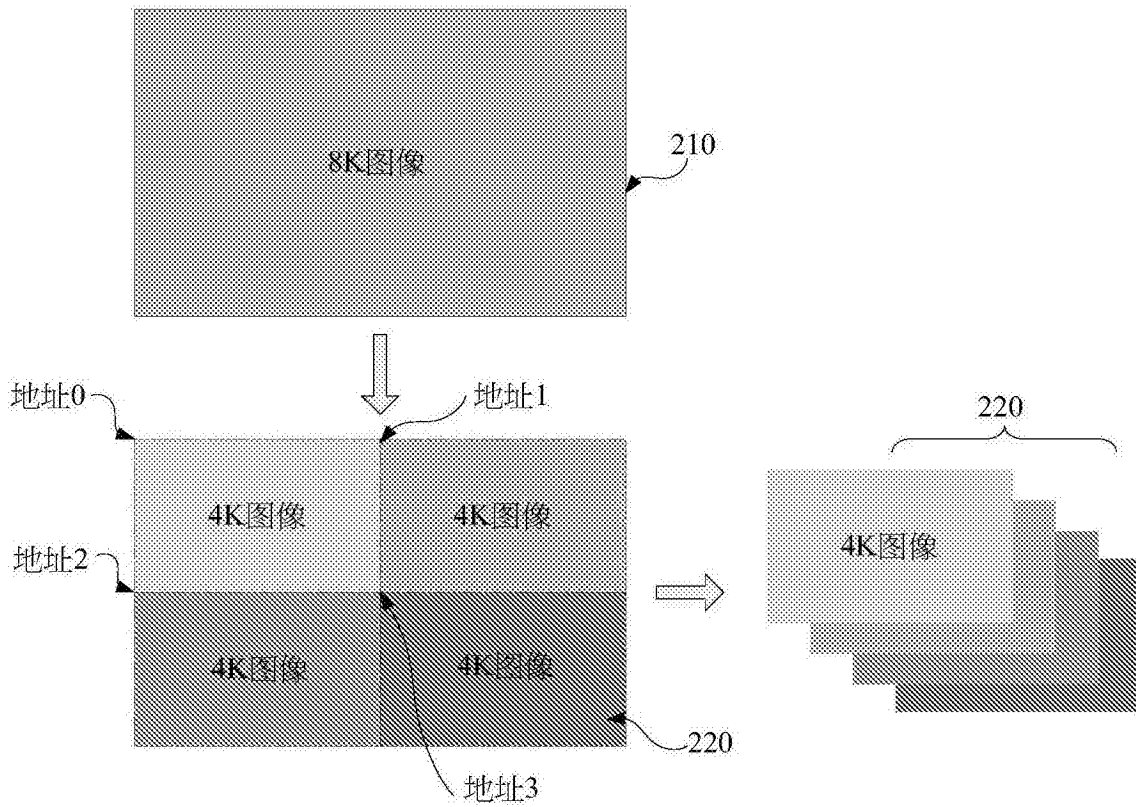


图2

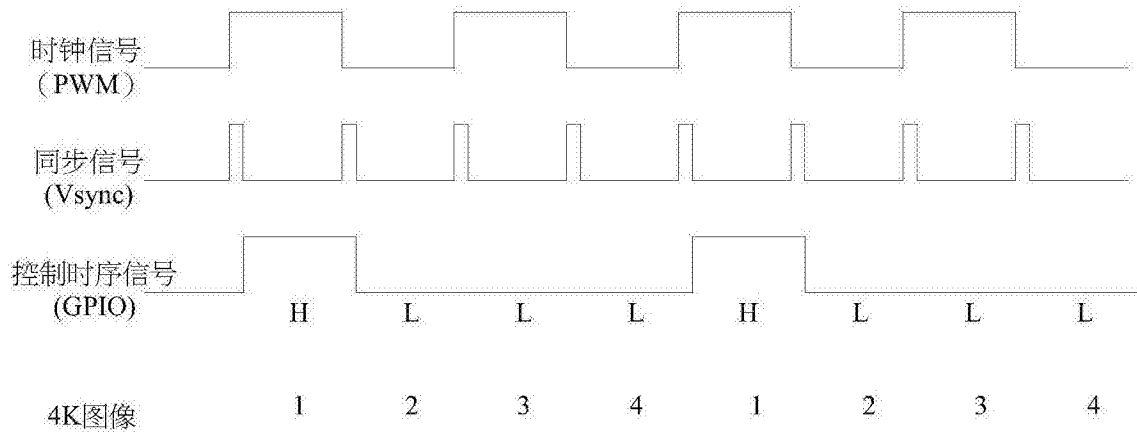


图3

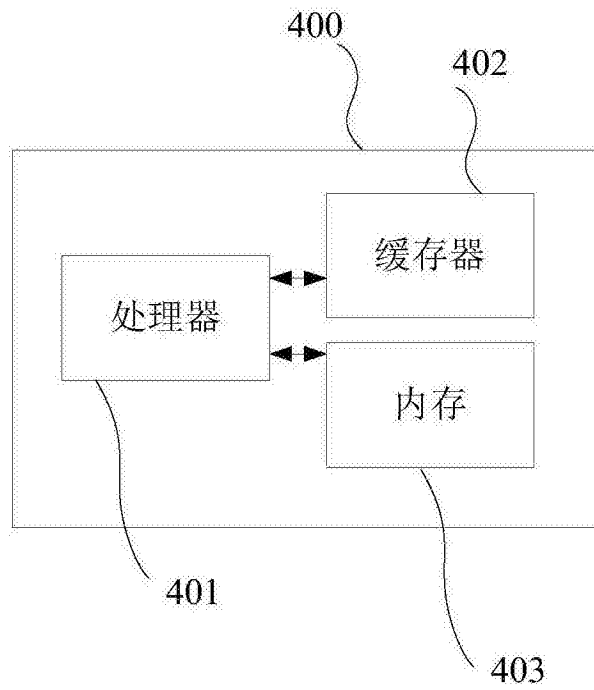


图4

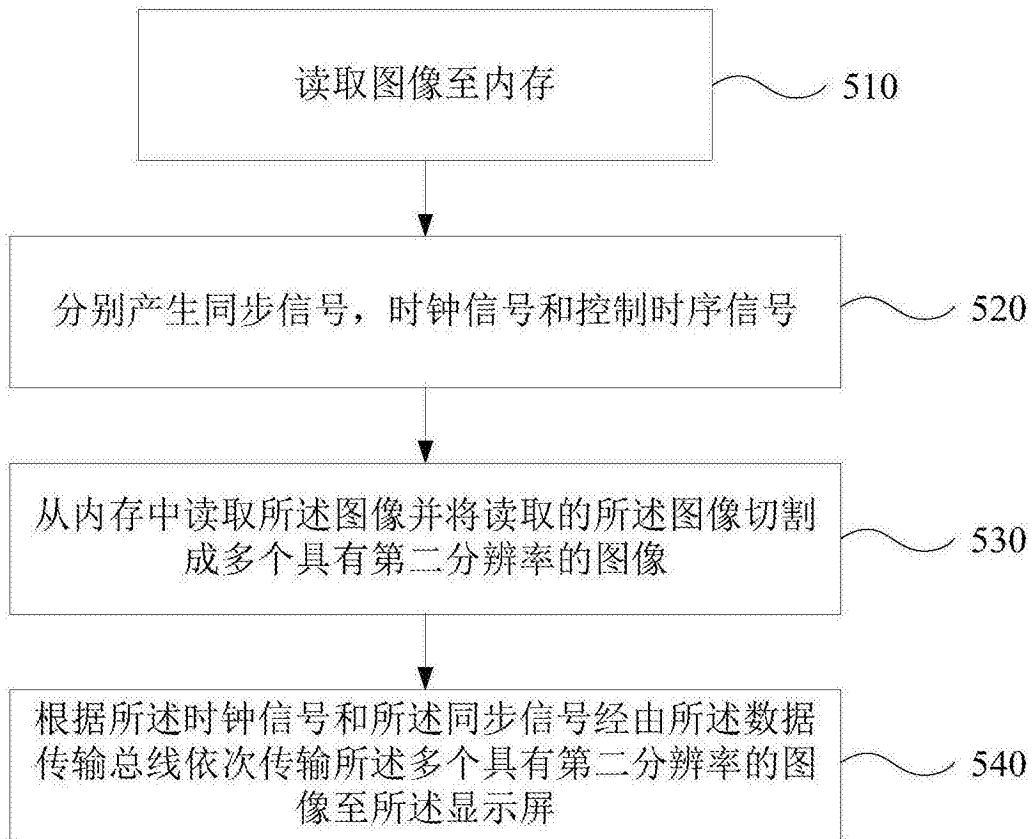


图5