



(12) 发明专利申请

(10) 申请公布号 CN 117425355 A

(43) 申请公布日 2024. 01. 19

(21) 申请号 202310723562.8

(22) 申请日 2023.06.16

(30) 优先权数据

17/866,756 2022.07.18 US

(71) 申请人 格芯(美国)集成电路科技有限公司

地址 美国纽约州

(72) 发明人 V·戈皮纳特 B·C·保罗

胡晓莉

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

专利代理师 程伟 王锦阳

(51) Int. Cl.

H10B 63/00 (2023.01)

H10N 79/00 (2023.01)

H10N 70/00 (2023.01)

权利要求书2页 说明书5页 附图5页

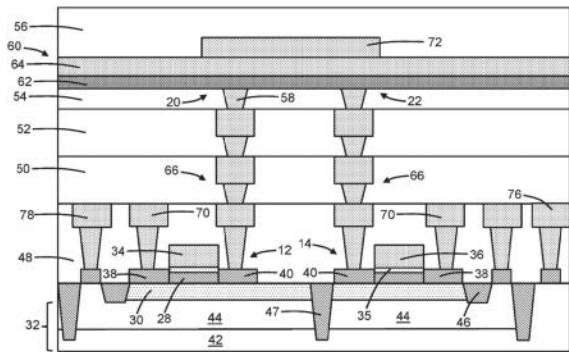
(54) 发明名称

具有共用电极条带的电阻式存储器元件阵列

列

(57) 摘要

本发明涉及具有共用电极条带的电阻式存储器元件阵列,提供包括电阻式存储器元件的结构以及形成包括电阻式存储器元件的结构的方法。该结构包括多个第一电阻式存储器元件,该多个第一电阻式存储器元件包括多个第一底部电极、第一顶部电极、以及位于该第一顶部电极与该多个第一底部电极间的第一开关层。该结构还包括多个第二电阻式存储器元件,该多个第二电阻式存储器元件包括多个第二底部电极、第二顶部电极、以及位于该第二顶部电极与该多个第二底部电极间的第二开关层。该第一顶部电极由该多个第一电阻式存储器元件共用,且该第二顶部电极由该多个第二电阻式存储器元件共用。



1. 一种结构,其特征在于,包括:

多个第一电阻式存储器元件,包括多个第一底部电极、第一顶部电极、以及位于该第一顶部电极与该多个第一底部电极间的第一开关层,该第一顶部电极由该多个第一电阻式存储器元件共用;以及

多个第二电阻式存储器元件,包括多个第二底部电极、第二顶部电极、以及位于该第二顶部电极与该多个第二底部电极间的第二开关层,该第二顶部电极由该多个第二电阻式存储器元件共用。

2. 如权利要求1所述的结构,其特征在于,该第一顶部电极由第一外缘围绕,且还包括:

第一金属特征,以第一重叠布置方式与该第一顶部电极连接,该第一金属特征被封闭于该第一顶部电极的该第一外缘内。

3. 如权利要求2所述的结构,其特征在于,该第一顶部电极在该第一金属特征与该第一开关层间沿垂直方向设置。

4. 如权利要求2所述的结构,其特征在于,该第一金属特征直接接触该第一顶部电极。

5. 如权利要求4所述的结构,其特征在于,该第一金属特征在无需中间过孔的情况与该第一顶部电极连接。

6. 如权利要求2所述的结构,其特征在于,该第二顶部电极由第二外缘围绕,且还包括:

第二金属特征,以第二重叠布置方式与该第二顶部电极连接,该第二金属特征被封闭于该第二顶部电极的该第二外缘内。

7. 如权利要求6所述的结构,其特征在于,该第一顶部电极在该第一金属特征与该第一开关层间沿垂直方向设置,且该第二顶部电极在该第二金属特征与该第二开关层间沿该垂直方向设置。

8. 如权利要求6所述的结构,其特征在于,该第一金属特征直接接触该第一顶部电极,且该第二金属特征直接接触该第二顶部电极。

9. 如权利要求1所述的结构,其特征在于,还包括:

多个场效应晶体管,该多个场效应晶体管的每一个包括分别与该多个第一底部电极的其中之一连接的漏极区。

10. 如权利要求9所述的结构,其特征在于,还包括:

半导体衬底;

介电层,设置于该多个场效应晶体管与该半导体衬底间;

第一阱,位于该半导体衬底中;以及

多个深沟槽隔离区,完全穿过该介电层并完全穿过该第一阱,以将该第一阱分成多个隔离段,且该第一阱的各隔离段设置于该多个场效应晶体管的其中一下方。

11. 如权利要求10所述的结构,其特征在于,该第一阱具有第一导电类型,且还包括:

第二阱,位于该半导体衬底中,该第二阱具有与该第一导电类型相反的第二导电类型,其中,该多个深沟槽隔离区进入该第二阱中。

12. 如权利要求10所述的结构,其特征在于,还包括:

多个浅沟槽隔离区,完全穿过该介电层。

13. 如权利要求10所述的结构,其特征在于,该第一阱的该多个隔离段经配置以被独立偏置。

14. 如权利要求9所述的结构,其特征在于,还包括:

位线,平行于该第一顶部电极及该第二顶部电极纵向排列,
其中,该多个场效应晶体管的每一个包括分别与该位线连接的源极区。

15. 如权利要求14所述的结构,其特征在于,该多个场效应晶体管包括定义字线的共用栅极电极,且该字线横向于该位线纵向排列。

16. 如权利要求1所述的结构,其特征在于,该多个第一底部电极以第一行布置,且该第一顶部电极平行于该第一行纵向排列。

17. 如权利要求16所述的结构,其特征在于,该多个第二底部电极以第二行布置,且该第二顶部电极平行于该第二行纵向排列。

18. 如权利要求1所述的结构,其特征在于,该第一顶部电极与该第二顶部电极由间隙隔开。

19. 一种方法,其特征在于,包括:

形成多个第一电阻式存储器元件,该多个第一电阻式存储器元件包括多个第一底部电极、第一顶部电极、以及位于该第一顶部电极与该多个第一底部电极间的第一开关层,其中,该第一顶部电极由该多个第一电阻式存储器元件共用;以及

形成多个第二电阻式存储器元件,该多个第二电阻式存储器元件包括多个第二底部电极、第二顶部电极、以及位于该第二顶部电极与该多个第二底部电极间的第二开关层,其中,该第二顶部电极由该多个第二电阻式存储器元件共用。

20. 如权利要求19所述的方法,其特征在于,该第一顶部电极由第一外缘围绕,且还包括:

形成以重叠布置方式与该第一顶部电极连接的金属特征,
其中,该金属特征被封闭于该第一顶部电极的该第一外缘内。

具有共用电极条带的电阻式存储器元件阵列

技术领域

[0001] 本申请涉及集成电路及半导体装置制造,尤其涉及包括电阻式存储器元件的结构以及形成包括电阻式存储器元件的结构的方法。

背景技术

[0002] 电阻式随机访问存储器装置提供一种嵌入式非易失性存储器技术。电阻式随机访问存储器装置的位单元(bitcell)包括电阻式存储器元件以及控制用以编程该电阻式存储器元件的操作的访问晶体管。由于电阻式存储器元件是非易失性的,因此,当该电阻式随机访问存储器装置不通电时,该电阻式存储器元件保留数据位作为储存内容。电阻式随机访问存储器装置的该非易失性与易失性存储器技术例如静态随机访问存储器装置(其中,在断电时所储存的内容最终丢失)以及动态随机访问存储器装置(其中,若不定期刷新,所储存的内容丢失)截然不同。

[0003] 电阻式存储器元件包括设置于底部电极与顶部电极之间的开关层。可通过改变该开关层上的电阻来编程该电阻式存储器元件,以提供代表所储存的数据位的不同内容储存状态(也就是,高电阻状态及低电阻状态)。可通过在该顶部及底部电极上施加编程电压来对该开关层改性(modified),该编程电压足以形成在该开关层的厚度上跨接的一个或多个导电细丝(filament),从而设置该低电阻状态。可例如通过从该些电极的其中一个或两个向该开关层中扩散导电种类(例如,金属离子)来形成该导电细丝。还可通过施加编程电压来破坏该些导电细丝,以将该电阻式存储器元件重置于该高电阻状态。在该电阻式存储器元件被编程以后,通过测量在该电阻式存储器元件上的电压降可读取内容储存状态。

[0004] 需要改进的包括电阻式存储器元件的结构以及形成包括电阻式存储器元件的结构的方法。

发明内容

[0005] 依据本发明的一个实施例,一种结构包括多个第一电阻式存储器元件,该多个第一电阻式存储器元件包括多个第一底部电极、第一顶部电极、以及位于该第一顶部电极与该多个第一底部电极之间的第一开关层。该结构还包括多个第二电阻式存储器元件,该多个第二电阻式存储器元件包括多个第二底部电极、第二顶部电极、以及位于该第二顶部电极与该多个第二底部电极之间的第二开关层。该第一顶部电极由该多个第一电阻式存储器元件共用,且该第二顶部电极由该多个第二电阻式存储器元件共用。

[0006] 依据本发明的另一个实施例,一种方法包括形成多个第一电阻式存储器元件,该多个第一电阻式存储器元件包括多个第一底部电极、第一顶部电极、以及位于该第一顶部电极与该多个第一底部电极之间的第一开关层。该方法还包括形成多个第二电阻式存储器元件,该多个第二电阻式存储器元件包括多个第二底部电极、第二顶部电极、以及位于该第二顶部电极与该多个第二底部电极之间的第二开关层。该第一顶部电极由该多个第一电阻式存储器元件共用,且该第二顶部电极由该多个第二电阻式存储器元件共用。

附图说明

[0007] 包含于并构成本说明书的一部分的附图示例说明本发明的各种实施例,并与上面所作的有关本发明的概括说明以及下面所作的有关该些实施例的详细说明一起用以解释本发明的该些实施例。在该些附图中,类似的附图标记表示不同视图中类似的特征。

[0008] 图1显示依据本发明的实施例的电阻式存储器元件阵列的布局的示意顶视图。

[0009] 图2显示大体沿图1中的线2-2所作的剖视图。

[0010] 图2A显示大体沿图1中的线2A-2A所作的剖视图。

[0011] 图3显示大体沿图1中的线3-3所作的剖视图。

[0012] 图3A显示大体沿图1中的线3A-3A所作的剖视图。

具体实施方式

[0013] 请参照图1、2、2A、3、3A并依据本发明的实施例,电阻式随机访问存储器装置的结构10包括场效应晶体管12、14、16、18以及分别与场效应晶体管12、14、16、18耦接以定义不同的位单元的电阻式存储器元件20、22、24、26。场效应晶体管12、14、16、18(为该位单元提供访问晶体管)可通过使用绝缘体上硅衬底制造,该绝缘体上硅衬底包括半导体层28、介电层30、以及衬底32。半导体层28通过中间介电层30与衬底32隔开。半导体层28可由半导体材料例如单晶硅组成,且可为本征或轻掺杂p型。介电层30可由介电材料例如二氧化硅组成,其为电性绝缘体。衬底32可由半导体材料例如硅组成,并可为轻掺杂p型。介电层30具有与半导体层28相接的上交界面,介电层30具有与衬底32相接的下交界面,且该上下交界面由介电层30的厚度隔开。在一个实施例中,半导体层28可具有适于制造全耗尽绝缘体上硅(fully-depleted silicon-on-insulator;FDSOI)场效应晶体管的厚度。在一个实施例中,半导体层28可具有在约2纳米(nm)至约20纳米的范围内的厚度。在一个实施例中,介电层30可具有在约10纳米至约50纳米的范围内的厚度。

[0014] 场效应晶体管12与场效应晶体管16可包括定义一条字线的共用栅极电极34,且场效应晶体管14与场效应晶体管18可包括定义另一条字线的共用栅极电极36。栅极电极34、36可通过沉积层堆叠并利用光刻及蚀刻工艺图案化该层堆叠来形成。栅极电极34、36可由导体组成,例如掺杂多晶硅(也就是,掺杂多晶硅)。在栅极电极34、36与半导体层28之间可设置由电性绝缘体例如二氧化硅组成的栅极介电层35。各场效应晶体管12、14、16、18还可包括源极区38及漏极区40,该源极漏极区可具有由外延半导体材料(例如硅或硅锗)构成的隆起部,并可包含例如n型掺杂物(例如砷或磷)。

[0015] 通过例如在给定注入条件下的覆被离子注入(blanket ion implantation)引入掺杂物,可在衬底32中形成阱42。该注入条件(例如,离子种类、剂量、动能)可经选择以调节阱42的电性及物理特性。在一个实施例中,阱42可包含一定浓度的n型掺杂物(例如砷或磷),以提供n型导电性。可在半导体层28的顶部表面访问阱42。

[0016] 通过例如在给定注入条件下的离子注入引入掺杂物,可在衬底32中形成阱44。阱44在阱42与介电层30之间沿垂直方向设置,并可在半导体层28的顶部表面访问阱44。可形成图案化注入掩模,以定义暴露于该离子注入的选定区域。该注入掩模可包括有机光阻层,其经施加并图案化以形成暴露该选定区域并至少部分确定阱44的位置及水平尺寸的开口。该注入掩模的厚度及阻止能力足以阻止在掩蔽区域中注入离子。该注入条件(例如,离子种

类、剂量、动能)可经选择以调节阱44的电性及物理特性。在一个实施例中,阱44可经一定浓度的p型掺杂物(例如硼)掺杂(例如,重掺杂),以提供p型导电性。

[0017] 形成穿过介电层30并进入衬底32中的浅沟槽隔离区46及深沟槽隔离区47。与浅沟槽隔离区46相比,深沟槽隔离区47在衬底32中延伸至较大的深度。尤其,深沟槽隔离区47可完全穿过阱44,以使阱44包括位于各场效应晶体管12、14、16、18下方的电性隔离段。该电性隔离允许独立偏置(尤其相对于阱42独立偏置)阱44的各段。

[0018] 浅沟槽隔离区46可通过利用光刻及蚀刻工艺图案化浅沟槽,沉积介电材料以填充该浅沟槽,以及平坦化及/或凹入该介电材料来形成。深沟槽隔离区47可通过利用光刻及蚀刻工艺图案化深沟槽,沉积介电材料以填充该深沟槽,以及平坦化及/或凹入该介电材料来形成。在一个实施例中,浅沟槽隔离区46及深沟槽隔离区47可包含源自通过化学气相沉积沉积并通过化学机械抛光平坦化的层的介电材料,例如二氧化硅。

[0019] 请继续参照图1、2、2A、3、3A,互连结构可形成于场效应晶体管12、14、16、18上方,并可包括多个金属化层级,各金属化层级具有一个或多个介电层48、50、52、54、56。位于各金属化层级中的一个或多个介电层48、50、52、54、56可由为电性绝缘体的介电材料组成,例如二氧化硅或低k介电材料。

[0020] 电阻式存储器元件20、22、24、26设置于该互连结构中,并可布置成由行和列表征的阵列。各电阻式存储器元件20、22、24、26包括可在一个或多个介电层54中通过光刻及蚀刻工艺图案化的开口中形成的底部电极58,且底部电极58可为由沉积于该开口中并通过化学机械抛光平坦化的金属(例如钽、氮化钛或氮化钽,或其组合)组成的接触件。底部电极58呈多行分布,且由底部电极58构成的该些行可彼此平行排列。各底部电极58可定义电阻式存储器元件20、22、24、26的其中之一的阴极。

[0021] 包括开关层62及顶部电极层64的条带60、61设置于底部电极58上方。开关层62可由金属氧化物(例如氧化钪、氧化镁、氧化钽、氧化钛或氧化铝)或介电材料(例如氮化硅或二氧化硅)组成。顶部电极层64可由金属组成,例如钨、氮化钛、氮化钽或铂。彼此断开连接的条带60、61可通过以层堆叠方式沉积开关层62及顶部电极层64并利用光刻及蚀刻工艺图案化层62、64来形成。

[0022] 条带60、61以并排布置方式设置,其中,在相邻成对的条带60、61之间的间隙由来自一个或多个介电层54的介电材料填充。各底部电极58经设置以与条带60、61的其中之一的开关层62电性及物理接触。每一行底部电极58中的底部电极58可与条带60、61的其中之一的开关层62电性及物理连接。电阻式存储器元件20、22共用条带60,其中,顶部电极层64提供共同的阳极,且各电阻式存储器元件20、22包括其各自单独的底部电极58。类似地,电阻式存储器元件24、26共用条带61,其中,顶部电极层64提供共同的接触或阳极,且各电阻式存储器元件24、26包括其各自单独的底部电极58。

[0023] 该互连结构的该金属化层级可包括由堆叠的接触件、过孔塞以及金属特征定义的垂直互连66,以物理及电性连接场效应晶体管12的漏极区40与电阻式存储器元件20的底部电极58,场效应晶体管14的漏极区40与电阻式存储器元件22的底部电极58,场效应晶体管16的漏极区40与电阻式存储器元件24的底部电极58,以及场效应晶体管18的漏极区40与电阻式存储器元件26的底部电极58。该互连结构还包括通过位线指(bit line finger)70与场效应晶体管12、14的源极区38物理及电性连接的位线68,且该互连结构还包括通过位线

指70与场效应晶体管16、18的源极区38物理及电性连接的位线69。位线68、69可与包括例如位线驱动器、多路复用器、以及感测放大器的周边电路连接。由栅极电极34、36定义的字线可与包括例如字线驱动器的周边电路连接。

[0024] 条带60、61(提供电阻式存储器元件20、22、24、26的阳极)沿与位线68、69相同的方向纵向排列。在一个实施例中,条带60、61可平行于位线68、69纵向排列。由栅极电极34、36定义的字线沿与条带60、61不同的方向纵向排列。在一个实施例中,定义字线的栅极电极34、36可横向(垂直)于条带60、61纵向排列。条带60、61与位线68、69的平行排列以及定义字线的横向于条带60、61的栅极电极34、36及位线68、69的排列实现下面说明的自适应后偏置。

[0025] 各条带60、61由外缘59完全围绕。在设置于条带60、61上方的该互连结构的金属化层级中形成金属特征72、73。在一个实施例中,金属特征72可与条带60直接接触(也就是,直接着陆于其上),且金属特征73可与条带61直接接触(也就是,直接着陆于其上),这在金属特征72、73与条带60、61之间建立无过孔连接。金属特征72与条带60重叠,以使金属特征72设置于由条带60的外缘59定义的边界或边缘内,因此,金属特征72被完全封闭于条带60内。金属特征73与条带61重叠,以使金属特征73设置于由条带61的外缘59定义的边界或边缘内,因此,金属特征73被完全封闭于条带61内。

[0026] 该互连结构还可包括通常与阱42连接的连接件76以及与阱44的不同隔离段独立连接的连接件78。阱44的各段通过深沟槽隔离区47及下方的阱42与阱44的相邻段电性隔离。与阱44的各隔离段的独立连接件78允许阱44的各隔离段独立于阱44的其它隔离段而偏置,从而实现自适应本体偏置方案。例如,可向由栅极电极34定义的字线施加电压以选择场效应晶体管12进行操作(例如,擦除),并可将由栅极电极36定义的字线接地,位于场效应晶体管12下方的阱44的隔离段及阱42可通过向阱44的隔离段及阱42施加电压而被正向偏置,且与不活跃位单元关联的未选择的场效应晶体管14、18下方的阱44的隔离段可通过向阱44的隔离段施加相反极性的电压而被反向偏置。阱44的隔离段沿与栅极电极34所定义的字线相同的方向取向及解码。未选择的场效应晶体管14、18被有效偏置于等于字线电压的一小部分的电压电平,以有效地最小化过驱动应力。

[0027] 该自适应本体偏置方案可有效地提升装置性能并降低泄漏。该自适应本体偏置方案还可有效地减轻施加于该未选择的场效应晶体管(在此例中为未选择的场效应晶体管14、18)的应力电压,从而可允许减小栅极介电层35的厚度。

[0028] 条带60、61(提供电阻式存储器元件20、22、24、26的阳极)可通过使用非临界掩模来图案化,与传统阳极相比,这可限制形成条带60、61形式的阳极的成本。通过利用深沟槽隔离区47对阱44分段而实现的该自适应偏置方案,可降低可靠性风险。结构10是可缩放的,从而以最小的错位风险减少位单元面积。

[0029] 上述方法用于集成电路芯片的制造。制造者可以原始晶圆形式(例如,作为具有多个未封装芯片的单个晶圆)、作为裸管芯,或者以封装形式分配所得的集成电路芯片。可将该芯片与其它芯片、分立电路元件和/或其它信号处理装置集成,作为中间产品或最终产品的部分。该最终产品可为包括集成电路芯片的任意产品,例如具有中央处理器的计算机产品或智能手机。

[0030] 本文中引用的由近似语言例如“大约”、“大致”及“基本上”所修饰的术语不限于所

指定的精确值。该近似语言可对应于用以测量该值的仪器的精度,且除非另外依赖于该仪器的精度,否则可表示所述值的 $\pm 10\%$ 。

[0031] 本文中引用术语例如“垂直”、“水平”等作为示例来建立参考框架,并非限制。本文中所使用的术语“水平”被定义为与半导体衬底的传统平面平行的平面,而不论其实际的三维空间取向。术语“垂直”及“正交”是指垂直于如刚刚所定义的层级的方向。术语“侧向”是指在该水平平面内的方向。

[0032] 与另一个特征“连接”或“耦接”的特征可与该另一个特征直接连接或耦接,或者可存在一个或多个中间特征。如果不存在中间特征,则特征可与另一个特征“直接连接”或“直接耦接”。如存在至少一个中间特征,则特征可与另一个特征“非直接连接”或“非直接耦接”。在另一个特征“上”或与其“接触”的特征可直接在该另一个特征上或与其直接接触,或者可存在一个或多个中间特征。如果不存在中间特征,则特征可直接在另一个特征“上”或与其“直接接触”。如存在至少一个中间特征,则特征可“不直接”在另一个特征“上”或与其“不直接接触”。若一个特征延伸于另一个特征上方并覆盖其部分,则不同的特征可“重叠”。

[0033] 对本发明的各种实施例所作的说明是出于示例说明的目的,而非意图详尽无遗或限于所揭示的实施例。许多修改及变更对于本领域的普通技术人员将显而易见,而不背离所述实施例的范围及精神。本文中所使用的术语经选择以最佳解释实施例的原理、实际应用或在市场已知技术上的技术改进,或者使本领域的普通技术人员能够理解本文中所揭示的实施例。

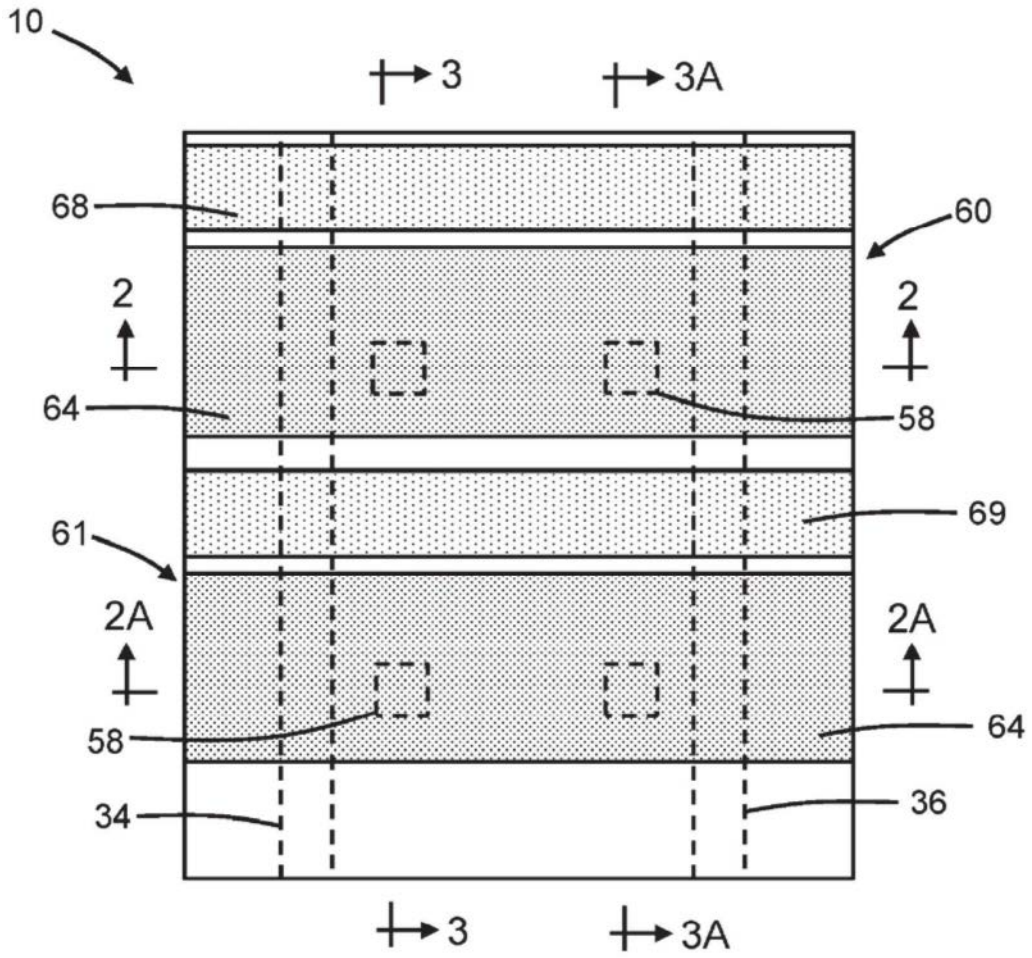


图1

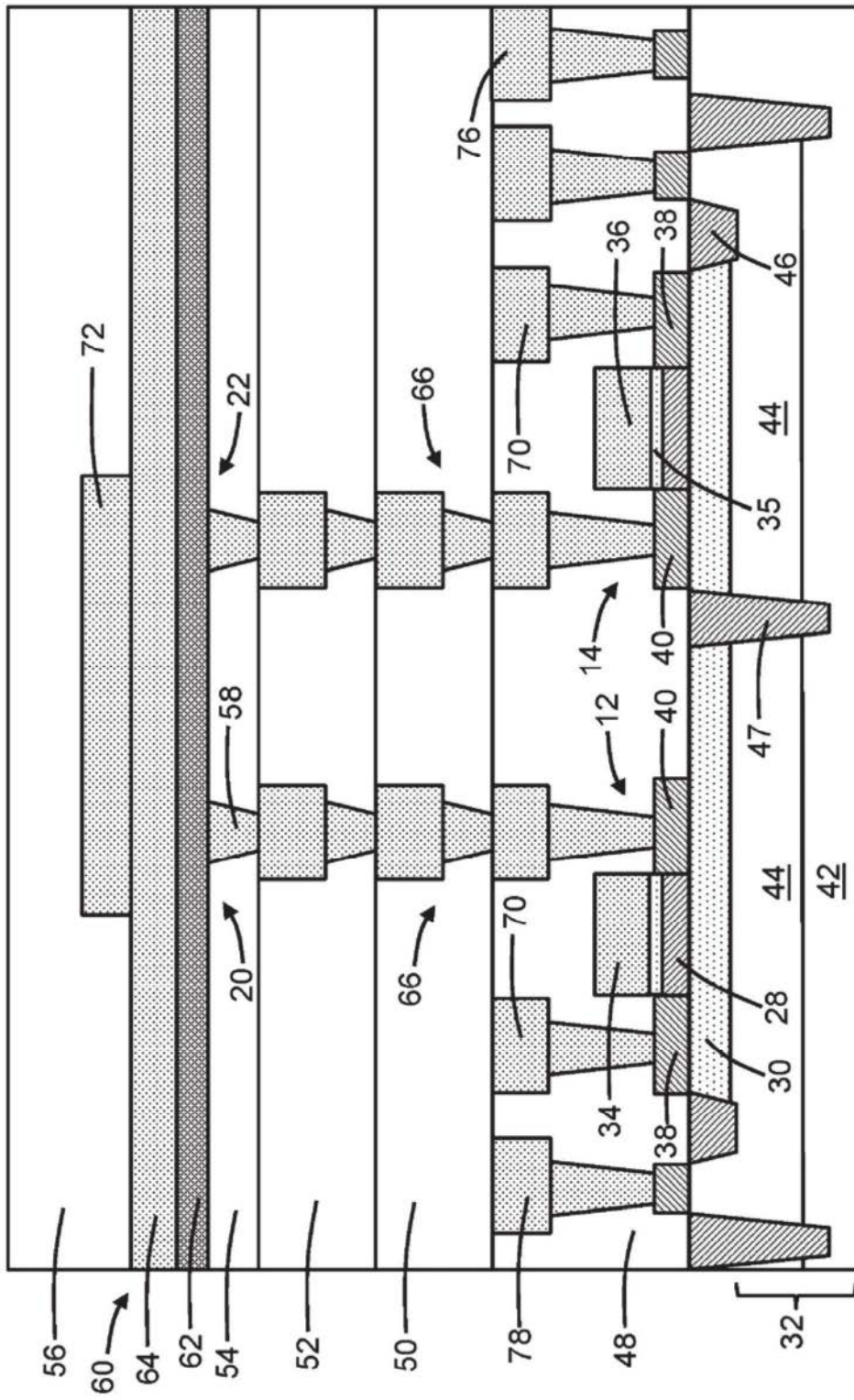


图2

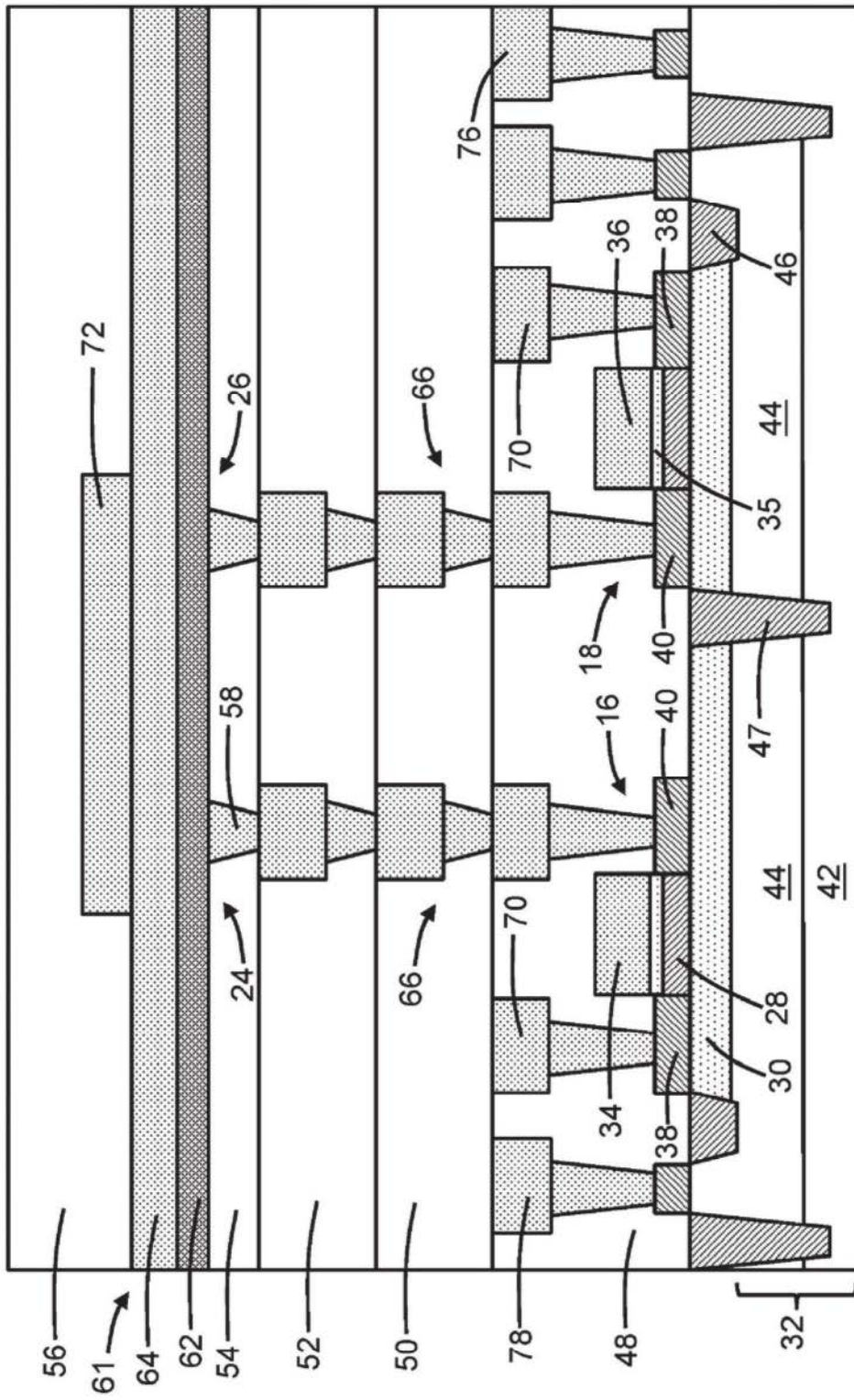


图2A

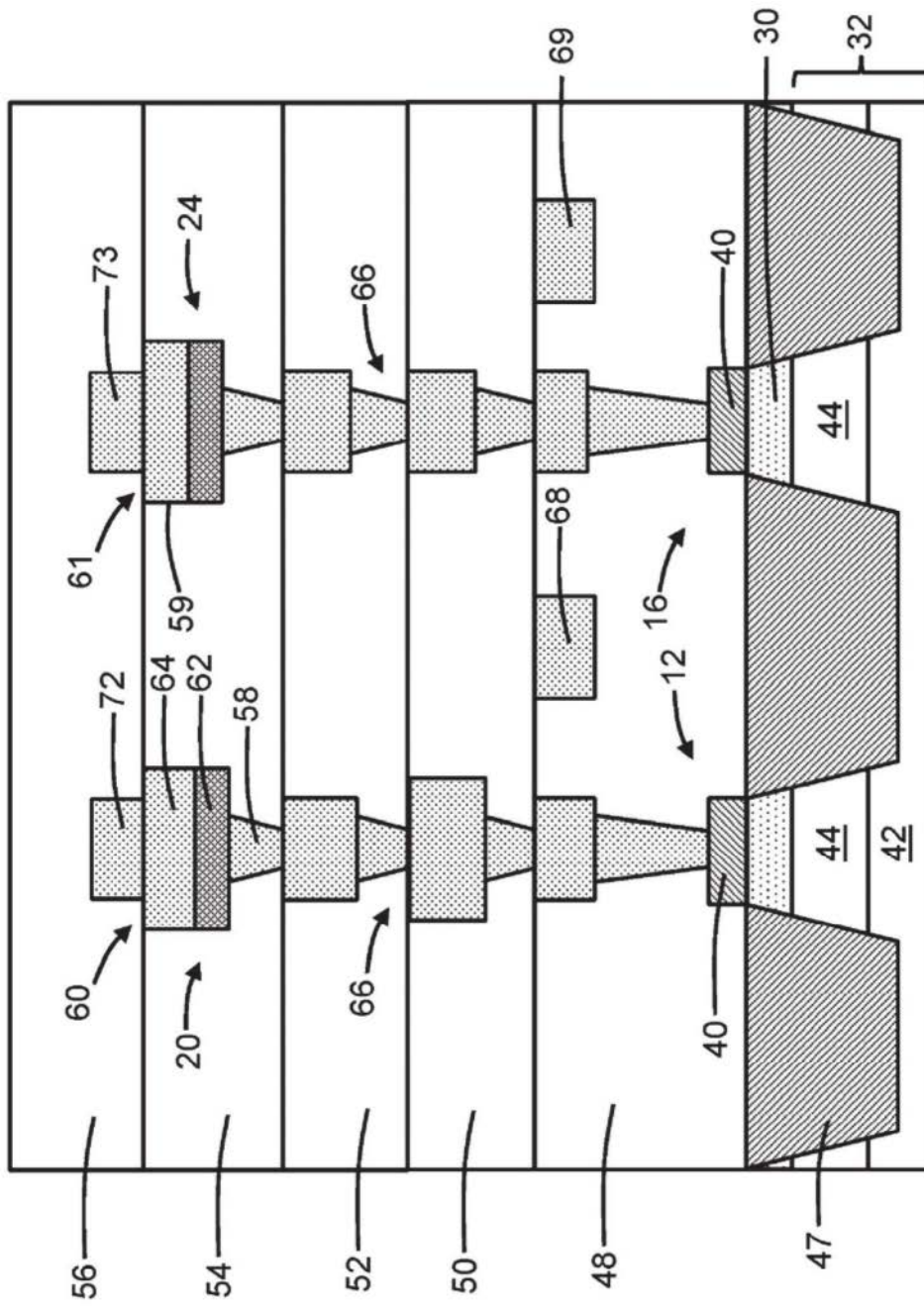


图3

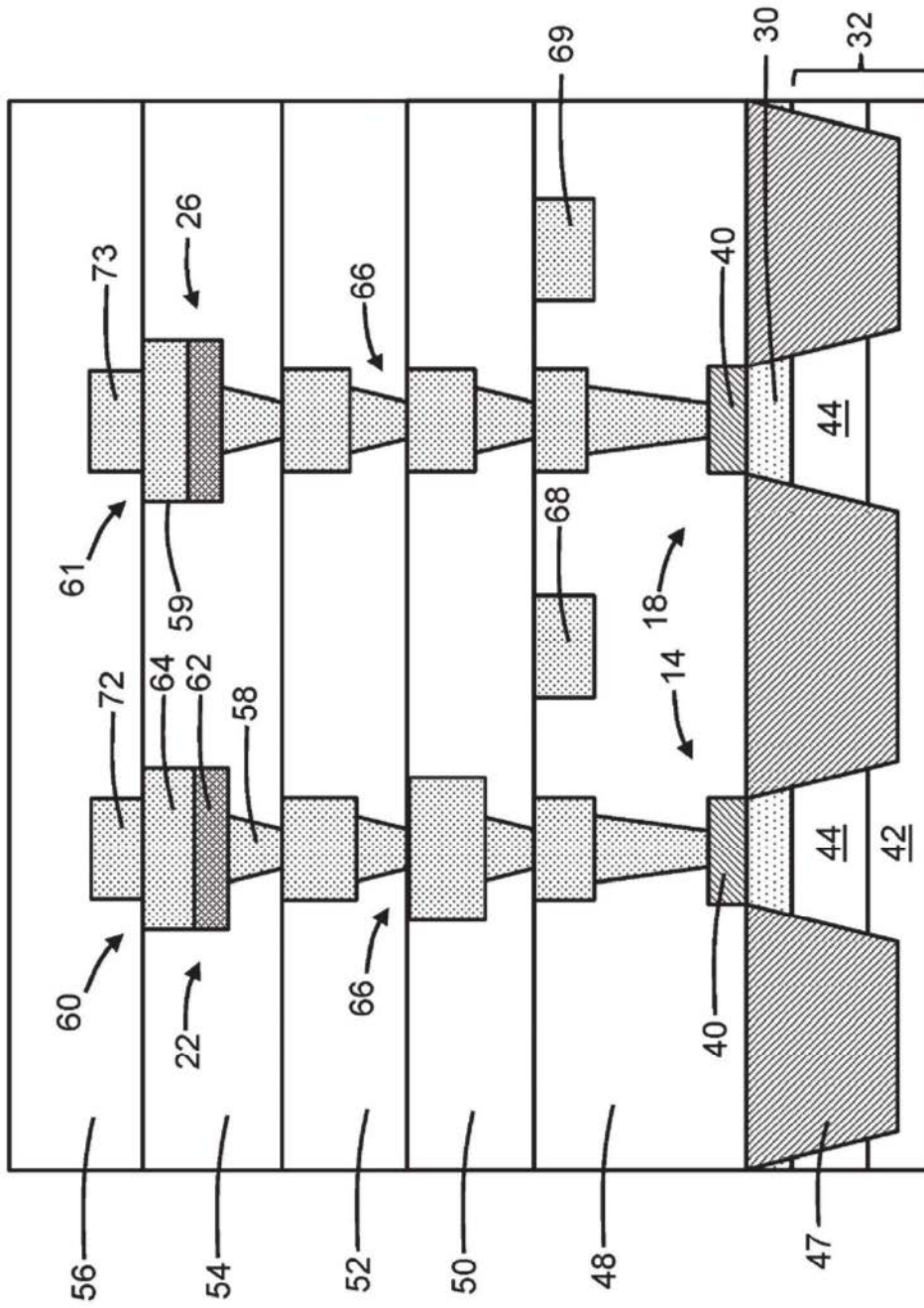


图3A