



# (12) 发明专利申请

(10) 申请公布号 CN 114914208 A

(43) 申请公布日 2022. 08. 16

(21) 申请号 202210554142.7

(51) Int. Cl.

(22) 申请日 2019.04.23

H01L 23/31 (2006.01)

(30) 优先权数据

H01L 23/29 (2006.01)

62/692,177 2018.06.29 US

H01L 21/56 (2006.01)

16/177,637 2018.11.01 US

H01L 25/18 (2006.01)

(62) 分案原申请数据

201910327240.5 2019.04.23

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 陈又维 郭立中 施应庆 卢思维

林俊成 李隆华 黄冠育

(74) 专利代理机构 隆天知识产权代理有限公司

72003

专利代理师 黄艳

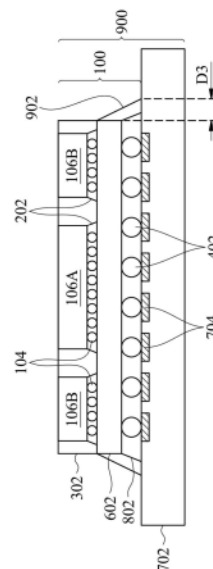
权利要求书2页 说明书16页 附图20页

(54) 发明名称

半导体装置封装体及其制造方法

(57) 摘要

一种半导体装置封装体及其制造方法。半导体装置封装体包括一封装体,封装体包括一封装基底、一集成电路芯片、一封胶层、一环形体以及一盖板。集成电路芯片形成于封装基底上方,而封胶层围绕该集成电路芯片,且露出集成电路芯片的一背表面。环形体形成于封装基底上,且围绕该集成电路芯片。盖板经由一热界面材料接合至集成电路芯片的露出的背表面。热界面材料被封胶层所围绕,且热界面材料于封装基底的一投影面积大于集成电路芯片于封装基底的一投影面积。



1. 一种半导体装置封装体,包括:
  - 一封装基底;
  - 一集成电路芯片,形成于该封装基底上方;
  - 一封胶层,围绕该集成电路芯片,且露出该集成电路芯片的一背表面;
  - 一环形体,形成于该封装基底上,且围绕该集成电路芯片;以及
  - 一盖板,经由一热界面材料接合至该集成电路芯片的该露出的背表面,其中该热界面材料被该封胶层所围绕,且该热界面材料于该封装基底的一投影面积大于该集成电路芯片于该封装基底的一投影面积。
2. 如权利要求1所述的半导体装置封装体,还包括:
  - 一第一黏着层,将该盖板接合至该环形体的一上表面;以及
  - 一第二黏着层,将该盖封装基底接合至该环形体的一下表面。
3. 如权利要求2所述的半导体装置封装体,还包括:
  - 一中介层,接合至该集成电路芯片的一前表面,其中该热界面材料于该封装基底的该投影面积等于该中介层于该封装基底的一投影面积。
4. 如权利要求3所述的半导体装置封装体,还包括:
  - 一第一底胶层,位于该中介层与该封装基底之间;以及
  - 一第二底胶层,围绕且接触该中介层及该第一底胶层,且与该环形体隔开。
5. 如权利要求1所述的半导体装置封装体,其中该热界面材料与该盖板、封胶层及该集成电路芯片直接接触。
6. 如权利要求1所述的半导体装置封装体,其中该环形体的一侧壁对齐于该盖板的一侧壁。
7. 如权利要求1所述的半导体装置封装体,其中该盖板具有一下表面位于该热界面材料的一下表面下方。
8. 一种半导体装置封装体,包括:
  - 一中介层,具有一第一表面及相对于该第一表面的一第二表面;
  - 一第一集成电路芯片及一第二集成电路芯片,位于一封胶层内,且经由多个芯片连接器贴合至该中介层的该第一表面;
  - 一封装基底,经由多个导电连接器贴合至该中介层的该第二表面,其中所述多个导电连接器的每一个的尺寸大于所述多个芯片连接器的每一个的尺寸大;
  - 一环形体,位于该封装基底上,且围绕该封胶层;以及
  - 一金属盖板,经由一热界面材料接合至该封胶层,且经由一黏着层接合至该环形体。
9. 如权利要求8所述的半导体装置封装体,其中该热界面材料的一下表面高于该黏着层的一上表面。
10. 如权利要求8所述的半导体装置封装体,其中该中介层的一第一侧壁对齐该封胶层的一第二侧壁,且其中该第一侧壁及该第二侧壁与该环形体之间具有一间隙。
11. 如权利要求10所述的半导体装置封装体,还包括:
  - 一第一底胶层,位于该间隙内,且围绕并接触该中介层,其中该第一底胶层经由该间隙与该环形体隔开。
12. 如权利要求11所述的半导体装置封装体,还包括:

一第二底胶层,位于该中介层与该第一集成电路芯片及该第二集成电路芯片之间,且围绕所述多个芯片连接器;以及

一第三底胶层,位于该中介层与该封装基底之间,且围绕所述多个导电连接器,其中该封胶层围绕并接触该第二底胶层,且该第一底胶层围绕并接触该第三底胶层。

13.如权利要求10所述的半导体装置封装体,其中该热界面材料与该第一集成电路芯片、该第二集成电路芯片及该封胶层接触。

14.如权利要求10所述的半导体装置封装体,其中该热界面材料的一第三侧壁对齐该封胶层的该第二侧壁,使该间隙延伸至该热界面材料的该第三侧壁上。

15.如权利要求8所述的半导体装置封装体,其中该环形体具有一外围宽度等于该金属盖板的一宽度。

16.一种半导体装置封装体的制造方法,包括:

经由多个芯片连接器将一集成电路芯片贴附至一中介层的一第一表面;

以一封胶层封装该集成电路芯片;

形成多个导电连接器于该中介层的一第二表面,该第二表面相对于该第一表面;

经由所述多个导电连接器将该中介层接合至一封装基底;

将一环形体贴附至该封装基底上,其中该环形体围绕该中介层;以及

将一盖板贴附至该环形体、该封胶层及该集成电路芯片。

17.如权利要求16所述的半导体装置封装体的制造方法,其中该中介层的一第一侧壁对齐该封胶层的一第二侧壁,且其中该第一侧壁及该第二侧壁与该环形体之间具有一间隙。

18.如权利要求16所述的半导体装置封装体的制造方法,其中经由一热界面材料将该盖板贴附至该封胶层及该集成电路芯片,且其中该热界面材料与该盖板、该封胶层及该集成电路芯片接触。

19.如权利要求16所述的半导体装置封装体的制造方法,其中经由一黏着层将该盖板贴附至该环形体。

20.如权利要求16所述的半导体装置封装体的制造方法,其中该封胶层具有一高度等于该集成电路芯片的一高度与所述多个芯片连接器的一高度的总和。

## 半导体装置封装体及其制造方法

[0001] 本申请是台湾积体电路制造股份有限公司的发明专利申请(申请日为2019年4月23日、申请号为201910327240.5,发明名称为“半导体装置封装体及其制造方法”)的分案申请。

### 技术领域

[0002] 本发明实施例涉及一种半导体技术,且特别涉及一种半导体装置封装体及其制造方法。

### 背景技术

[0003] 半导体装置用于各种电子应用中,例如个人电脑、手机、数码相机及其他电子设备。半导体装置的制造通常经由在半导体基底上按序沉积绝缘或介电层、导电层及半导体材料层,并使用光刻工艺图案化各种材料层,以在其上形成电路部件及元件。

[0004] 半导体工业通过不断减小最小特征部件尺寸继续改善各种电子部件(例如,晶体管、二极管、电阻器、电容器等)的集积密度,这允许将更多元件集积于一给定区域。然而,随着最小特征部件尺寸的减小,也出现了应当解决的其他问题。

### 发明内容

[0005] 一种半导体装置封装体包括:一种半导体装置封装体包括:一封装体,包括一集成电路芯片、经由多个芯片连接器接合至集成电路芯片的一中介层以及围绕集成电路芯片的一封装层;一封装基底,经由多个导电连接器接合至中介层;一第一底胶层,位于封装体与封装基板之间,第一底胶层具有一第一热膨胀系数;以及一第二底胶层,围绕第一底胶层,第二底胶层具有小于第一热膨胀系数的一第二热膨胀系数。

[0006] 一种半导体装置封装体的制造方法包括:将一芯片贴附至一中介层的一第一表面;以一封装层封装芯片;形成多个导电连接器于中介层的一第二表面,第二表面相对于第一表面;经由导电连接器将中介层接合至一封装基底;沉积一第一底胶层于中介层与封装基底之间,并围绕导电连接器;以及沉积一第二底胶层以围绕第一底胶层,第二底胶层具有比第一底胶层低的热膨胀系数。

[0007] 一种半导体装置封装体包括:一第一封装体,包括:一第一集成电路芯片、围绕第一集成电路芯片的一封装层以及位于封装层及第一集成电路芯片上的一重布层;多个功能连接器;一第二封装体,经由多个功能连接器接合至第一封装体,其中功能连接器及重布层电性连接第二封装体的一第二集成电路芯片至第一集成电路芯片;一第一底胶层,位于第一封装体与第二封装体之间,第一底胶层围绕功能连接器;以及一第二底胶层,围绕第一底胶层,第二底胶层具有不同于第一底胶层的材料组成,第二底胶层的最顶部区域范围位于第一底胶层的最上表面的上方。

**附图说明**

[0008] 图1至图9B是示出根据一些实施例的半导体装置封装体中间制造阶段的剖面示意图。

[0009] 图10至图17是示出根据一些实施例的半导体装置封装体中间制造阶段的剖面示意图。

[0010] 附图标记说明：

[0011] 100 第一装置封装体

[0012] 100A、100B 装置区域

[0013] 102 晶圆

[0014] 104 芯片连接器

[0015] 106A 第一芯片堆叠

[0016] 106B 第二芯片堆叠

[0017] 202 底胶层

[0018] 302、1110 密封胶层

[0019] 402 导电连接器

[0020] 404、1306 胶带

[0021] 602 中介层

[0022] 700 第二装置封装体

[0023] 702 封装基底

[0024] 704、1404、1408 接合垫

[0025] 802、802a、1602 第一底胶层

[0026] 900、1700 半导体装置

[0027] 902、1702 第二底胶层

[0028] 910 环形体

[0029] 912 盖板

[0030] 914 第二粘着层

[0031] 916 第一粘着层

[0032] 918 热界面材料

[0033] 1000A 第一封装区域

[0034] 1000B 第二封装区域

[0035] 1002 承载基底

[0036] 1004 释放层

[0037] 1006、1102 介电层

[0038] 1008 金属化图案

[0039] 1104、1406 通孔电极

[0040] 1106 粘着层

[0041] 1108 集成电路芯片

[0042] 1112 背侧重布结构

[0043] 1202 前侧重布结构

- [0044] 1302 导电连接器
- [0045] 1304接垫/凸块下金属层
- [0046] 1400 第二封装体
- [0047] 1402 基底
- [0048] 1410、1410A、1410B 堆叠芯片
- [0049] 1412 模塑材料
- [0050] 1414 接合线
- [0051] 1416 功能连接器
- [0052] 1500 第一封装体
- [0053] D1、D2、D3、D4、D5、D6 距离

### 具体实施方式

[0054] 以下的公开内容提供许多不同的实施例或范例,以实施本发明的不同特征部件。而以下的公开内容是叙述各个构件及其排列方式的特定范例,以求简化本公开内容。当然,这些仅为范例说明并非用以限定本发明。举例来说,若是以下的公开内容叙述了将一第一特征部件形成于一第二特征部件之上或上方,即表示其包含了所形成的上述第一特征部件与上述第二特征部件是直接接触的实施例,亦包含了尚可将附加的特征部件形成于上述第一特征部件与上述第二特征部件之间,而使上述第一特征部件与上述第二特征部件可能未直接接触的实施例。另外,本公开内容在各个不同范例中会重复标号及/或文字。重复是为了达到简化及明确目的,而非自行指定所探讨的各个不同实施例及/或配置之间的关系。

[0055] 再者,在空间上的相关用语,例如"下方"、"之下"、"下"、"上方"、"上"等等在此处是用以容易表达出本说明书中所示出的附图中元件或特征部件与另外的元件或特征部件的关系。这些空间上的相关用语除了涵盖附图所示出的方位外,还涵盖装置于使用或操作中的不同方位。此装置可具有不同方位(旋转90度或其他方位)且此处所使用的空间上的相关符号同样有相应的解释。

[0056] 本文讨论的实施例涉及底胶结构及用于各种半导体封装体的底胶结构的制造方法。在一些实施例中,底胶结构应用于装置封装体,装置封装体包括接合至中介层(interposer)的一个或多个半导体芯片以及接合至中介层中与一个或多个半导体芯片相对的一侧的封装基底。装置封装体可称作基底上晶圆上芯片(chip-on-wafer-on-substrate, CoWoS)超薄夹层(ultra-thin sandwich, UTS)封装体。在其他实施例中,底胶结构应用于封装结构(例如,封装体上封装体(package on package, PoP)结构),其包括一第一封装部件及一第二封装部件。第二封装部件可为存储器封装体(例如,具有一个或多个动态随机存取存储器(dynamic random access memory, DRAM)芯片),其使用功能连接器而物理性及电性耦接至第一封装体(例如,整合型扇出(integrated fan-out, InFO)封装,其具有逻辑芯片及重分布结构)。

[0057] 底胶结构可包括一第一底胶层及围绕第一底胶层的一第二底胶层。第二底胶层可具有比第一底胶层更低的热膨胀系数(coefficient of thermal expansion, CTE)。与其中底胶结构仅包括单一底胶材料层的实施例相比,包括第一底胶层和第二底胶层的实施例可改善可靠度。举例来说,第一底胶层及第二底胶层可通过减少封装芯片的边角处的高应力

来防止底胶破裂、底胶离层及凸块破裂。所述封装芯片可为超大型芯片(例如,其面积大于 $1000\text{mm}^2$ )。包括第一底胶层及第二底胶层可减少芯片边角处的应力,以增加可靠度。

[0058] 图1至图9B是根据一些实施例的在形成半导体装置900的工艺期间的中间步骤的各种剖面示意图在图1至图5中,通过将各种集成电路芯片接合至晶圆102来形成第一装置封装体100。在一实施例中,第一装置封装体100为晶圆上芯片(chip-on-wafer, CoW)封装,然而应理解该实施例也可应用于其他3DIC封装。图5示出了所得到的第一装置封装体100。在图6及图7中,通过将第一装置封装体100组装到一基底上来形成第二装置封装体700。在一实施例中,第二装置封装体700为基底上晶圆上芯片(CoWoS)封装,然而应当理解该实施例可应用于其他3DIC封装。图9、图9A及图9B示出了实现所得装置封装体700的半导体装置900。

[0059] 晶圆102可具有形成于其中的各种装置。具体来说,可于晶圆102内形成中介层,集成电路装置等,其可包括多个装置区域100A及100B(于后续步骤中单体化而形成第一装置封装体100)。

[0060] 在一些实施例中,中介层形成于晶圆102内。中介层具有内连接结构,用于电连接集成电路芯片内的主动装置(未示出)以形成功能电路。在上述实施例中,晶圆102包括具有前表面(例如,图1中面朝上的表面)及背表面(例如,图1中面朝下的表面)的半导体基底。内连接结构形成于半导体基底的背表面上。通孔电极(未明确示出)形成于半导体基底内且从内连接结构延伸至半导体基底的前表面。可通过双镶嵌工艺在半导体基底上的内连接结构中形成金属线及通孔(via)。金属线及通孔可以电性连接至通孔电极。中介层可具有(或不具有)诸如晶体管及二极管的主动装置,且可具有(或不具有)诸如电阻器、电感器、电容器等装置。

[0061] 尽管是在具有中介层形成其中的晶圆102的背景下讨论了本文所示的实施例,然而应可理解可于晶圆102内形成其他类型的装置。举例来说,集成电路装置(例如,逻辑装置)可形成于晶圆102内。在上述实施例中,晶圆102包括一半导体基底,其内形成有主动及/或被动装置。半导体基底可为硅基底、掺杂或未掺杂的基底、或为绝缘层上覆硅(silicon-on-insulator, SOI)主动层的基底。半导体基底可包括其他半导体材料,例如锗、化合物半导体(包括:碳化硅、砷化镓、磷化镓、磷化铟、砷化铟及/或铋化铟)、合金半导体(包括, SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP及/或GaInAsP、或其组合。也可使用其他基底,例如多层型或渐变型基底。诸如晶体管、二极管、电容器、电阻器等装置可形成于半导体基底内及/或上方,且可以通过内连接结构(例如,可为形成于半导体基底上一个或多个介电层内的金属化图案)进行内连接,以形成集成电路。

[0062] 如图1所示,芯片堆叠106A及106B利用芯片连接器104贴附于晶圆102。在一实施例中,第一芯片堆叠106A(例如,图形处理单元(graphics processing unit, GPU))及第二芯片堆叠106B(例如,高带宽存储器(high bandwidth memory, HBM)可放置于晶圆102的每个装置区域上。芯片堆叠106A及106B可使用拾取及放置(pick-and-place)工具而贴附至晶圆102。芯片连接器104可由导电材料形成,例如焊料、铜、铝、金、镍、银、钯、锡等、或其组合。在一些实施例中,芯片连接器104的制作一开始经由诸如蒸镀、电镀、印刷、焊料转移、球放置等方法而形成焊料层。一旦形成了一层焊料于结构上就可进行回流,以将芯片连接器104成形为所需的凸块形状。芯片连接器104于晶圆102上对应的连接器与芯片堆叠106A及106B之

间形成接点,并将晶圆102电性连接至芯片堆叠106A及106B。

[0063] 芯片堆叠106A及106B可各自具有单一功能(例如,逻辑装置,存储器芯片等),或可具有多重功能(例如,系统芯片(system on chip,SoC))。在特定实施例中,第一芯片堆叠106A是处理器而第二芯片堆叠106B是存储器模块。更具体来说,第一芯片堆叠106A可为中央处理单元(central processing unit,CPU)、GPU、特殊应用集成电路(application-specific integrated circuit,ASIC)等处理器。在一些实施例中,第二芯片堆叠106B可为存储器装置,诸如动态随机存取存储器(DRAM)芯片、静态随机存取存储器(SRAM)芯片,混合存储器立方体(hybrid memory cube,HMC)模块等。

[0064] 在图2中,底胶层202可形成于芯片堆叠106A及106B与晶圆102之间,且围绕芯片连接器104。可在贴附芯片堆叠106A及106B之后通过毛细管流动工艺形成底胶层202,或者可在贴附芯片堆叠106A及106B之前,通过合适的沉积方法形成底胶层202。底胶层202可通过后续所述两段工艺形成(参考图8、图9、图16及图17),或者通过另一合适的工艺形成。

[0065] 在图3中,封胶层302形成于各个部件上。封胶层302可为模塑材料(molding compound)、环氧树脂等,且可通过压缩模塑成型、传递模塑成型等而形成。如图3所示,封胶层302可形成于晶圆102上方而掩埋或覆盖芯片堆叠106A及106B,然后固化封胶层302。

[0066] 在图4中,导电连接器402形成于晶圆102的背侧上。在形成导电连接器402之前,可薄化晶圆102的背侧。可通过化学机械研磨(chemical-mechanical polish,CMP)工艺、研磨工艺等来进行薄化,以实现晶圆102所需厚度及/或露出导电特征部件(例如,通孔电极)。导电连接器402电性连接至晶圆102的特征部件(例如,逻辑装置、中介层等),且可为球栅阵列(ball grid array,BGA)连接器、焊球、金属柱体,控制塌陷高度芯片连接(controlled collapse chip connection,C4)凸块、微凸块,化学镀镍钯-浸金(electroless nickel-electroless palladium-immersion gold,ENEPIG)技术形成的凸块等。在一些实施例中,导电连接器402一开始经由诸如蒸镀、电镀、印刷、焊料转移、球放置等方法而形成焊料层。一旦在结构上形成了一层焊料就可进行回流,以将材料成形为所需的凸块形状。在形成导电连接器402之后,可将晶圆102放置在胶带404上,以进行后续工艺步骤。

[0067] 在图5中,薄化封胶层302以露出芯片堆叠106A及106B的上表面。可通过画痂机械研磨(CMP)工艺、研磨工艺等来进行薄化。在薄化之后,封胶层302及芯片堆叠106A及106B的上表面是切齐的。在薄化封胶层302之后,晶圆102及封胶层302经由单体分割(singulation)工艺而单体化,因而形成第一装置封装体100,如图6所示。

[0068] 图6示出了在进行单体分割工艺之后得到的第一装置封装体100。如单体分割工艺的结果所示,晶圆102单体化成为中介层602,其中每个第一装置封装体100具有中介层602。可在晶圆102位于胶带404上的同时进行单体化工艺。单体分割工艺沿相邻装置区域之间的切割道进行。举例来说,如图5所示,第一装置封装体100可沿着装置区域100A及100B之间的虚线而单体化。在一些实施例中,单体分割工艺包括切割工艺、激光工艺或其组合。

[0069] 如单体分割工艺的结果所示,中介层602及封胶层302的边缘是连续的。换句话说,中介层602的外侧壁具有与封胶层302的外侧壁相同的宽度。

[0070] 在图7中,经由将第一装置封装体100组装到封装基底702来形成第二装置封装体700。封装基底702可由诸如硅、锗、钻石等半导体材料形成。或者,也可使用诸如硅锗、碳化硅、砷化镓、砷化铟、磷化铟、碳化硅锗、磷化镓砷、磷化镓铟等化合物材料,或其组合等。另



外,封装基底702可为SOI基底。通常,SOI基底包括半导体材料层,例如外延硅、锗、硅锗、SOI,绝缘体上覆硅锗(SiGe-on-insulator,SGOI)或其组合。在另一实施例中,封装基底702为绝缘芯,例如玻璃纤维增强树脂芯(fiberglass reinforced resin core)。一种示例性芯材料为玻璃纤维树脂,例如FR4。芯材料的替代物包括双马来酰亚胺-三嗪(bismaleimide-triazine,BT)树脂,或者为其他印刷电路板(PCB)材料或膜层。诸如Ajinomoto积层膜(Ajinomoto build-up film,ABF)或其他层压板的积层膜可用于封装基板702。

[0071] 封装基底702可包括主动及被动装置(未示出)。如所属技术领域技术人员可理解可使用诸如晶体管、电容器、电阻器、其组合等的各种装置来产生对于第二装置封装体700设计的结构与功能要求。可使用任何合适的方法形成装置。

[0072] 封装基底702也可包括金属化层及通孔(未示出)以及位于金属化层及通孔上方的接合垫704。金属化层可形成于主动及被动装置上,并设计成连接各种装置,以形成功能电路。金属化层可由交替的介电层(例如,低k值介电材料)与导电材料层(例如,铜)所形成,其中通孔内连接导电材料层,且金属化层可通过任何合适的工艺(例如沉积工艺、镶嵌工艺、双镶嵌工艺等)形成。在一些实施例中,封装基底702实质上没有主动及被动装置。

[0073] 在一些实施例中,回流导电连接器402,以将第一装置封装体100贴附至接合垫704,使中介层602接合至封装基底702。导电连接器402电性及/或物理性耦接封装基底702(包括封装基底702内的金属化层)至第二装置封装体700。在一些实施例中,被动装置(例如,表面粘着装置(surface mount device,SMD),未示出)在组装于封装基底702上之前,可贴附至第二装置封装体700(例如,接合至接合垫704)。在上述实施例中,被动装置可与导电连接器402接合至第二装置封装体700的同一表面上。

[0074] 在图8中,第一底胶层802形成于第一装置封装体100与第二装置封装体700之间,围绕导电连接器402。第一底胶层802可在贴附第一装置封装体100之后通过毛细管流动工艺形成,或者在贴附第一装置封装体100之前,通过合适的沉积方法形成。在通过毛细管流动工艺形成第一底胶层802的实施例中,可在第一装置封装体100的边角处沉积一定量的第一底胶材料。然后,加热第一装置封装体100与第二装置封装体700,使第一底胶材料产生流动。第一底胶材料经由毛细管作用在第一装置封装体100与第二装置封装体700之间流动。在一些实施例中,可通过在沉积第一底胶材料之前,将表面暴露于等离子体来活化第一装置封装体100及第二装置封装体700的表面,以增加表面的润湿性并改善第一个底胶材料的毛细管作用。可沉积有限量的第一底胶材料以形成第一底胶层802,使第一底胶层802形成于限定的区域中。举例来说,可沉积有限量的第一底胶材料,使第一底胶层的最顶部区域范围设置于第一装置封装体100的最下表面下方。第一底胶层802的外围与第一装置封装体100的外围之间的距离D1可小于约2mm,小于约2.5mm,或小于约3mm。如图8所示,第一底胶层802的侧壁可以是倾斜或渐细形的。如图8进一步所示,第一底胶层802的横向外围可延伸超出第一装置封装体100的横向外围。在一些实施例中,在剖面视图中第一底胶层802的侧壁可为弯曲的(未个别图示说明)。

[0075] 在其他实施例中,如图8A所示,第一底胶层802a的外围的部分可设置于第一装置封装体100的外围内。举例来说,第一底胶层802a的最下表面的外围与第一装置封装体100的外围之间的距离D2可介于约100 $\mu\text{m}$ 与200 $\mu\text{m}$ 之间,例如约为150 $\mu\text{m}$ 。在一些实施例中,第一

底胶层802a的侧壁可以是渐细的或倾斜形的。如图8A所示,在剖面视图中第一底胶层802a的侧壁可为弯曲的。在更进一步的实施例中,第一底胶层802可具有实质上垂直于封装基底702的主表面的侧壁(未个别图示说明)。第一底胶层802的侧壁可切齐于第一装置封装体100的侧壁。

[0076] 第一底胶层802可为任何可接受的材料,例如聚合物、环氧树脂、模塑底胶材料等。根据至少一个实施例,第一底胶层802可由包括硅填料的环氧树脂材料形成。更具体来说,第一底胶层802可由具有硅的重量百分比介于约50%与约60%之间的环氧树脂材料形成,例如约60%。第一底胶层802可具有介于约20ppm/°C与约30ppm/°C之间的热膨胀系数(CTE),例如约为22ppm/°C。

[0077] 在图9中,形成围绕第一底胶层802的第二底胶层902,以形成半导体装置900。形成的第二底胶层902也可围绕第一装置封装体100的至少一部分。尽管未个别图示说明,形成的第二底胶层902可围绕封装层302的至少一部分。如图9所示,第二底胶层902可从封装基底702的表面延伸至切齐中介层602的上表面的点。在一些实施例中,第二底胶层902的最顶部区域范围可位于中介层602的上表面上方,或者位于中介层602的上表面下方。第二底胶层902可沿着中介层602的边缘形成,以密封中介层602的边缘并降减少中介层602发生破裂。第二底胶层902可完全包围第一底胶层802的外围。第二底胶层902的最顶部区域范围可位于第一底胶层802的最顶部表面上方,第二底胶层902的制作可通过于第一底胶层802外围沉积一定量的第二底胶材料并加热第一装置封装体100及第二装置封装体700,以使包围第一底胶层802的第二底胶材料产生流动。第一底胶层902外围与第一装置封装体100外围之间的距离D3可小于约2mm,小于约2.5mm,或小于约3mm。如图9所示,第二底胶层902的侧壁可以是倾斜或渐细形的。

[0078] 在一些实施例中,如图9A所示的实施例,第二底胶层902a可具有倾斜或渐细形侧壁,其在剖面视图中为弯曲的。尽管未个别图示说明,然而形成的第二底胶层902a可围绕封装层302的至少一部分。第二底胶层902a的外围与第一装置封装体100的外围之间的距离D4可介于约2mm与3mm之间,例如约为2.5mm。

[0079] 第二底胶层902可为任何可接受的材料,例如聚合物、环氧树脂、模塑底胶材料等。第二底胶层902可由与第一底胶层802不同的材料形成,或者第二底胶层902可由具有与第一底胶层802相同的组成而不同的比例的材料形成。举例来说,在一实施例中,第一底胶层802由包括硅填料的环氧树脂材料形成。第二底胶层902可由包括硅填料的环氧树脂材料形成,其硅填料的硅浓度高于第一底胶层802的硅填料。更具体来说,第二底胶层902可由硅的重量百分比介于约70%与约85%之间的环氧树脂材料形成,例如约80%或85%。在一些实施例中,第一底胶层802的环氧树脂材料内的硅填料可具有与第二底胶层902的环氧树脂材料内的902不同的尺寸。

[0080] 第二底胶层902可具有小于约25ppm/°C的热膨胀系数(CTE),小于约20ppm/°C或小于约10ppm/°C,例如约为8ppm/°C、9ppm/°C、11ppm/°C、22ppm/°C或24ppm/°C。因此,第二底胶层902的热膨胀系数(CTE)可小于第一底胶层802的热膨胀系数(CTE)约18ppm/°C、约17ppm/°C或约11ppm/°C。第二底胶层902的热膨胀系数(CTE)也可与封装基底702的热膨胀系数(CTE)匹配。举例来说,第二底胶层902的热膨胀系数(CTE)可介于第一底胶层802的热膨胀系数(CTE)与封装基底702的热膨胀系数(CTE)之间。第一底胶层802与第二底胶层902

的热膨胀系数 (CTE) 的比率可介于约2与4之间,例如约为3.7、2.6或2。第一底胶层802与第二底胶层902的热膨胀系数 (CTE) 的比率大于及小于上述范围可能由于第一底胶层802与第二底胶层902之间的热膨胀系数 (CTE) 不匹配或者由于第二底胶层902与封装基底702之间的热膨胀系数 (CTE) 不匹配而导致底胶层的破裂。

[0081] 第二底胶层902可具有介于约8与约15之间的弹性模数,例如约为11.0GPa、9.7GPa或11.5GPa。第一底胶层802可具有与第二底部填充胶902的弹性模数类似或相同的弹性模数。

[0082] 在形成第一底胶层802与第二底胶层902之后,固化第一底胶层802与第二底胶层902。第一底胶层802与第二底胶层902可以在室温下或经由加热或紫外线 (ultra-violet, UV) 而固化。在一些实施例中,第一底胶层802可在形成第二底胶层902之前固化,或者第一底胶层802与第二底胶层902可同时固化。

[0083] 与第一底胶层802相比,第二底胶层902具有不良的流动性。举例来说,第二底胶层902具有介于约55Pa·s与70Pa·s之间的黏度,例如约为65Pa·s。而第一底胶层802具有介于约100Pa·s与200Pa·s之间的黏度,例如约为150Pa·s。如此,第一底胶层802可于第一装置封装体100与第二装置封装体700之间流动,因而完全填充空间并包围导电连接器402。

[0084] 此外,半导体装置900于半导体装置900的边角处受到高应力/应变。第二底胶层902可于半导体装置900的边角处具有比第一底胶层802更少的应变能量。例如,第二底胶层902可具有约1 $\mu$ J至约3 $\mu$ J之间的角应变能量,例如约为2.18 $\mu$ J或1.68 $\mu$ J。角应变能量值高于这些值会将底胶层破裂风险增加至不可接受的程度。第一底胶层802可具有介于约4 $\mu$ J与约6 $\mu$ J之间的角应变能量,例如约为5.3 $\mu$ J或5.08 $\mu$ J。因此,第二底胶层902的角应变能量可小于第一底胶层802的角应变能量介于约1 $\mu$ J与约5 $\mu$ J之间,例如约为1 $\mu$ J、2 $\mu$ J或4 $\mu$ J。增加的角应变能量可能导致在底胶层中更早出现裂缝。因此,包括具有比第一底胶层802更低的角应变能量的第二底胶层902降低半导体装置900的角应变能量并且降低底胶层中开裂的可能性。因此,具有第一底胶层802及第二底胶层902两者的半导体装置900可防止凸块破裂、底胶层破裂及离层,同时仍然允许底胶层流动于且实质上填充于第一装置封装体100与第二装置封装体700之间的区域。如此一来,半导体装置900的整体结构更加稳固。

[0085] 在更进一步的实施例中,例如图9B所示的实施例,环形体910及/或盖板912可接合至封装基板702。盖板912可经由热界面材料 (thermal interface material, TIM) 918直接贴附至第一装置封装100,且盖板912可经由第一粘着层916贴附至环形体910上。环形体910可经由第二粘着层914贴附至封装基板702。环形体910可支撑盖板912,且将盖板912与封装基板702隔开以容纳第一装置封装100。在一些实施例中,可以省略环形体910且可将盖板912直接贴附至封装基板702。

[0086] 盖板912可由金属形成,诸如铜 (Cu)、镍 (Ni)、镀镍铜、铝 (Al)、铝合金等。环形体910可由金属形成,诸如铜 (Cu)、镍 (Ni)、镀镍铜、铝 (Al)、铝合金等。第一粘着层916及第二粘着层914可由粘着材料形成,例如硅氧聚合物 (silicon) 等。热界面材料 (TIM) 918可由硅氧聚合物 (silicon) (包括硅、碳、氢、氧且有时为其他元素的聚合物)、氧化铝 (Al<sub>2</sub>O<sub>3</sub>) 或氧化锌 (ZnO<sub>2</sub>) 与硅氧聚合物 ([R<sub>2</sub>SiO]<sub>n</sub>) 混合等形成。盖板912、环形体910及热界面材料 (TIM) 918可由具有高导热率的材料形成。如此一来,盖板912、环形体910及热界面材料 (TIM) 918可用于消散第一装置封装体100内产生的热至外部环境。此外,盖板912及环形体910可为第

一装置封装体100提供保护。

[0087] 图10至图17是示出根据一些实施例的半导体装置1700中间制造阶段的剖面示意图。图10至图14是示出了根据一些实施例的第一封装体1400中间制造阶段的剖面示意图。第一封装体1400也可称为整合型扇出(InFO)封装。在图15至图17中,第二封装体1500组装至第一封装体1400且底部进行填充,以形成半导体装置1700。

[0088] 图10示出一承载基底1002、形成于承载基底1002上的一释放层1004、形成于释放层1004上的一介电层1006以及形成于介电层1006上的一金属化图案1008(有时称为重布层或重布线)。图10示出分别用于形成第一封装体和第二封装体第一封装区域1000A及第二封装区域1000B。

[0089] 承载基底1002可为玻璃承载基底或陶瓷承载基底等。承载基底1002可为芯片,因而可同时于承载基底1002上形成多个封装体。释放层1004可由聚合物基材料形成,其可与承载基底1002一同自后续步骤中形成的上方结构移除。在一些实施例中,释放层1004为环氧树脂基热释放材料,其在加热时失去其黏性,例如光-热-转换(light-to-heat-conversion,LTHC)释放涂层。在其他实施例中,释放层1004可为紫外线(UV)胶,当暴露于紫外线(UV)时其失去其黏性。释放层1004可为液体并固化、可为层压至承载基底1002上的层压膜、或者可为类似物。释放层1004的上表面可为水平的,且可具有高度的共平面性。

[0090] 在一些实施例中,介电层1006由聚合物形成,例如聚苯并恶唑(polybenzoxazole,PBO)、聚酰亚胺(polyimide)、苯并环丁烯(benzocyclobutene,BCB)等。在其他实施例中,介电层1006由氮化物(例如,氮化硅)、氧化硅(例如,磷硅酸盐玻璃(phosphosilicate glass,PSG)、硼硅酸盐玻璃(borosilicate glass,BSG),硼掺杂磷硅酸盐玻璃(boron-doped phosphosilicate glass,BPSG))等等形成。介电层1006可通过任何可接受的沉积工艺形成,例如旋涂、化学气相沉积(CVD)、层压等或其组合。

[0091] 金属化图案1008形成于介电层1006上。形成金属化图案1008的一示例中,形成一种子层(未个别示出)于介电层1006上。在一些实施例中,种子层为金属层,可为单层或复合层(包括由不同材料形成的多个次层(sub-layer))。在一些实施例中,种子层包括钛层及钛层上的铜层。可使用例如物理气相沉积(PVD)工艺等形成种子层。然后形成光刻胶于种子层上并图案化种子层。可通过旋涂等工艺形成光刻胶,且可对光刻胶进行曝光以进行图案化。光刻胶的图案对应于金属化图案1008。图案化后形成穿过光刻胶的开口以露出种子层。形成导电材料于光刻胶的开口内及种子层的露出部分上。导电材料可通过电镀形成,例如电镀或无电镀等。导电材料可包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶及上方未形成导电材料的种子层部分。可通过可接受的灰化或剥离工艺去除光刻胶,例如使用氧等离子体等。一旦去除光刻胶,去除种子层的露出部分,例如通过使用可接受的蚀刻工艺(例如通过湿法或干法蚀刻工艺)。种子层及导电材料的余留部分形成了金属化图案1008。

[0092] 在图11中,形成介电层1102于金属化图案1008上、形成通孔电极1104、经由粘着层1106将集成电路芯片1108贴附至介电层1102以及形成封胶层1110围绕各个部件。在一些实施例中,介电层1102由聚合物形成,聚合物可为光敏材料,例如聚苯并恶唑(PBO)、聚酰亚胺、苯并环丁烯(BCB),其可使用光刻掩模进行图案化。在其他实施例中,介电层1102由氮化物(例如,氮化硅)、氧化硅(例如,磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG),硼掺杂磷硅酸盐玻璃(BPSG))等等形成。介电层1102可通过旋涂、层压、化学气相沉积(CVD)等工艺或其

组合形成。然后图案化介电层1102以形成开口而露出金属化图案1008的部分。图案化可通过可接受的工艺来进行,例如在介电层为光敏材料时通过对介电层1102进行曝光,或通过使用异向性蚀刻来进行蚀刻。

[0093] 介电层1006及1102以及金属化图案1008可称为背侧重布结构1112。如图所示,背侧重布结构1112包括两个介电层1006及1102以及一个金属化图案1008。在其他实施例中,背侧重布结构1112可包括任何数量的介电层、金属化图案及通孔电极。通过重复形成金属化图案1008及介电层1102的工艺,可在背侧重布结构1112内形成一或多个额外的金属化图案及介电层。可于形成金属化图案期间,通过形成种子层及金属化图案的导电材料于下方的介电层的开口内而形成通孔电极。因此,通孔电极可内连接并电性耦接各个金属化图案。

[0094] 如图所示,可通过形成种子层(未个别示出)于背侧重布结构1112(例如,介电层1102及金属化图案1008的露出部分)上来形成通孔电极1104。在一些实施例中,种子层为金属层,其可为单层或复合层(包括由不同材料形成的多个次层)。在一些实施例中,种子层包括钛层及钛层上的铜层。可使用例如物理气相沉积(PVD)工艺等形成种子层。形成并图案化光刻胶于种子层上。可通过旋涂工艺等形成光刻胶,且可对光刻胶进行曝光以进行图案化。光刻胶的图案对应于通孔电极。图案化形成穿过光刻胶的开口以露出种子层。形成导电材料于光刻胶的开口内及种子层的露出部分上。导电材料可通过电镀形成,例如电镀或无电镀等。导电材料可包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶及上方未形成导电材料的种子层部分。可通过可接受的灰化或剥离工艺去除光刻胶,例如使用氧等离子体等。一旦去除光刻胶,去除种子层的露出部分,例如通过使用可接受的蚀刻工艺(例如通过湿法或干法蚀刻工艺)。种子层及导电材料的余留部分形成了通孔电极1104。

[0095] 然后可通过粘着层1106将集成电路芯片1108贴附至介电层1102。如图11所示,将单个集成电路芯片1108贴附至第一封装区域1000A及第二封装区域1000B中的每一者。然而,在其他实施例中,可在每个区域中贴附更多或更少的集成电路芯片1108。举例来说,在一实施例中,可在每个区域中贴附两个或更多个集成电路芯片1108。集成电路芯片1108可为逻辑芯片(例如,中央处理单元,微控制器等)、存储器芯片(例如,动态随机存取存储器(DRAM)芯片、静态随机存取存储器(SRAM)芯片等)、电源管理芯片(例如,电源管理集成电路(power management integrated circuit,PMIC)芯片)、射频(radio frequency RF)芯片、感测芯片、微机电系统(micro-electro-mechanical-system, MEMS)芯片、信号处理芯片(例如,数字信号处理(digital signal processing, DSP)芯片)、前端芯片(例如,模拟前端(analog front-end, AFE)芯片)等或其组合。而且,在一些实施例中,集成电路芯片1108可具有不同的尺寸(例如,不同的高度及/或表面区域),且在其他实施例中,集成电路芯片1108可具有相同的尺寸(例如,相同的高度及/或表面区域)。

[0096] 粘着层1106位于集成电路芯片1108的背侧上,且将集成电路芯片1108贴附至背侧重布结构1112,例如图中的介电层1102。粘着层1106可为任何合适的粘着剂、环氧树脂,芯片贴附膜(die attach film, DAF)等。粘着层1106可提供于集成电路芯片1108的背侧,例如提供于相应半导体芯片的背侧,或者可提供于集成电路芯片1108的承载基底的表面上。集成电路芯片1108可通过粘着层1106使用拾取与放置工具贴附至介电层1102。

[0097] 然后可形成封胶层1110于各个部件上。封胶层1110可为模塑材料、环氧树脂等,且可以通过压缩模塑、传递模塑等来进行。在固化之后,封胶层1110可进行研磨工艺以露出通

孔电极1104及集成电路芯片1108的上表面。在进行研磨工艺之后,通孔电极1104、集成电路芯片1108及封胶层1110的上表面为共平面。在一些实施例中,可省略研磨工艺,举例来说,若通孔电极1104及集成电路芯片1108的上表面已经露出。

[0098] 在图12中,形成前侧重布结构1202。前侧重布结构1202包括各种介电层及金属化图案(未个别标记),其有时称作重布层或重布线。介电层可以由聚合物形成,聚合物可为光敏材料,例如聚苯并恶唑(PBO)、聚酰亚胺、苯并环丁烯(BCB),其可使用光刻掩模进行图案化。在其他实施例中,介电层1102由氮化物(例如,氮化硅)、氧化硅(例如,磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG),硼掺杂磷硅酸盐玻璃(BPSG))等等形成。介电层1102可通过旋涂、层压、化学气相沉积(CVD)等工艺或其组合形成。然后图案化介电层。图案化在每个介电层内形成开口,以露出部分通孔电极1104及集成电路芯片1108的上表面或下方的金属化图案。图案化可通过可接受的工艺(例如在介电层为光敏材料时通过对介电层进行曝光,或通过使用异向性蚀刻来进行蚀刻)。若介电层为光敏材料,则可在曝光后对介电层进行显影。

[0099] 在形成每个介电层之后,可形成金属化图案于对应的介电层上。在形成金属化图案的一示例中,形成一种子层(未个别示出)于介电层上且穿过介电层的开口。在一些实施例中,种子层为金属层,其可为单层或复合层(包括由不同材料形成的多个次层)。在一些实施例中,种子层包括钛层及钛层上的铜层。可使用例如物理气相沉积(PVD)工艺等形成种子层。然后形成光刻胶于种子层上并图案化种子层。可通过旋涂等工艺形成光刻胶,且可对光刻胶进行曝光以进行图案化。光刻胶图案对应于金属化图案。图案化形成穿过光刻胶的开口以露出种子层。在光刻胶的开口内及种子层的露出部分上形成导电材料。导电材料可通过电镀形成,例如电镀或无电镀等。导电材料可包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶及上方未形成导电材料的种子层部分。可通过可接受的灰化或剥离工艺去除光刻胶,例如使用氧等离子体等。一旦去除光刻胶,去除种子层的露出部分,例如通过使用可接受的蚀刻工艺(例如通过湿法或干法蚀刻工艺)。种子层及导电材料的余留部分形成了金属化图案及通孔电极。通孔电极形成于穿过介电层的开口内,例如通孔电极1104、集成电路芯片1108的上表面及/或下方的金属化图案。

[0100] 所示的前侧重布结构1202为一示例。可以在前侧重布结构1202内形成更多或更少的介电层及金属化图案。若要形成更少的介电层及金属化图案,则可省略上述所讨论的步骤及工艺。若要形成更多的介电层及金属化图案,则可重复上述所讨论的步骤及工艺。所属技术领域技术人员将容易理解需省略或重复哪些步骤及工艺。

[0101] 在图13中,形成接垫1304于前侧重布结构1202的外侧上、形成导电连接器1302于接垫1304上、剥除(de-bonded)承载基底1002,然后翻转结构并放置于胶带层1306上。

[0102] 接垫1304用于耦接至导电连接器1302,且可称为凸块下金属层(under bump metallurgy,UBM)1304。在所示实施例中,接垫1304穿过开口(其穿过图12的最顶部介电层)至图12的最顶部金属化图案。在形成接垫1304的一示例中,形成种子层(未个别示出)于最顶部的介电层上。在一些实施例中,种子层为金属层,其可为单层或复合层(包括由不同材料形成的多个次层)。在一些实施例中,种子层包括钛层及钛层上的铜层。可使用例如物理气相沉积(PVD)工艺等形成种子层。然后形成光刻胶于种子层上并图案化种子层。可通过旋涂等工艺形成光刻胶,且可对光刻胶进行曝光以进行图案化。光刻胶图案对应于接垫1304。图案化形成穿过光刻胶的开口以露出种子层。在光刻胶的开口内及种子层的露出部分上形

成导电材料。导电材料可通过电镀形成,例如电镀或无电镀等。导电材料可包括金属,例如铜、钛、钨、铝等。然后,去除光刻胶及上方未形成导电材料的种子层部分。可通过可接受的灰化或剥离工艺去除光刻胶,例如使用氧等离子体等。一旦去除光刻胶,去除种子层的露出部分,例如通过使用可接受的蚀刻工艺(例如通过湿法或干法蚀刻工艺)。种子层及导电材料的余留部分形成了接垫1304。在一实施例中,接垫1304以不同方式形成,可使用更多的光刻胶及图案化步骤。

[0103] 导电连接器1302形成于凸块下金属层(UBM) 1304上。导电连接器1302可为球栅阵列(BGA)连接器、焊球、金属柱体,控制塌陷高度芯片连接(C4)凸块、微凸块,化学镀镍钯-浸金(ENEPIG)技术形成的凸块等。导电连接器1302可包括导电材料,例如焊料、铜、铝、金、镍、银、钯、锡等或其组合。在一些实施例中,导电连接器1302一开始经由诸如蒸镀、电镀、印刷、焊料转移、球放置等方法而形成焊料层。一旦在结构上形成了一层焊料就可进行回流,以将材料成形为所需的凸块形状。在另一实施例中,导电连接器1302为通过溅射、印刷、电镀、无电镀、化学气相沉积(CVD)等工艺形成的金属柱(例如铜柱)。金属柱可为无焊料的,且具有实质上垂直的侧壁。在一些实施例中,形成金属盖层(未示出)于导电连接器1302的顶部上。金属盖层可包括镍、锡、锡铅、金、银、钯、铟、镍-钯-金、镍-金等或其组合,且可通过电镀工艺形成。

[0104] 然后,剥除承载基底,以使承载基底1002与背侧重布结构1112(例如,介电层1006)分离(剥除)。根据一些实施例,剥除工艺包括投射光线(激光或紫外线(UV))于释放层1004上,使得释放层1004在光的热量下分解,且可移除承载基底1002。然后将上述结构翻转并放置在胶带层1306上。

[0105] 如图13中进一步所示,形成开口穿过介电层1006,以露出金属化图案1008的部分。可使用激光钻孔或蚀刻等形成开口。

[0106] 在图14中,第二封装体1400贴附至第一封装区域1000A及第二封装区域1000B内的金属化图案1008。第二封装体1400各自包括一基底1402及耦接基底1402的一或多个堆叠芯片1410(1410A和1410B)。尽管示出了单个堆叠芯片1410(1410A和1410B),然而在其他实施例中,多个堆叠芯片1410(每个具有一或多个堆叠的芯片)可并排设置而耦接于基底1402的同一表面上。基底1402可由硅、锗、钻石等半导体材料形成。在一些实施例中,也可使用硅锗、碳化硅、砷化镓、砷化铟、磷化铟、碳化硅锗、磷化镓砷、磷化镓铟等化合物材料及其组合等。另外,基底1402可为绝缘体上覆硅(SOI)基底。通常,绝缘体上覆硅(SOI)基底包括半导体材料层,例如外延硅、锗、硅锗、绝缘体上覆硅(SOI),绝缘体上覆硅锗(SGOI)或其组合。在另一实施例中,基底1402为绝缘芯,例如玻璃纤维增强树脂芯。一种示例性芯材料为玻璃纤维树脂,例如FR4。芯材料的替代物包括双马来酰亚胺-三嗪(BT)树脂,或者为其他印刷电路板(PCB)材料或膜层。诸如Ajinomoto积层膜(ABF)或其他层压板的积层膜可用于基底1402。

[0107] 基底1402可以包括主动及被动装置(未示出)。所属技术领域技术人员将可理解可以使用诸如晶体管、电容器、电阻器及其组合等的各种装置来产生设计第二封装体1400的结构与功能要求。可以使用任何合适的方法形成上述装置。

[0108] 基底1402也可以包括金属化层(未示出)及通孔电极1406。金属化层可形成在主动及被动装置上,且设计为连接各种装置以形成功能电路。金属化层可由交替的介电层(例

如,低k值介电材料)及导电材料(例如,铜)形成,其中通孔电极内连接导电材料层,且可通过任何合适的工艺(例如沉积工艺、镶嵌工艺、双镶嵌工艺)形成。在一些实施例中,基底1402实质上没有主动及被动装置。

[0109] 基底1402可于基底1402的一第一侧上具有接合垫1408以耦接至堆叠芯片1410,且在基底1402的一第二侧上具有接合垫1404,第二侧与基底1402的第一侧相对。在一些实施例中,通过形成介电层内的凹槽(未示出)于基板1402的第一侧及第二侧上来形成接合垫1408和1404。形成凹槽以允许接合垫1408及1404嵌入介电层内。在其他实施例中,省略凹槽,因为接合垫1408及1404可形成于介电层上。在一些实施例中,接合垫1408及1404包括由铜、钛、镍、金、钯等或其组合形成的薄种子层(未示出)。接合垫1408及1404的导电材料可沉积于薄种子层上。导电材料可通过电化学镀工艺、无电电镀工艺、化学气相沉积(CVD)工艺、原子层沉积(ALD)工艺、物理气相沉积(PVD)工艺等或其组合形成。在一实施例中,接合垫1408及1404的导电材料为铜、钨、铝、银、金等或其组合。

[0110] 在一实施例中,接合垫1408及1404为凸块下金属层(UBM),其包括三层导电材料,例如钛层、铜层及镍层。然而,所属技术领域技术人员将可理解存在许多合适的材料与膜层排置,例如铬/铬铜合金/铜/金的排置、钛/钛钨/铜的排置或者适合于形成接合垫1408及1404的铜/镍/金的排置。可用于接合垫1408及1404的任何合适的材料或材料层完全涵盖于目前实施例中。在一些实施例中,通孔电极1406延伸穿过基底1402,且将至少一个接合垫1408耦接至少一个接合垫1404。

[0111] 在所示实施例中,堆叠芯片1410通过接合线1414耦接至基底1402,然而可使用其他连接方式,例如导电凸块。在一实施例中,堆叠芯片1410是堆叠的存储器芯片。举例来说,堆叠芯片1410可为存储器芯片,诸如低功率(LP)双重数据速率(double data rate,DDR)存储器模块(例如,LPDDR1、LPDDR2、LPDDR3、LPDDR4等存储器模块)。

[0112] 堆叠芯片1410及接合线1414可由模塑材料1412进行封装。模塑材料1412可模塑于堆叠芯片1410及接合线1414上。举例来说,使用压缩模塑。在一些实施例中,模塑材料1412是模塑化合物(molding compound)、聚合物、环氧树脂、氧化硅填充材料等或其组合。可进行固化步骤以固化模塑材料1412,其中固化可为热固化、紫外线(UV)固化等或其组合。

[0113] 在一些实施例中,堆叠芯片1410及接合线1414埋入于模塑材料1412中,且在模塑材料1412固化之后,进行平坦化步骤,例如研磨,以去除模塑材料的多余部分,使第二封装体1400具有实质上平坦的表面。

[0114] 在形成第二封装体1400之后,第二封装体1400通过功能连接器1416及接合垫1404机械性地和电性地接合至第一封装区域1000A及第二封装区域1000B内的金属化图案1008。在一些实施例中,堆叠芯片1410可通过接合线1414、接合垫1408及1404、通孔电极1406、功能连接器1416以及通孔电极1104耦接至集成电路芯片1108。

[0115] 功能连接器1416可类似于上述导电连接器1302,且此处不再重复描述,然而功能连接器1416与导电连接器1302并不需要相同。功能连接器1416可设置于基底1402上背对于堆叠芯片1410的一侧。

[0116] 在图15中,通过沿着切割道区域1418(示出于图14中)(例如在相邻封装区域1000A与1000B之间)切割来进行单体化工艺。上述切割将第一封装区域1000A及第二封装区域1000B单体化。图15示出单体化的第一封装体1500,其可来自第一封装区域1000A及第二封



装区域1000B的其中一个。第一封装体1500也可以称作整合型扇出 (InFO) 封装体1500。

[0117] 在图16中,第一底胶层1602形成于第一封装体1500与第二封装体1400之间,且围绕功能性连接器1416。第一底胶层1602可在第二封装体1400贴附至第一封装体1500之后,通过毛细管流动工艺形成,或者可在第二封装体1400贴附至第一封装体1500之前,通过合适的沉积方法形成。在通过毛细管流动工艺形成第一底胶层1602的实施例中,一定量的第一底胶材料可沉积于第二封装体1400的边角处。然后加热第一封装体1500及第二封装体1400,以使第一底胶材料产生流动。第一底胶材料通过毛细管作用而流动于第一封装体1500与第二封装体1400之间。在一些实施例中,可通过在沉积第一底胶材料之前,将第二封装体1400及第一封装体1500的表面暴露于等离子体来活化其表面,此乃为了增加上述表面的润湿性并改善第一底胶材料的毛细管作用。

[0118] 可沉积有限量的第一底胶材料以形成第一底胶层1602,以使第一底胶层1602形成于限定的区域中。第一底胶层1602的外围部分可设置于第二封装1400的外围内。举例来说,第一底胶层1602的最下表面的外围与第二封装体1400的外围之间的距离D5可介于约100 $\mu\text{m}$ 与200 $\mu\text{m}$ 之间,例如约为150 $\mu\text{m}$ 。在一些实施例中,第一底胶层1602的侧壁可为渐细或倾斜形的。如图16所示,第一底胶层1602的侧壁可在剖面视图中为弯曲的。在又一些实施例中,第一底胶层1602可具有实质上垂直于第一封装体1500的主表面的侧壁的(未个别图示说明),或者第一底胶层1602可具有渐细或倾斜的侧壁并延伸超过第二封装体1400的外围。

[0119] 第一底胶层1602可为任何可接受的材料,例如聚合物、环氧树脂、模塑底胶层等。根据至少一个实施例,第一底胶层1602可由包括硅填料的环氧树脂材料形成。更具体来说,第一底胶层1602可由具有约60%至70%的硅的重量百分比的环氧树脂材料形成,例如约为75%。第一底胶层1602可具有介于约20ppm/ $^{\circ}\text{C}$ 与30ppm/ $^{\circ}\text{C}$ 之间的热膨胀系数(CTE),例如约为20ppm/ $^{\circ}\text{C}$ 。

[0120] 在图17中,形成第二底胶层1702围绕第一底胶层1602以形成半导体装置1700。也可形成第二底胶层1702围绕第二封装体1400的至少一部分,例如围绕基底1402及/或模塑材料1412。如图17所示,第二底胶层1702可自介电层1006的表面延伸至切齐基底1402的上表面的点。在一些实施例中,第二底胶层1702的最顶部区域范围可位于基底1402的上表面上方,或者位于基底1402的上表面下方。第二底胶层1702可沿着基底1402的边缘形成,以密封基底1402的边缘并降减少基底1402发生破裂。第二底胶层1702可完全包围第一底胶层1602的外围。第二底胶层1702的最顶部区域范围可延伸于第一底胶层1602的最顶部表面上方。第二底胶层1702的制作可通过在第一底胶层1602外围沉积一定量的第二底胶材料并使第二底胶材料回流。第二底胶层1702的外围与第二封装体1400的外围之间的距离D6可小于约2mm,小于约2.5mm,或小于约3mm。如图17所示,第二底胶层1702的侧壁可为倾斜或渐细形的,且可在剖面视图中为弯曲的。

[0121] 第二底胶层1702可为任何可接受的材料,例如聚合物、环氧树脂、模塑底胶层等。第二底胶层1702可由与第一底胶层1602不同的材料形成,或者第二底胶层1702可由具有与第一底胶层1602相同的组成而不同的比例的材料形成。举例来说,在一实施例中,第一底胶层1602由包括硅填料的环氧树脂材料形成。第二底胶层1702可由包括硅填料的环氧树脂材料形成,其硅填料的硅浓度高于第一底胶层1602的硅填料。更具体来说,第二底胶层1702可由硅的重量百分比介于约70%与约85%之间的环氧树脂材料形成,例如约75%或85%。在

一些实施例中,第一底胶层1602的环氧树脂材料内的硅填料可具有与第二底胶层1702的环氧树脂材料内的902不同的尺寸。

[0122] 第二底胶层1702可具有小于约25ppm/°C的热膨胀系数(CTE),小于约20ppm/°C或小于约10ppm/°C,例如约为8ppm/°C、9ppm/°C、11ppm/°C、22ppm/°C或24ppm/°C。因此,第二底胶层1702的热膨胀系数(CTE)可小于第一底胶层1602的热膨胀系数(CTE)约18ppm/°C、约17ppm/°C或约11ppm/°C。第二底胶层1602的热膨胀系数(CTE)也可与第一封装体1500的热膨胀系数(CTE)匹配。举例来说,第二底胶层1702的热膨胀系数(CTE)可介于第一底胶层1602的热膨胀系数(CTE)与第一封装体1500的热膨胀系数(CTE)之间。第一底胶层1602与第二底胶层1702的热膨胀系数(CTE)的比率可介于约2与4之间,例如约为3.7、2.6或2。第一底胶层1602与第二底胶层1702的热膨胀系数(CTE)的比率大于及小于上述范围可能由于第一底胶层1602与第二底胶层1702之间的热膨胀系数(CTE)不匹配或者由于第二底胶层1702与第一封装体1500之间的热膨胀系数(CTE)不匹配而导致底胶层的破裂。

[0123] 在形成第一底胶层1602与第二底胶层1702之后,固化第一底胶层1602与第二底胶层1702。第一底胶层1602与第二底胶层1702可以在室温下或经由加热或紫外线(UV)而固化。在一些实施例中,第一底胶层1602可在形成第二底胶层1702之前固化,或者第一底胶层1602与第二底胶层1702可同时固化。

[0124] 与第一底胶层1602相比,第二底胶层1702具有不良的流动性。举例来说,第二底胶层1702具有介于约55Pa·s与70Pa·s之间的黏度,例如约为65Pa·s。而第一底胶层1602具有介于约100Pa·s与200Pa·s之间的黏度,例如约为150Pa·s。如此,第一底胶层1602可于第一装置封装体1500与第二装置封装体1400之间流动,因而完全填充空间并包围功能连接器1416。

[0125] 此外,半导体装置1700于半导体装置1700的边角处受到高应力/应变。第二底胶层1702可于半导体装置1700的边角处具有比第一底胶层1602更少的应变能量。例如,第二底胶层1702可具有约1μJ至约3μJ之间的角应变能量,例如约为2.18μJ或1.68μJ。角应变能量值高于这些值会将底胶层破裂风险增加至不可接受的程度。第一底胶层1602可具有介于约4μJ与约6μJ之间的角应变能量,例如约为5.08μJ或5.3μJ。因此,第二底胶层1702的角应变能量可小于第一底胶层1602的角应变能量介于约1μJ与约5μJ之间,例如约为1μJ、2μJ或4μJ。增加的角应变能量可能导致在底胶层中更早出现裂缝。因此,包括具有比第一底胶层1602更低的角应变能量的第二底胶层1702降低半导体装置1700的角应变能量并且降低底胶层中开裂的可能性。因此,具有第一底胶层1602及第二底胶层1702两者的半导体装置1700可防止凸块破裂、底胶层破裂及离层,同时仍然允许底胶层流动于且实质上填充于第一装置封装体1500与第二装置封装体1400之间的区域。如此一来,半导体装置1700的整体结构更加稳固。

[0126] 尽管未个别图示说明,然而根据一些实施例,半导体装置1700可包括与前述图9B所示的实施例的环形体910及盖板912类似的一或多个盖板及环形体。更具体来说,可提供一第一盖板及一第一环形体以消散第一封装体1500中产生的热量并保护第一封装体1500,且可提供一第二盖板及一第二环形体以消散第二封装体1400中产生的热量并保护第二封装体1400。在一些实施例中,可以提供单一环形体及单一盖板以消散在第一封装体1500与第二封装体1400中产生的热量并保护第一封装体1500与第二封装体1400两者。如此,热量

可自第一封装体1500与第二封装体1400消散至外部环境并可保护第一封装体1500与第二封装体1400。

[0127] 根据一实施例中,一种半导体装置封装体包括:一封装基底;一集成电路芯片,形成于封装基底上方;一封胶层,围绕集成电路芯片,且露出该集成电路芯片的一背表面;一环形体,形成于封装基底上,且围绕集成电路芯片;以及一盖板,经由一热界面材料接合至集成电路芯片的露出的背表面,其中热界面材料被封胶层所围绕,且热界面材料于封装基底的一投影面积大于该集成电路芯片于封装基底的一投影面积。

[0128] 根据另一实施例,一种半导体装置封装体包括:一中介层,具有一第一表面及相对于第一表面的一第二表面;一第一集成电路芯片及一第二集成电路芯片,位于一封胶层内,且经由多个芯片连接器贴合至中介层的第一表面;一封装基底,经由多个导电连接器贴合至中介层的第二表面,其中所述多个导电连接器的每一个的尺寸大于所述多个芯片连接器的每一个的尺寸大;一环形体,位于封装基底上,且围绕封装基底;以及一金属盖板,经由一热界面材料接合至该封装基底,且经由一黏着层接合至环形体。

[0129] 又根据另一实施例,一种半导体装置封装体的制造方法包括:经由多个芯片连接器将一集成电路芯片贴附至一中介层的一第一表面;以一封胶层封装集成电路芯片;形成多个导电连接器于该中介层的一第二表面,第二表面相对于第一表面;经由所述多个导电连接器将中介层接合至一封装基底;将一环形体贴附至封装基底上,其中环形体围绕中介层;以及将一盖板贴附至环形体、封装基底及集成电路芯片。

[0130] 以上概略说明了本发明数个实施例的特征,使所属技术领域技术人员对于本公开的形态可更为容易理解。任何所属技术领域技术人员应了解到可轻易利用本公开作为其它工艺或结构的变更或设计基础,以进行相同于此处所述实施例的目的及/或获得相同的优点。任何所属技术领域技术人员也可理解与上述等同的结构并未脱离本公开的精神和保护范围内,且可在不脱离本公开的精神和范围内,当可作变动、替代与润饰。

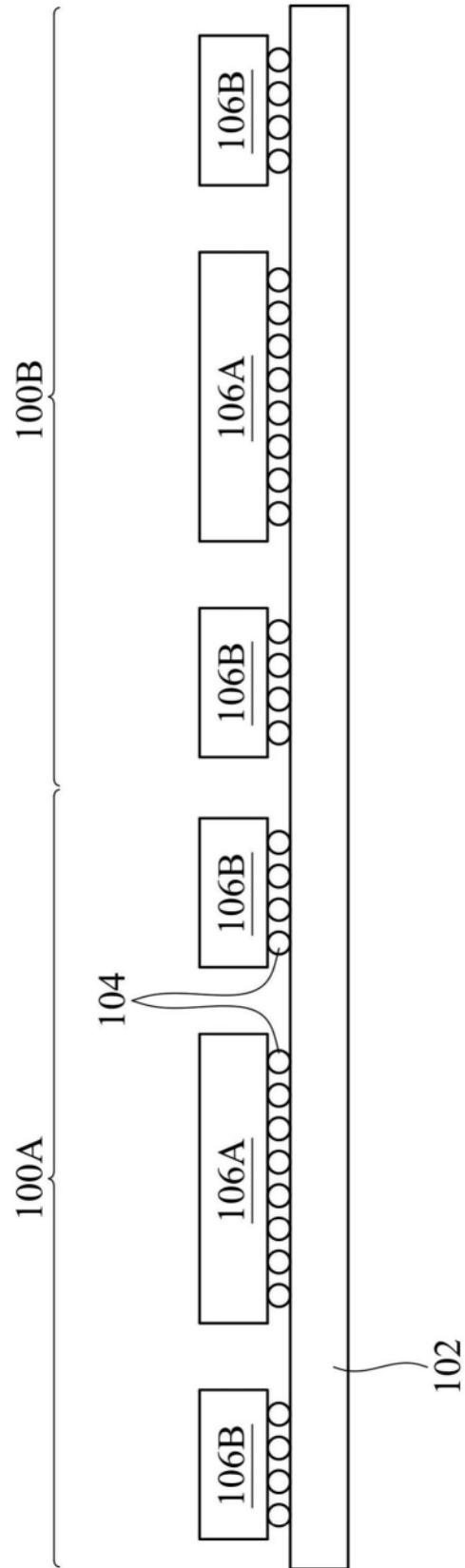


图1

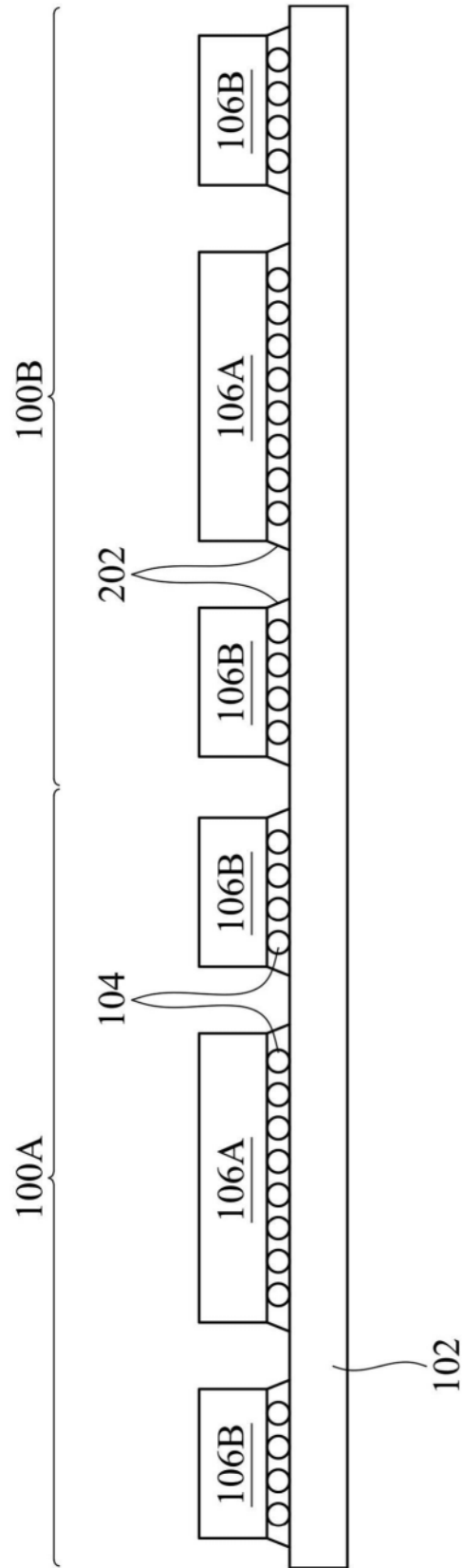


图2

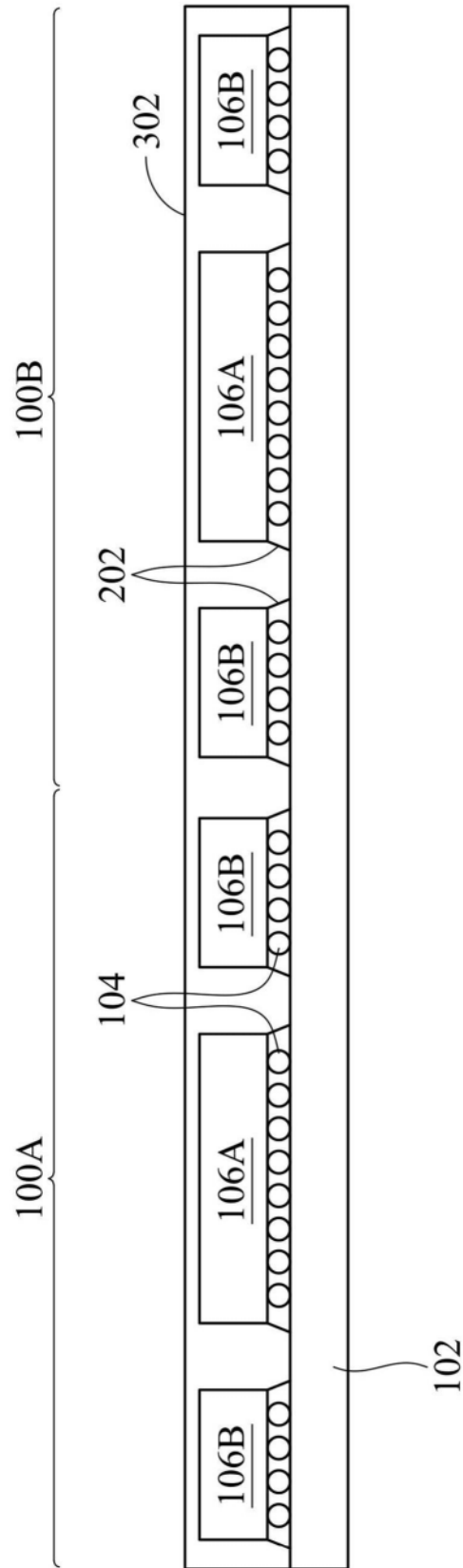


图3

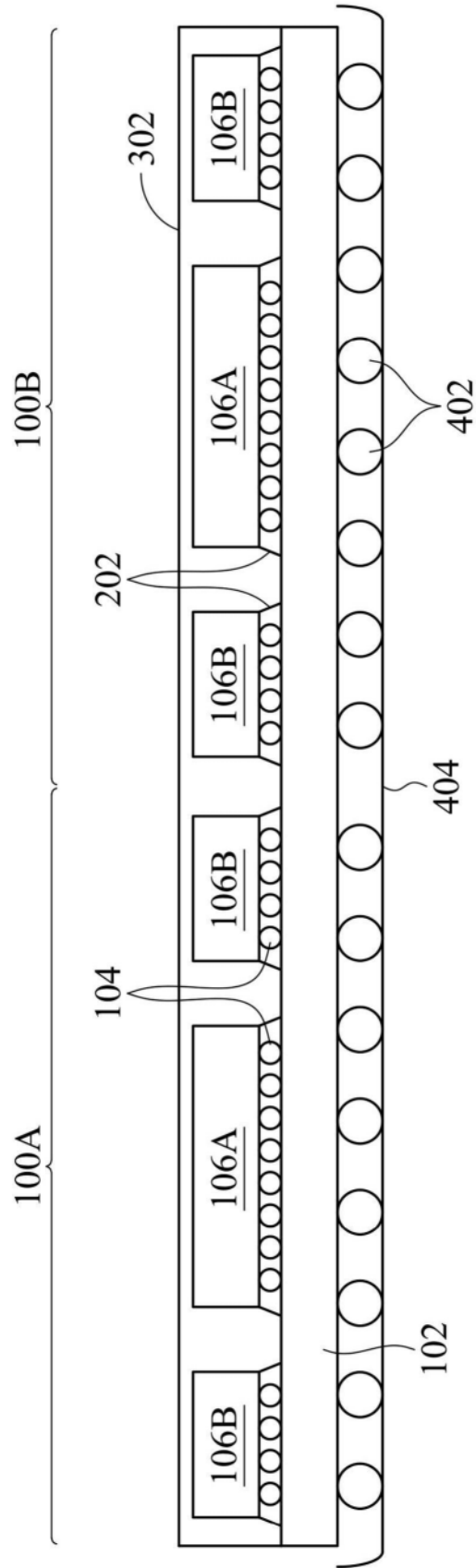


图4

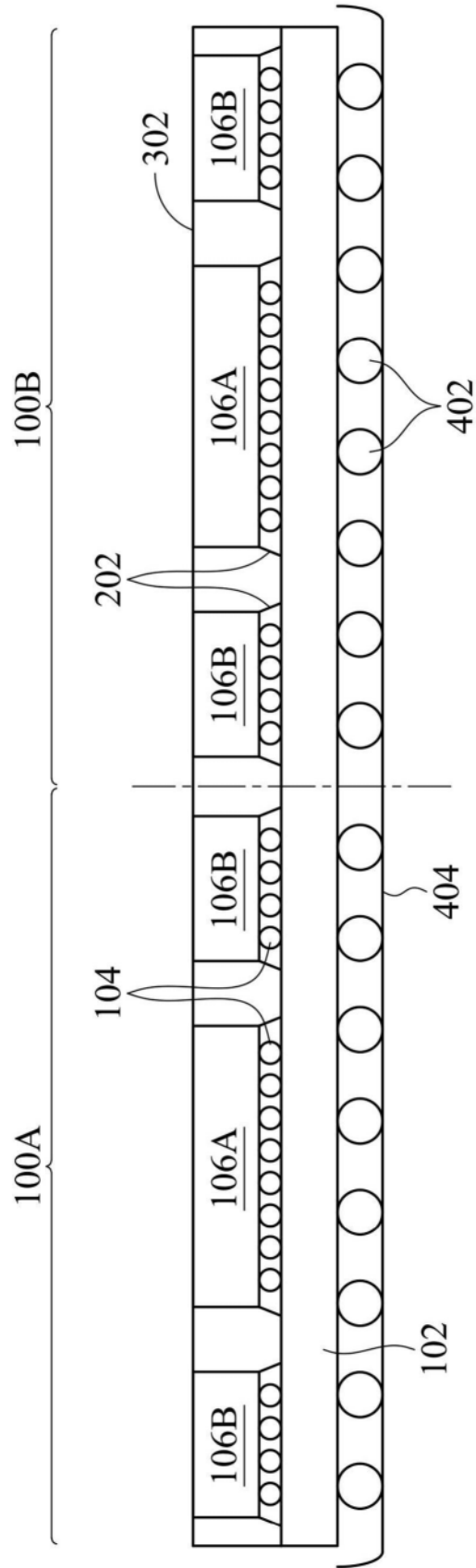


图5



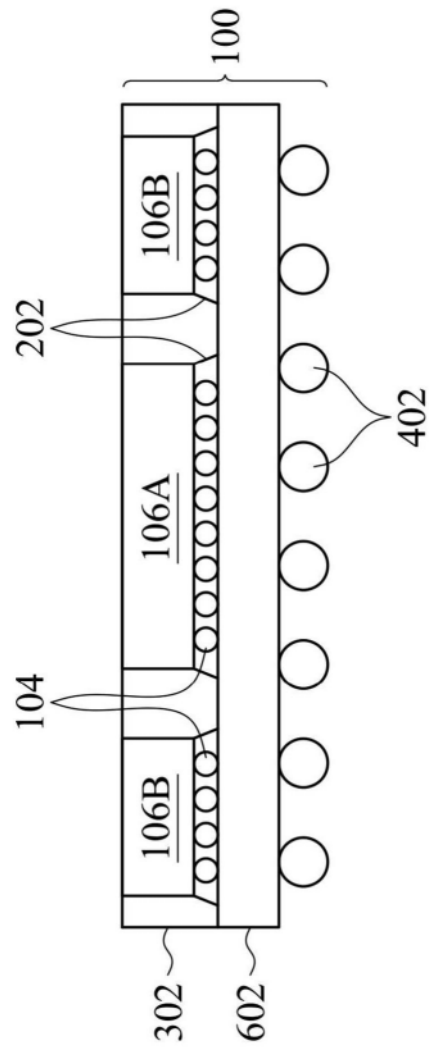


图6

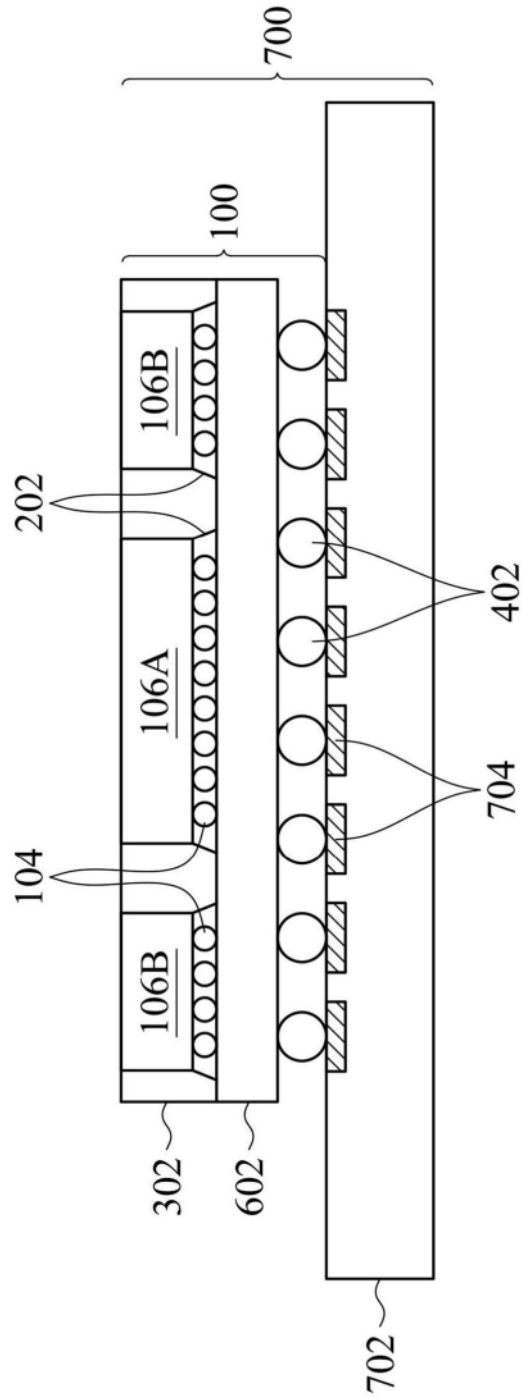


图7

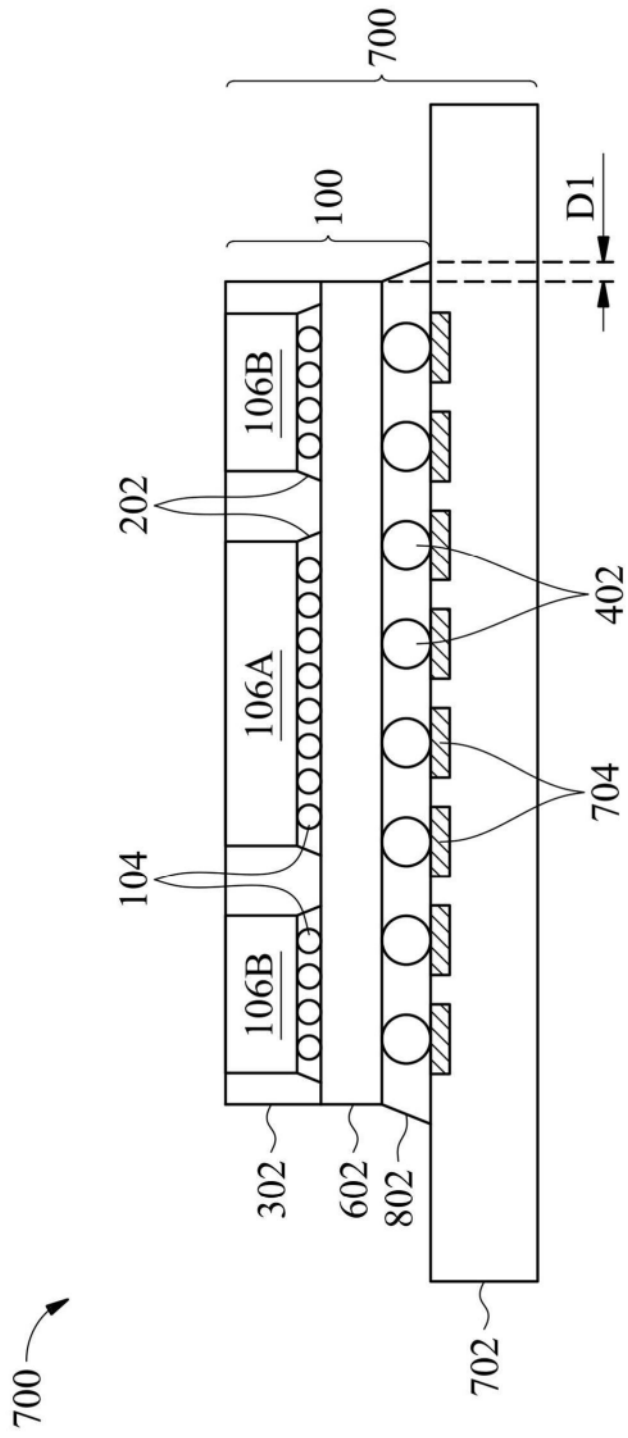


图8

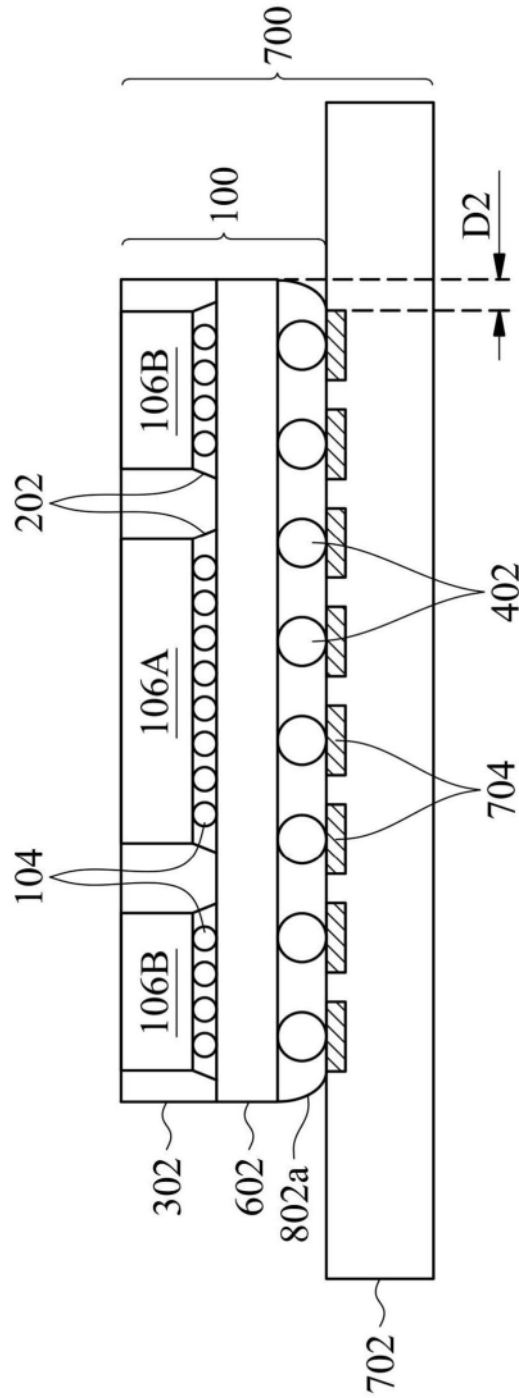


图8A

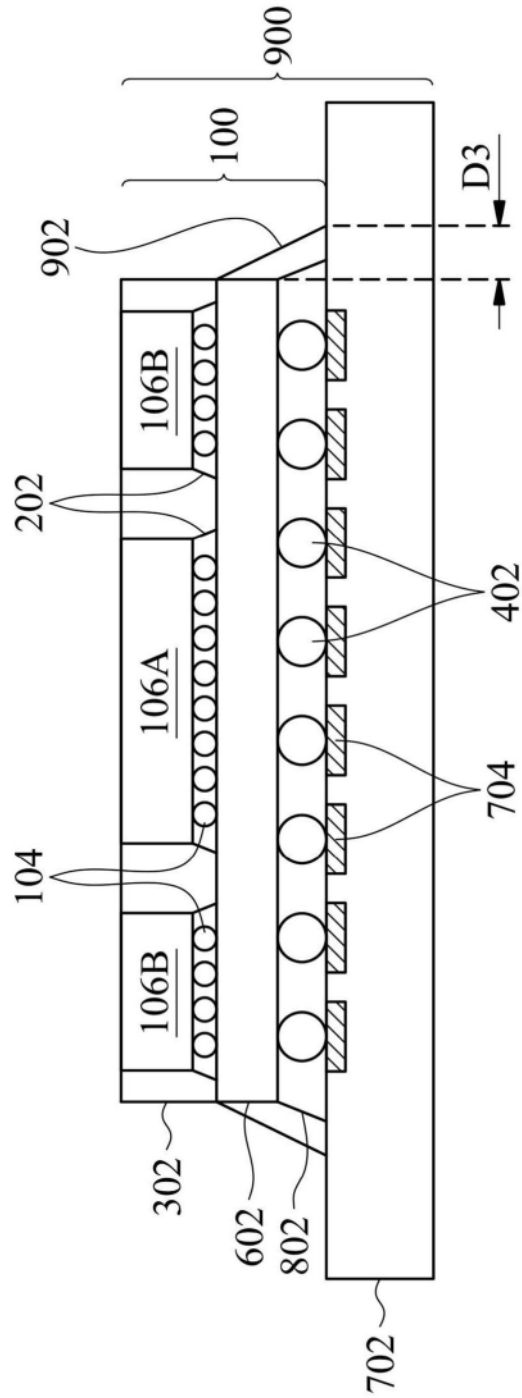


图9

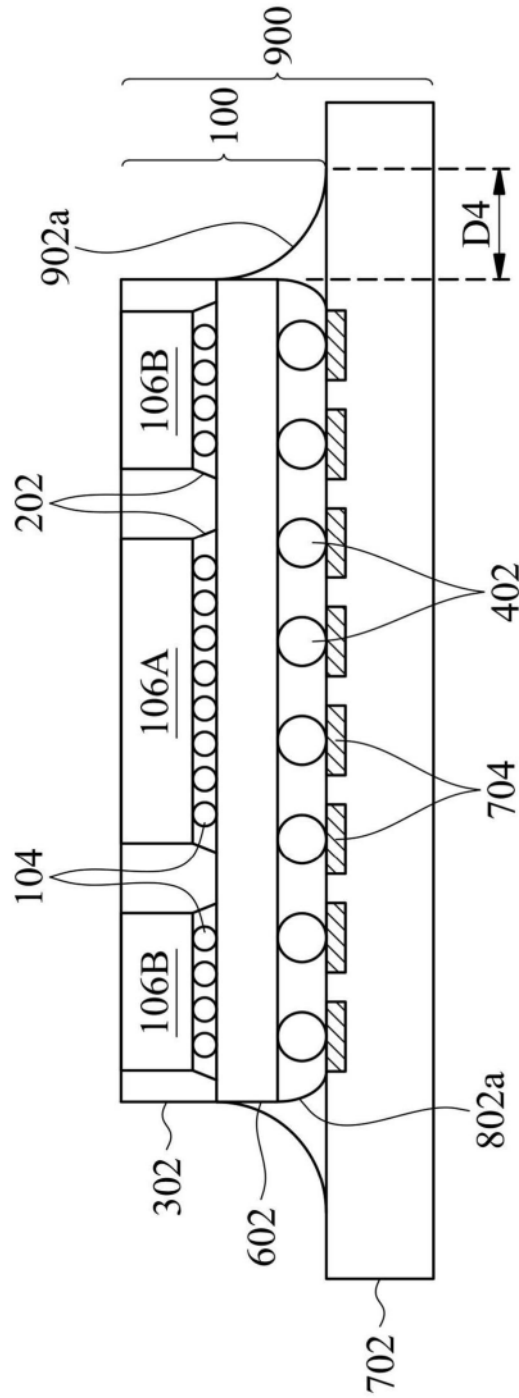


图9A

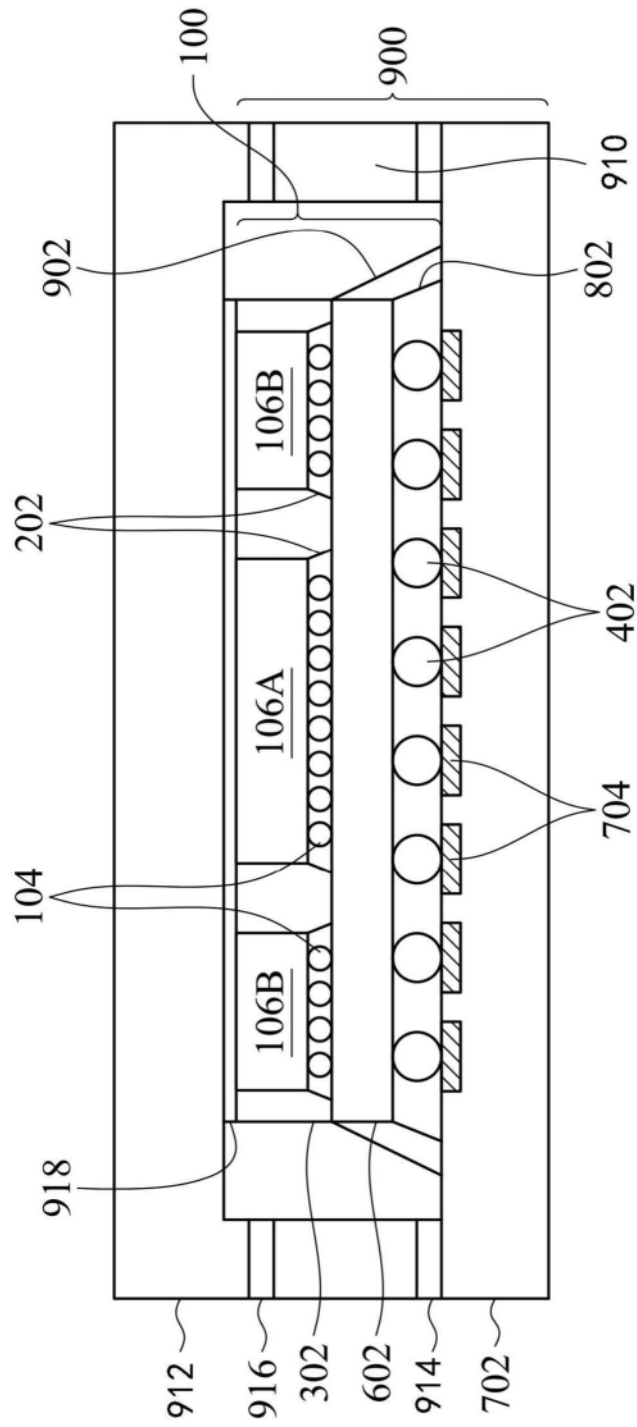


图9B

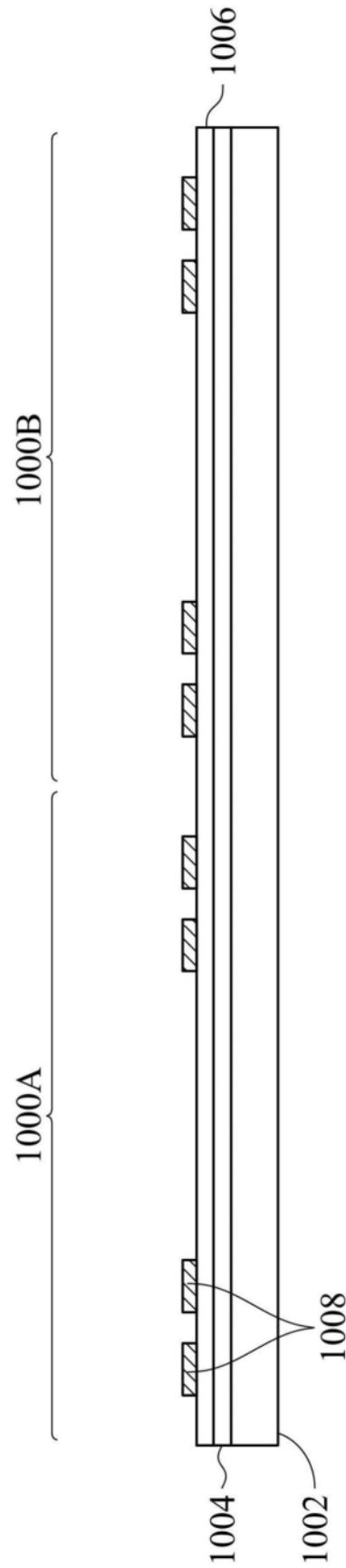


图10



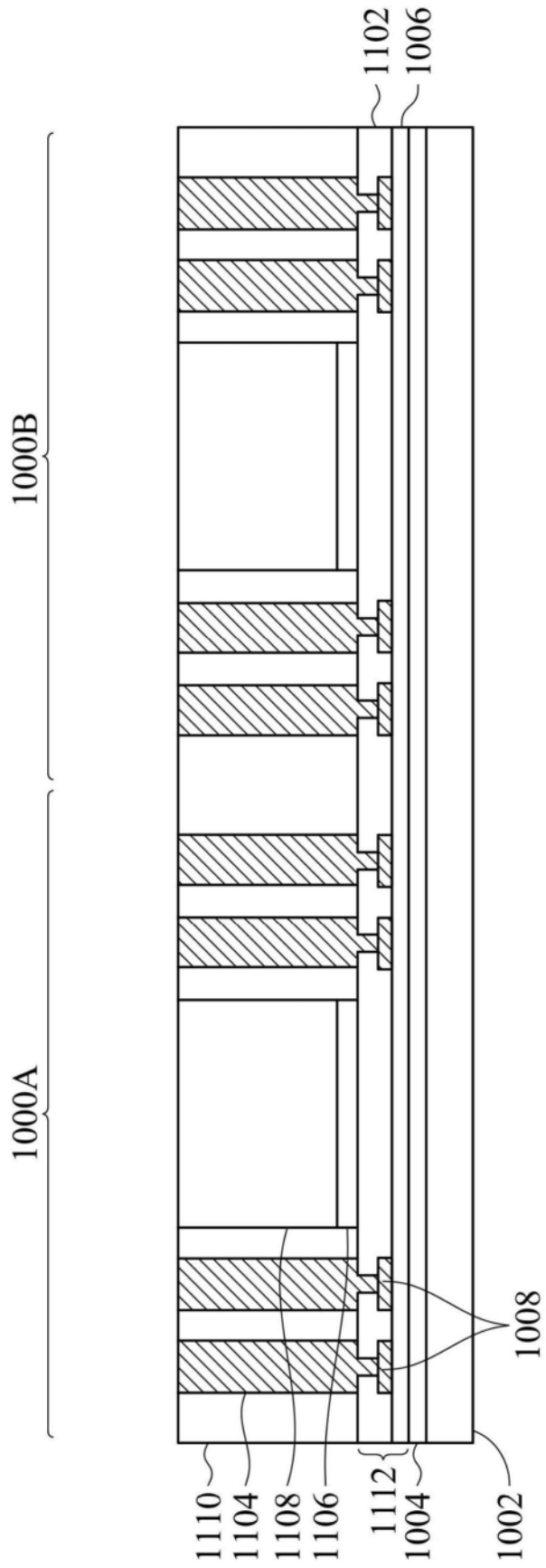


图11

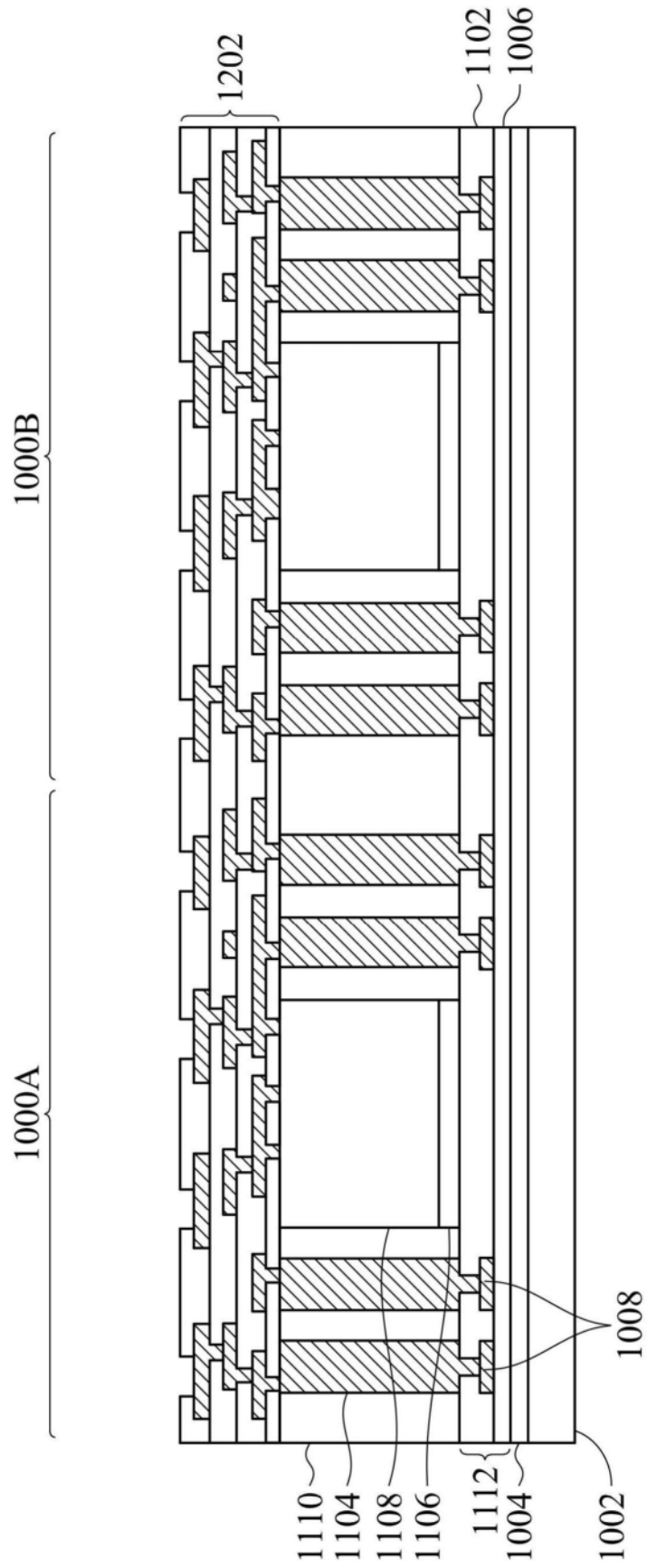


图12

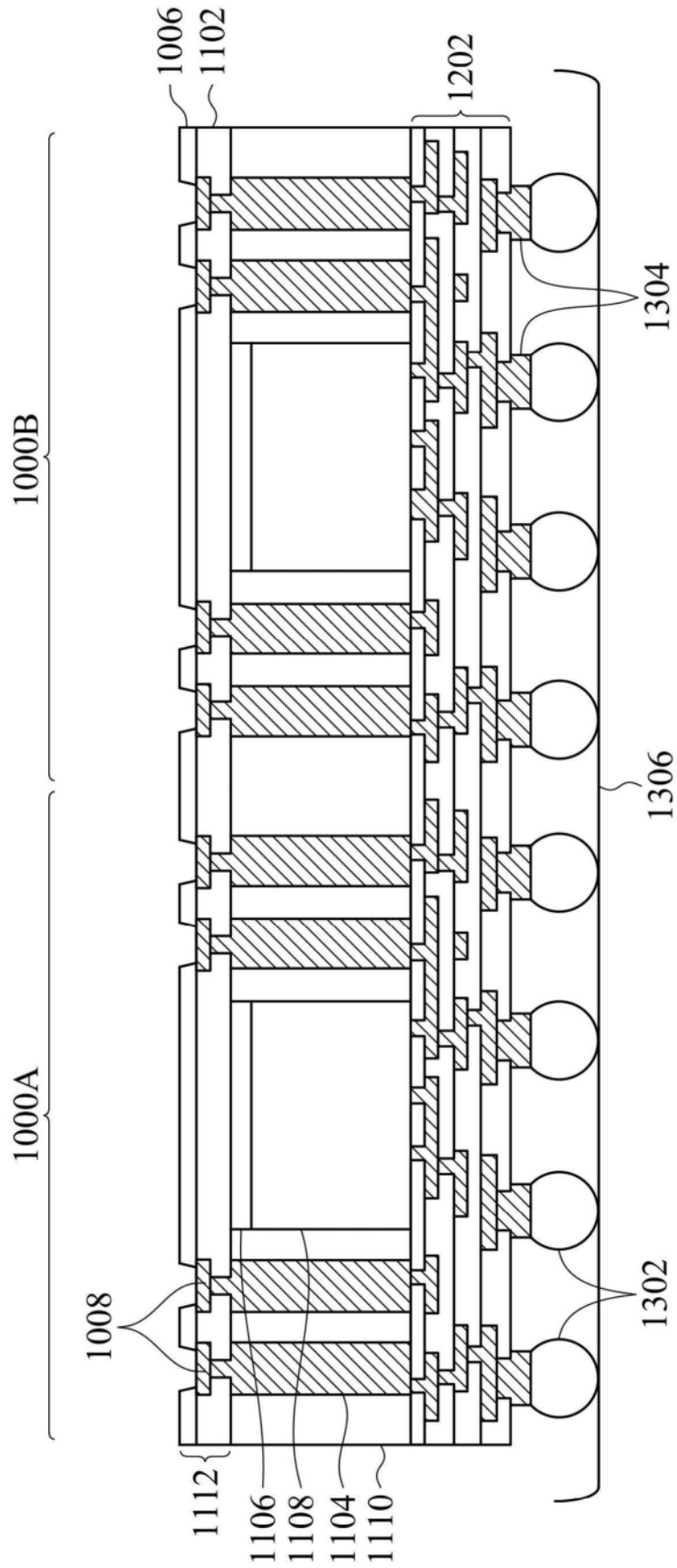


图13

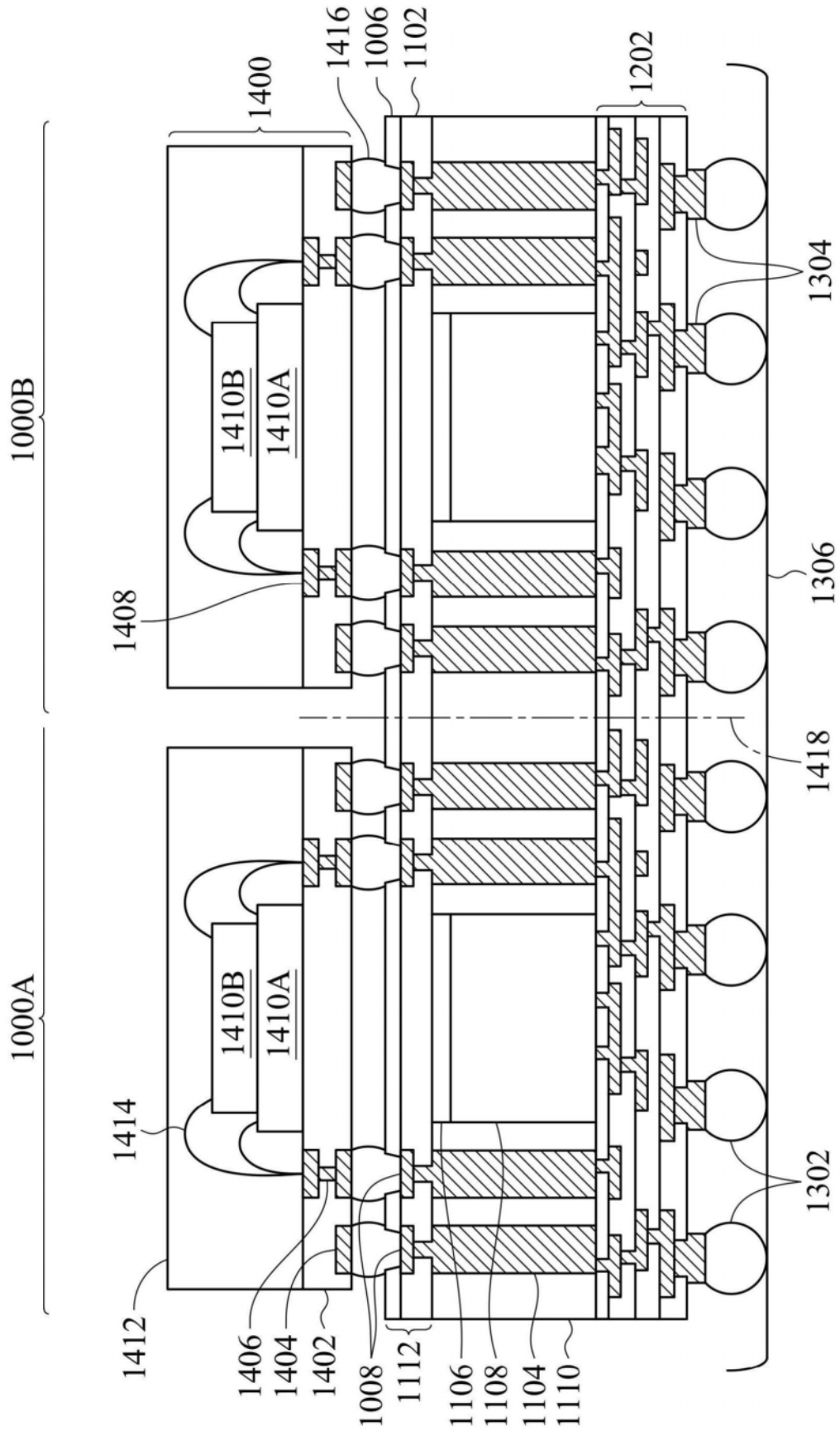


图14

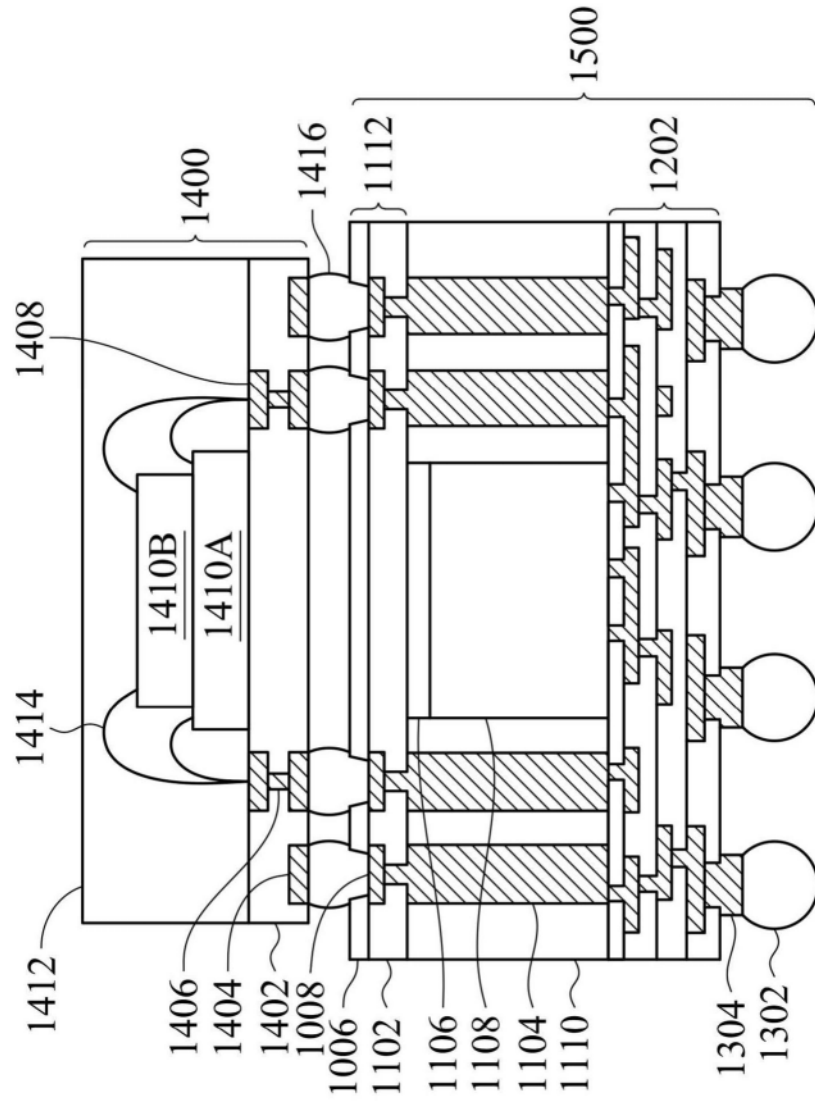


图15

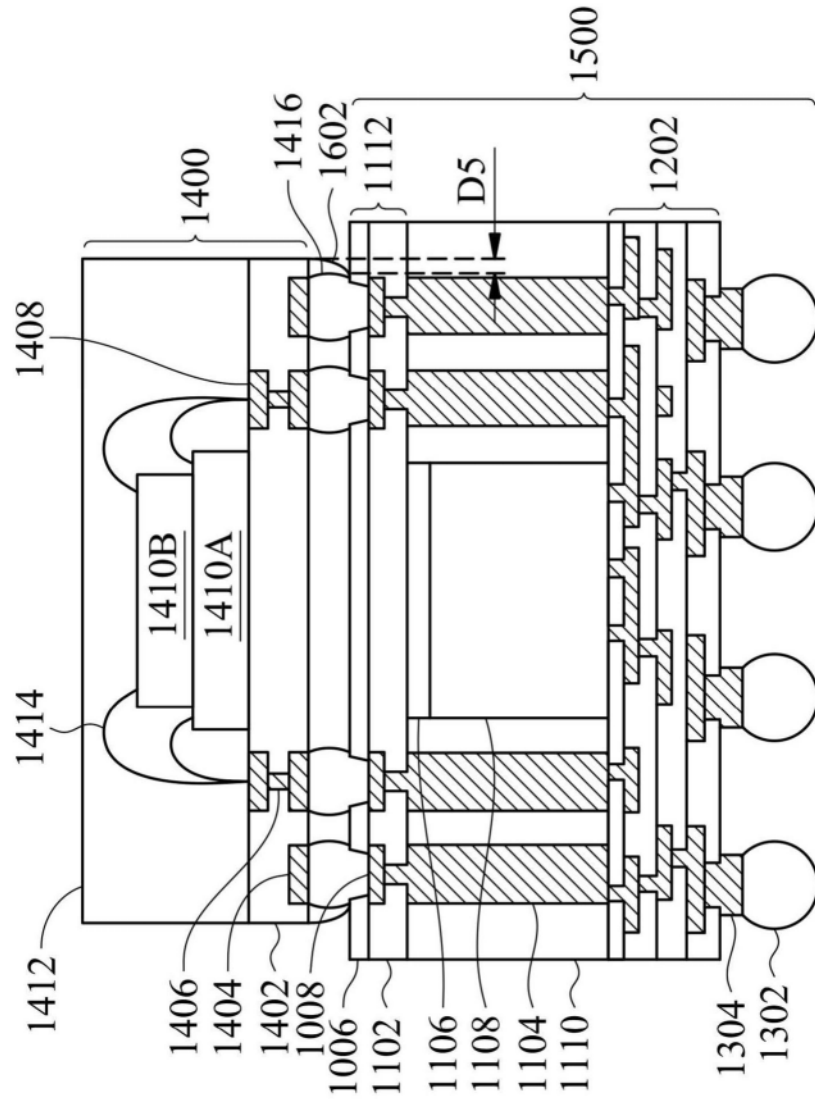


图16

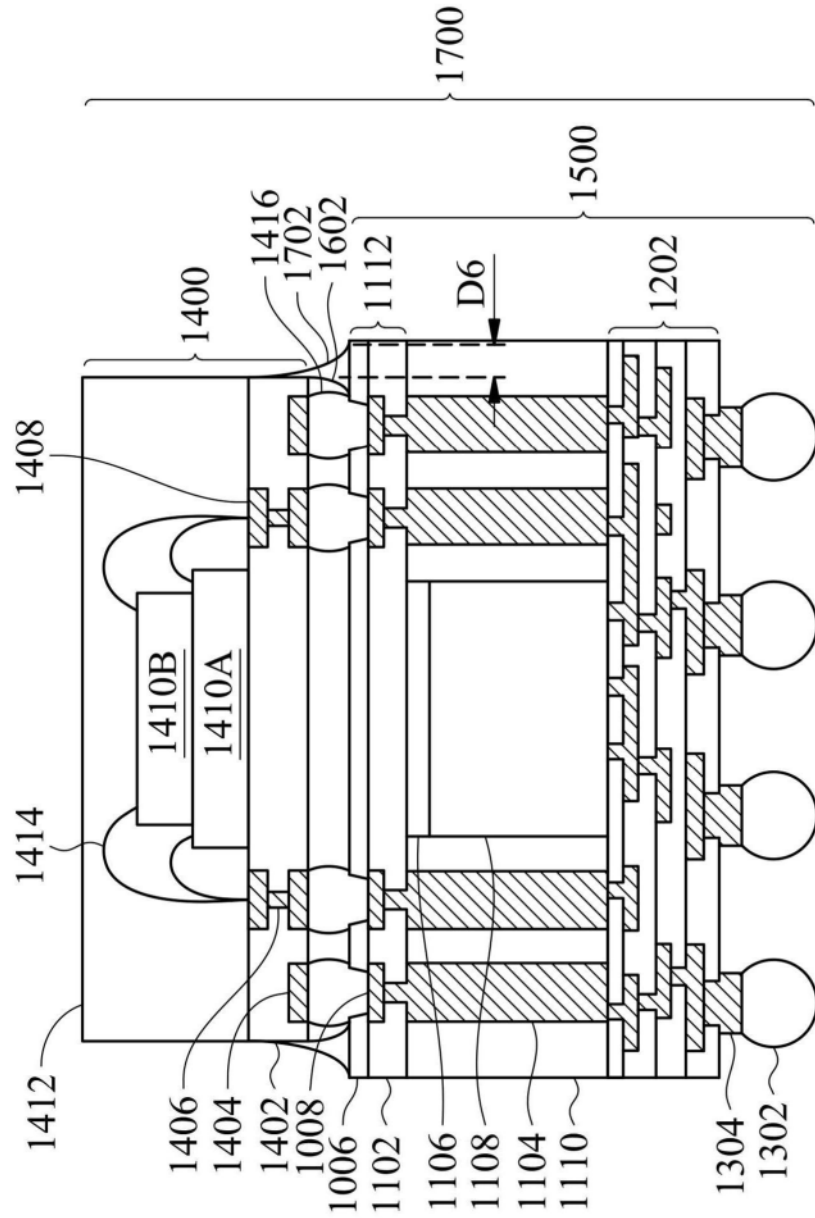


图17