

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-9372

(P2011-9372A)

(43) 公開日 平成23年1月13日(2011.1.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 B	5 F O 3 3
HO 1 L 25/07 (2006.01)	HO 1 L 21/88 T	5 F O 4 4
HO 1 L 25/18 (2006.01)	HO 1 L 21/60 3 1 1 Q	
HO 1 L 21/3205 (2006.01)		
HO 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2009-150108 (P2009-150108)  
 (22) 出願日 平成21年6月24日 (2009. 6. 24)

(71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (74) 代理人 100109313  
 弁理士 机 昌彦  
 (74) 代理人 100121290  
 弁理士 木村 明隆  
 (74) 代理人 100160554  
 弁理士 浅井 俊雄  
 (72) 発明者 大内 明  
 東京都港区芝五丁目7番1号  
 日本電気株式会社内  
 (72) 発明者 斎藤 英彰  
 東京都港区芝五丁目7番1号  
 日本電気株式会社内  
 最終頁に続く

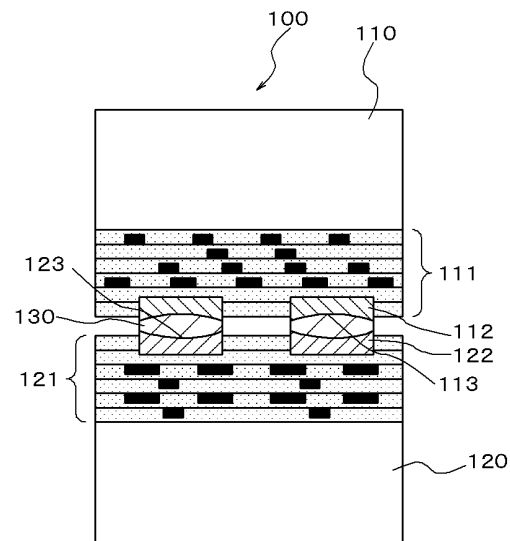
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 微細な電極ピッチで形成された半導体基板が互いに接続された構造を有する半導体装置の信頼性を向上させる手段を提供する。

【解決手段】 半導体装置は、第1の多層配線構造111を備えた第1の半導体基板110と、第2の多層配線構造121を備えた第2の半導体基板120とを有し、第1の半導体基板は第1の多層配線構造を構成する電極層の一部からなる第1の接合用電極層112を有し、第2の半導体基板は第2の多層配線構造を構成する電極層の一部からなる第2の接合用電極層122を有し、第1の接合用電極層は第1のディッシング部113を備え、第2の接合用電極層は第2のディッシング部123を備え、第1のディッシング部と第2のディッシング部との間に接合部材130が配置され、接合部材を介して第1の接合用電極層と第2の接合用電極層が接合される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 の多層配線構造を備えた第 1 の半導体基板と、第 2 の多層配線構造を備えた第 2 の半導体基板とを有し、

前記第 1 の半導体基板は前記第 1 の多層配線構造を構成する電極層の一部からなる第 1 の接合用電極層を有し、前記第 2 の半導体基板は前記第 2 の多層配線構造を構成する電極層の一部からなる第 2 の接合用電極層を有し、

前記第 1 の接合用電極層は第 1 のディッシング部を備え、前記第 2 の接合用電極層は第 2 のディッシング部を備え、

前記第 1 のディッシング部と前記第 2 のディッシング部との間に接合部材が配置され、

前記接合部材を介して前記第 1 の接合用電極層と前記第 2 の接合用電極層が接合された半導体装置。

10

## 【請求項 2】

前記接合部材は前記第 1 のディッシング部または前記第 2 のディッシング部の全領域に配置され、前記接合部材の頂点部が前記第 1 の多層配線構造または前記第 2 の多層配線構造を構成する最表面層よりも突出していることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記第 1 の半導体基板と前記第 2 の半導体基板の間の少なくとも一部の領域に封止材料を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記接合部材の弾性率は、前記第 1 の接合用電極層または前記第 2 の接合用電極層の弾性率よりも小さいことを特徴とする請求項 1 から 3 のいずれか一項に記載の半導体装置。

20

## 【請求項 5】

前記接合部材の融点は、前記第 1 の接合用電極層または前記第 2 の接合用電極層の融点よりも低いことを特徴とする請求項 1 から 4 のいずれか一項に記載の半導体装置。

## 【請求項 6】

前記接合部材は、金 (Au) またはスズ (Sn) を含み、前記第 1 の接合用電極層または前記第 2 の接合用電極層は銅 (Cu) を含むことを特徴とする請求項 1 から 5 のいずれか一項に記載の半導体装置。

## 【請求項 7】

第 1 の多層配線構造を備えた第 1 の半導体基板に、前記第 1 の多層配線構造を構成する電極層の一部からなる第 1 の接合用電極層を形成し、

第 2 の多層配線構造を備えた第 2 の半導体基板に、前記第 2 の多層配線構造を構成する電極層の一部からなる第 2 の接合用電極層を形成し、

前記第 1 の接合用電極層に第 1 のディッシング部を形成し、

前記第 2 の接合用電極層に第 2 のディッシング部を形成し、

前記第 1 のディッシング部または前記第 2 のディッシング部の少なくとも一方に接合部材を配置し、

前記接合部材を介して前記第 1 の接合用電極層と前記第 2 の接合用電極層とを接合することを特徴とする半導体装置の製造方法。

30

40

## 【請求項 8】

前記第 1 の半導体基板または前記第 2 の半導体基板の少なくとも一方の表面に封止材料を形成し、

前記接合部材を介して前記第 1 の接合用電極層と前記第 2 の接合用電極層とを接合した後、前記封止材料を硬化することを特徴とする請求項 7 に記載の半導体装置の製造方法。

## 【請求項 9】

前記第 1 の半導体基板または前記第 2 の半導体基板の少なくとも一方の表面に封止材料を形成し、

前記接合部材の少なくとも一部を前記封止材料から露出させ、

50

前記接合部材を介して前記第 1 の接合用電極層と前記第 2 の接合用電極層とを接合した後、前記封止材料を硬化する

ことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びそれらの製造方法に関し、特に、互いに接続された複数の半導体基板を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

電子機器の急速な発達に伴い、半導体装置にはこれまで以上に高機能が求められている。半導体装置の高機能・多機能化に伴い半導体装置の入出力端子数は増加し、また、半導体装置を高速動作させるために配線長の短縮化が求められている。こうした要求を実現するために開発された実装方法の一つにフリップチップ実装がある。フリップチップ実装では、半導体基板の配線面のエリア上に接続パッドを設けることができるため多ピン化に適している。また、ワイヤボンディングやテープオートメィティッドボンディングなどの他の半導体基板の実装方法と比較した場合、引き出し線を必要としないため配線長の短縮化が可能である。

【0003】

フリップチップ実装では、突起電極であるパンプの高さが確保されれば、半導体基板の平坦性に問題がある場合でも、パンプの変形等により高さのバラツキを相殺することができ、良好な接続が得られるという利点がある。しかし、電極ピッチの微細化が進むと、良好な接続を得るために十分な高さのパンプを形成することが困難となるため、微細化には限界があるという問題がある。

【0004】

電極ピッチの微細化に対応可能であり、さらに配線を短くした実装構造を有する半導体装置の一例が特許文献 1 に記載されている。図 8 に示すように、特許文献 1 の半導体装置 300 は互いに接続された第 1 の半導体基板 310 と第 2 の半導体基板 320 とからなる。第 1 の半導体基板 310 と第 2 の半導体基板 320 の多層配線表面は化学機械研磨 (Chemical Mechanical Polishing、以下、CMP という) により平坦化されている。この CMP 工程ではスルーホール内の導電体である導電体スルーホール 311、321 の表面に皿状に窪んだディッシング部 312、322 が生じる。この導電体スルーホール 311、321 の周囲の絶縁体 313、323 はディッシング部 312、322 の底部の高さ以下になるまでエッチング等により加工されている。その後、導電体スルーホール 311 と導電体スルーホール 321 を固相接合することによって第 1 の半導体基板 310 と第 2 の半導体基板 320 が接続された構造となっている。特許文献 1 の半導体装置では、電極パッドやパンプを形成する必要がないため、微細な電極ピッチを有する半導体基板同士の接続が可能になるとされている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2002 - 026123 号公報 (段落「0020」～「0028」、図 3)

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述した特許文献 1 に記載された半導体装置においては、第 1 および第 2 の半導体基板のディッシング部同士が直接接続するため、ディッシング部の形状から点接触となりやすい。そのため、微細な電極ピッチを有する半導体基板同士の接続状態が不安定であり、半導体装置の信頼性が低いという問題点があった。

10

20

30

40

50

## 【 0 0 0 7 】

本発明の目的は、上述した課題である、微細な電極ピッチで形成された半導体基板が互いに接続された構造を有する半導体装置の信頼性が低いという課題を解決する半導体装置及びその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 0 8 】

本発明の半導体装置は、第1の多層配線構造を備えた第1の半導体基板と、第2の多層配線構造を備えた第2の半導体基板とを有し、第1の半導体基板は第1の多層配線構造を構成する電極層の一部からなる第1の接合用電極層を有し、第2の半導体基板は第2の多層配線構造を構成する電極層の一部からなる第2の接合用電極層を有し、第1の接合用電極層は第1のディッシング部を備え、第2の接合用電極層は第2のディッシング部を備え、第1のディッシング部と第2のディッシング部との間に接合部材が配置され、接合部材を介して第1の接合用電極層と第2の接合用電極層が接合される。

10

## 【 0 0 0 9 】

本発明の半導体装置の製造方法は、第1の多層配線構造を備えた第1の半導体基板に、第1の多層配線構造を構成する電極層の一部からなる第1の接合用電極層を形成し、第2の多層配線構造を備えた第2の半導体基板に、第2の多層配線構造を構成する電極層の一部からなる第2の接合用電極層を形成し、第1の接合用電極層に第1のディッシング部を形成し、第2の接合用電極層に第2のディッシング部を形成し、第1のディッシング部または第2のディッシング部の少なくとも一方に接合部材を配置し、接合部材を介して第1の接合用電極層と第2の接合用電極層とを接合する。

20

## 【発明の効果】

## 【 0 0 1 0 】

本発明の半導体装置は、電極ピッチが微細であっても信頼性が高いという効果を有する。

## 【図面の簡単な説明】

## 【 0 0 1 1 】

【図1】本発明の第1の実施形態に係る半導体装置の断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

30

【図3】本発明の第2の実施形態に係る半導体装置の断面図である。

【図4】本発明の第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図5】本発明の第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図6】本発明の第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図7】本発明の第2の実施形態に係る別の半導体装置の製造方法を説明するための断面図である。

【図8】関連する半導体装置の断面図である。

40

## 【発明を実施するための形態】

## 【 0 0 1 2 】

以下に、図面を参照しながら、本発明の実施形態について説明する。

## 【 0 0 1 3 】

## [ 第1の実施形態 ]

図1は、本発明の第1の実施形態に係る半導体装置100の断面図である。半導体装置100は、第1の多層配線構造111を備えた第1の半導体基板110と、第2の多層配線構造121を備えた第2の半導体基板120とを有する。第1の半導体基板110は第1の多層配線構造111を構成する電極層の一部からなる第1の接合用電極層112を有し、第2の半導体基板120は第2の多層配線構造121を構成する電極層の一部からな

50

る第2の接合用電極層122を有している。第1の接合用電極層112は第1のディッシング部113を備え、第2の接合用電極層122は第2のディッシング部123を備え、第1のディッシング部113と第2のディッシング部123との間に接合部材130が配置され、接合部材130を介して第1の接合用電極層112と第2の接合用電極層122が接合されている。本実施形態によれば、半導体基板の間に接合部材による接続面が形成されるので、電極ピッチが微細であっても信頼性が高い半導体装置を得ることができる。

【0014】

ここでディッシングとは、銅(Cu)配線プロセスにおいて、銅(Cu)メッキ後のCMPによる配線部のへこみ(凹部)のことを言う。第1の多層配線構造111および第2の多層配線構造121に用いられる電極の材料は特に限定されず、一般的に使用されている銅(Cu)、アルミニウム(Al)等を用いることができる。

10

【0015】

接合部材130は、第1のディッシング部113および第2のディッシング部123の全領域にわたって配置され、接合部材130の頂点部が第1の多層配線構造111および第2の多層配線構造121を構成する最表面層よりも突出して配置されることが望ましい。このとき接合部材130は、第1の半導体基板110と第2の半導体基板120を接続する際の加熱加圧により変形し、良好な接続面が形成される。すなわち、接合部材130が溶融せず変形することだけで接続している場合であっても、第1の接合用電極層112あるいは第2の接合用電極層122と同等程度の投影面積を有する一様な接続界面が接合部材130によって形成される。このとき接続強度を確保するため、接続界面における接合部材の少なくとも一部は金属拡散によって接続していることが望ましい。

20

【0016】

接合部材130の材料は、導電性を有するものであれば特に制限されないが、第1の接合用電極層112または第2の接合用電極層122よりも、弾性率が低い材料が望ましい。それは第1の半導体基板110と第2の半導体基板120を接続する際の加熱加圧により、接合部材130が選択的に変形することにより、一様な接続面を有する良好な金属拡散接続が得られるからである。例えば、第1の接合用電極層112または第2の接合用電極層122の材料として銅(Cu)を用いた場合には、接合部材130として金(Au)を用いることができる。

【0017】

また接合部材130の材料として、第1の接合用電極層112または第2の接合用電極層122を構成する材料の融点よりも低い融点を有する材料を用いることとしてもよい。この場合には、第1の半導体基板110と第2の半導体基板120を接続する際に、接合部材130の融点以上の温度とすることによって接合部材を溶融し、融着接続することで良好な接続が可能となる。例えば、第1の接合用電極層112または第2の接合用電極層122の材料として銅(Cu)を用いた場合には、接合部材130として半田を用いることができる。半田材料の例としては、Sn/Pb、Sn/Ag、Sn/Cu、Sn/Zn、Sn/Bi、およびこれらの材料に特定の添加元素をさらに加えた材料等があり、これらを適宜用いることができる。

30

【0018】

また、本実施形態によれば、第1の接合用電極層112および第2の接合用電極層122には、第1のディッシング部113および第2のディッシング部123がそれぞれ形成されているので、第1の半導体基板110と第2の半導体基板120の接続を生産性よく行うことができる。すなわち、接合用電極層が平坦な場合には、半導体基板の接続時の荷重が過大であると、変形あるいは溶融した接合部材が接合面よりはみ出しやすく、電極間でショートが生じる等の問題を引き起こす可能性がある。それに対して本実施形態によれば、ディッシング形状の効果によりディッシング部のくぼみに接合部材が残りやすく、接合部材の供給量の調整が容易になる。したがって、半導体基板の良好な接続を実現するための条件範囲を拡大することができ、半導体基板を接続する際の生産性を向上させることができる。

40

50

## 【0019】

第1のディッシング部113および第2のディッシング部123に接合部材を配置するために、例えばリフトオフ法を用いることができる。ここでは、接合部材として金(Au)を形成する場合について説明する。まず、リフトオフレジスト(Lift-Off Resist: LOR)をスピンコート法等により第1の半導体基板110または第2の半導体基板120の表面に塗布する。さらに、ポジ型電子ビームレジストであるPMMMA(Poly methyl methacrylate)レジストを塗布する。レジスト塗布後にベーキングを行い、続いて電子ビーム露光法を用いてPMMMAレジストによる電極パターンを形成する。PMMMAの現像にはメチルイソブチルケトン(Methyl Isobutyl Ketone: MIBK)とイソプロピルアルコール(Isopropyl Alcohol: IPA)の混合溶液を使用し、パターンングされたPMMMAをマスクにLORをエッチングする。なお、LORレジストを除去した場所に残渣が残る場合があるが、この残渣は接合部材の接合用電極層への密着性を下げる原因となり、また、電気抵抗を上げる原因となるため取り除く必要がある。レジスト残渣の除去には酸素プラズマ中でのアッシング処理を用いることができる。

10

## 【0020】

次に電子ビーム蒸着法により金(Au)を堆積させる。接合用電極層との密着性を確保するため、金(Au)を蒸着する前にチタンを堆積させることとしてもよい。電子ビーム蒸着の後、アセトンへ浸してレジストを溶解させ、レジスト上に堆積した金をリフトオフさせる。最後に、エタノールに浸してアセトン除去し、水洗処理を施すことによりリフトオフ工程が終了する。本実施形態では電子ビーム蒸着法を用いることとしたが、これに限らず、スパッタ法またはパルスレーザー蒸着法などの堆積方法を用いることとしてもよい。

20

## 【0021】

以上述べたように、本実施形態による半導体装置においては、半導体基板の多層配線構造を構成する電極層の一部からなる接合用電極層に接合部材が配置されており、この接合部材を介して第1の半導体基板と第2の半導体基板が接合される。そのため、電極パッドやパンプを形成する必要がないので、微細な電極ピッチを有する半導体基板同士の接合が可能となる。

## 【0022】

また、本実施形態による半導体装置においては、多層配線構造の表面平坦化工程であるCMP工程において発生した接合用電極層のディッシング部に接合部材が配置される。そして、接合部材として接合用電極層を構成する材料よりも低い弾性率または低い融点を有する材料を好適に用いることができる。この場合には、半導体基板を接合する際に、接合部材が容易に変形することにより良好な接続面が得られるので、半導体基板を接続する際の生産性を向上させることができる。

30

## 【0023】

さらに、本実施形態による半導体装置においては、ディッシング部を有するので、ディッシング形状の効果によりディッシング部のくぼみに接合部材が残留しやすく、接合部材の供給量の調整を容易に行うことができる。また、より好ましくは、接合部材がディッシング部の全領域にわたって配置され、接合部材の頂点部が多層配線構造を構成する最表面層よりも突出した構造とすることができる。この場合には、半導体基板同士を接合するための荷重が接合部材に確実に印加され、接合部材の高さのバラツキは接合部材の変形によって吸収される。そのため、接合部材の全領域にわたって良好な接続状態が得られるので、信頼性の高い接続構造を実現することができる。

40

## 【0024】

これに対して特許文献1に記載された関連する半導体装置300には、以下の問題があった。すなわち、ディッシング部312、322の底部まで確実に接続させる場合には、半導体基板310、320の接合時の荷重等により、ディッシング形状を変形させる必要がある。そのため、導電体スルーホール311、321および接地配線層314、324

50

を構成する材料には、低電気抵抗が要求されるのみならず低弾性である必要があり、材料の選定が困難であった。また、高荷重を付加できる実装装置等が必要となり、設備に多大な費用がかかるという問題があった。

#### 【0025】

さらに特許文献1に記載された関連する半導体装置では、接地配線層314、324も同時に接続することにより接続強度を確保する構成としているため、接続する箇所の面積が増大し、実装時に必要な荷重が増加することから、生産性がさらに悪化するという問題があった。

#### 【0026】

次に、本実施形態による半導体装置100の製造方法について、図2を用いてさらに詳細に説明する。

#### 【0027】

図2(a)に示すように、まず、第2のディッシング部123に接合部材130が配置された第2の半導体基板120を実装装置の実装ステージ(図示せず)に吸着等により固定する。このとき第2の半導体基板120の裏面は実装ステージに接しており、第2の多層配線構造121の表面は上面方向を向いている。なお、この実装ステージは吸着固定機能、平面(x-y)駆動機能、加熱機能、接合面高さ調整機能等を有していることが望ましい。次に、第1の半導体基板110を実装装置の実装ヘッド(図示せず)に吸着固定する。ここで第1の半導体基板110の第1のディッシング部113にも接合部材130を配置した。このとき実装ヘッドは第1の半導体基板110の裏面に接しており、第1の多層配線構造111の表面は下面方向を向いている。なお、この実装ヘッドはチップ吸着固定機能、駆動機能、加熱機能、接合高さ調整機能等を有していることが望ましい。

#### 【0028】

次に、第1の半導体基板110と第2の半導体基板120の位置合わせを行う。位置合わせ工程では、まず、第1および第2の半導体基板の位置合わせに必要なアライメントマークの撮像を行う。アライメントマークは配線作製工程において作製することが望ましく、一般的には半導体基板の対角線上の角部付近の2箇所に設けられる。続いて、認識した2箇所のアライメントマークの座標データを用いて、第1の半導体基板110と第2の半導体基板120の位置合わせを行う。

#### 【0029】

次に、第1の半導体基板110を第2の半導体基板120に搭載する(図2(a)の矢印)。その後、半導体基板を加熱加圧することにより接合部材130を変形または溶融させ、第1の半導体基板110と第2の半導体基板120を電氣的に接続する。接合部材130として金(Au)を用いた場合、実装時の加熱加圧による金(Au)の拡散接合によって電氣的接続が可能となる。また、接合部材130として半田を用いた場合、半田が融着することにより電氣的接続が可能となる。以上の工程により、図2(b)に示す本実施形態による半導体装置100が完成する。なお本実施形態では、第1の半導体基板110の第1のディッシング部113および第2の半導体基板120の第2のディッシング部123の両方に接合部材を配置することとしたが、これに限らず、第1のディッシング部または第2のディッシング部の少なくとも一方に接合部材が配置されていればよい。

#### 【0030】

##### [第2の実施形態]

次に、本発明の第2の実施形態について説明する。図3は、本実施形態による半導体装置200の断面図である。本実施形態では図3に示すように、第1の半導体基板210と第2の半導体基板220の間の領域に封止材料として絶縁樹脂240が配置されており、第1の半導体基板210と第2の半導体基板220との間を封止した構成となっている。その他の構成は、第1の実施形態による半導体装置100と同様である。この絶縁樹脂240によって、第1の多層配線構造211を構成する最表面層と第2の多層配線構造221を構成する最表面層が接着される。さらに、第1の半導体基板210と第2の半導体基板220を電氣的に接続している接合部材230の周囲を、絶縁樹脂240が包み込んで

10

20

30

40

50

保護することとなるため、第1の半導体基板210と第2の半導体基板220との接続の信頼性がさらに向上する。

【0031】

絶縁樹脂240としては、例えば、エポキシ樹脂、ポリイミド樹脂、シリコン樹脂等を用いることができる。これに限らず、これらの2種以上を組み合わせることもよいし、また、絶縁樹脂の熱膨張係数や弾性率等の物性値を調整するためにシリカ等の無機充填剤等を混合したものをを用いてもよい。

【0032】

次に、本実施形態による半導体装置200の製造方法について説明する。樹脂封止の工程には、第1の半導体基板210と第2の半導体基板220の間に毛細管現象を利用して液状の樹脂を充填し、充填後に樹脂を硬化させる工程からなる一般的な方法を用いることができる。この場合、充填時に重要となる樹脂の粘度物性等を考慮すると、エポキシ樹脂を好適に用いることができる。また、上記方法で樹脂封止を行う場合、樹脂を充填する前に多層配線構造を構成する最表面層の樹脂充填領域をプラズマ処理等により改質し、樹脂に対する濡れ性を高めておくことにより、樹脂の充填性を向上させることができる。また、真空中で樹脂を充填した後に、大気圧を利用して樹脂充填を促進させる方法や、加圧しながら樹脂硬化を行うことで樹脂の充填性を向上させることとしてもよい。樹脂を充填させた後に加熱処理を施し、樹脂を硬化させることにより本実施形態による半導体装置200が完成する。エポキシ樹脂を用いる場合には、約100～約200程度の加熱処理により樹脂を硬化させることができる。

10

20

【0033】

第1の半導体基板210と第2の半導体基板220の間隔が狭い場合は、樹脂の流動抵抗が高くなるので、毛細管現象による絶縁樹脂の充填が困難となる。この場合には図4に示すように、接合部材230が配置された第1の半導体基板210の最表面層に絶縁樹脂240をあらかじめ形成し、接合部材230による接続と絶縁樹脂240による封止を同時に行うことが望ましい。絶縁樹脂240は第1の半導体基板210または第2の半導体基板220のいずれの表面に形成してもよく、第1の半導体基板および第2の半導体基板の双方に形成することとしてもよい。絶縁樹脂240の形成には、フィルム上に加工した絶縁樹脂をラミネータによりチップ表面に供給する方法、または液状の樹脂をスピンコート法あるいは印刷法により供給し仮硬化する方法、などを用いることができる。

30

【0034】

絶縁樹脂240を形成した後に、図5に示すように、供給時の余剰な樹脂を除去し接合部材230の表面を露出させることとしてもよい。これにより、第1の半導体基板と第2の半導体基板との電気的な接続性の向上を図ることができる。余剰な樹脂の除去および接合部材表面の露出には、例えば、精密加工が可能なバイトを使用した機械加工法を用いることができる。

【0035】

図6に、接合部材230の表面を露出させた場合の本実施形態による半導体装置200の製造方法を示す。図6(a)は第1の半導体基板210と第2の半導体基板220の双方に絶縁樹脂240を形成し、接合部材230を露出させた場合である。絶縁樹脂240を形成する工程と接合部材230を露出させる工程以外は第1の実施形態による製造方法(図2)と同様である。第1の半導体基板210と第2の半導体基板220を接合した後に絶縁樹脂240を約100～約200程度で硬化させることにより、本実施形態による半導体装置200が完成する(図6(b))。

40

【0036】

また、図7に示すように、接合部材の表面を露出することなく第1の半導体基板210と第2の半導体基板220を接続することとしてもよい。図7(a)では、第1の半導体基板210の表面にのみ絶縁樹脂240を形成する場合を示したが、これに限らず、第2の半導体基板220の表面にのみ絶縁樹脂240を形成してもよいし、第1の半導体基板210と第2の半導体基板220の双方に絶縁樹脂240を形成することとしてもよい。

50



ここで、第1の半導体基板210および第2の半導体基板220に形成された接合部材230のいずれも、それぞれの半導体基板の表面より突出した凸形状に形成される。これにより、凸形状同士の接合部材230が接触した後に変形するので、絶縁樹脂240が接合部材230の間に噛みこむことがなく、良好な電氣的接続が実現される(図7(b))。この場合、接合部材230による電氣的接続と絶縁樹脂240による封止が同時に行われる。そのため接合部材による電氣的接続が、融着による接続または金属拡散による接続ではなく、単なる接触のみによる場合であっても、半導体基板の搭載時における加圧および絶縁樹脂の硬化収縮時における応力により、信頼性の高い電氣的接続を確保することができる。

#### 【0037】

10

以上述べたように、本実施形態による半導体装置およびその製造方法によれば、第1の半導体基板と第2の半導体基板を接合する前に、あらかじめ半導体基板表面に絶縁樹脂が供給され、接合部材による電氣的接続と半導体基板間の樹脂封止が同時に行われる。そのため、接合部材からなる電氣的接続部分が封止樹脂により保護されるので、半導体基板間の接続の信頼性が向上した半導体装置が得られる。また、接合部材の形状により絶縁樹脂が電極接続部へ噛み込む現象を抑制することができ、しかも低荷重で容易に半導体基板を接続することが可能となる。そのため、互いに接続された複数の半導体基板を有する半導体装置において、生産性及び信頼性の高い接続構造を形成することができる。

#### 【0038】

20

これに対して特許文献1に記載された関連する半導体装置には、以下の問題があった。すなわち、半導体基板が微細な電極構造を有する場合、半導体基板の接続部を樹脂封止することによって接続強度を確保することが困難であった。これは、半導体基板間の隙間が狭くなるため樹脂の流動抵抗が大きくなり、毛細管現象により半導体基板間の隙間に樹脂を充填することが困難になるからである。一方、接合するそれぞれの半導体基板の表面にあらかじめ樹脂を供給し、半導体基板同士の接続と同時に樹脂封止することとしても、ディッシング部のくぼみに樹脂が残りやすいため、接続部に樹脂が噛み込み、良好な接続ができないという問題があった。

#### 【0039】

30

本発明は上記実施形態に限定されることなく、特許請求の範囲に記載した発明の範囲内で、種々の変形が可能であり、それらも本発明の範囲内に含まれるものであることはいうまでもない。

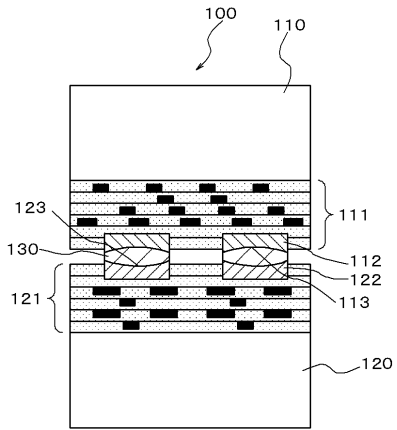
#### 【符号の説明】

#### 【0040】

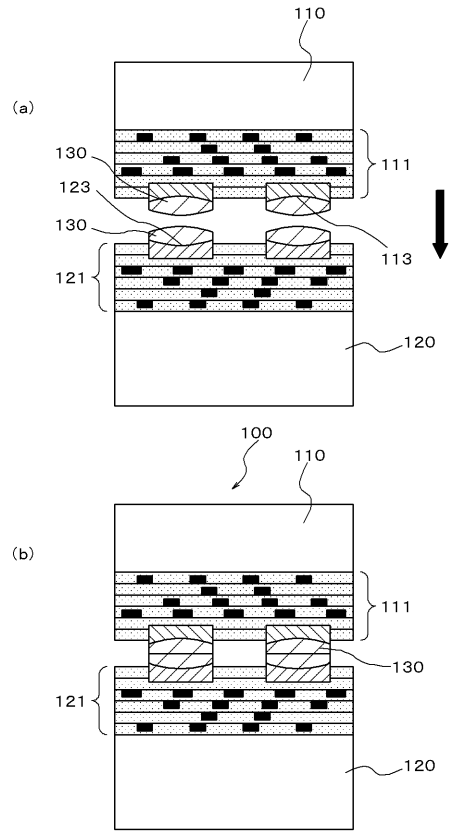
- 100、200 半導体装置
- 110、210、310 第1の半導体基板
- 111、211 第1の多層配線構造
- 112 第1の接合用電極層
- 113 第1のディッシング部
- 120、220、320 第2の半導体基板
- 121、221 第2の多層配線構造
- 122 第2の接合用電極層
- 123 第2のディッシング部
- 130、230 接合部材
- 240 絶縁樹脂
- 300 関連する半導体装置
- 311、321 導電体スルーホール
- 312、322 ディッシング部
- 313、323 絶縁体

40

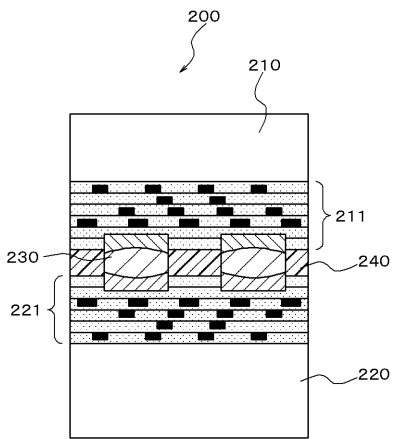
【 図 1 】



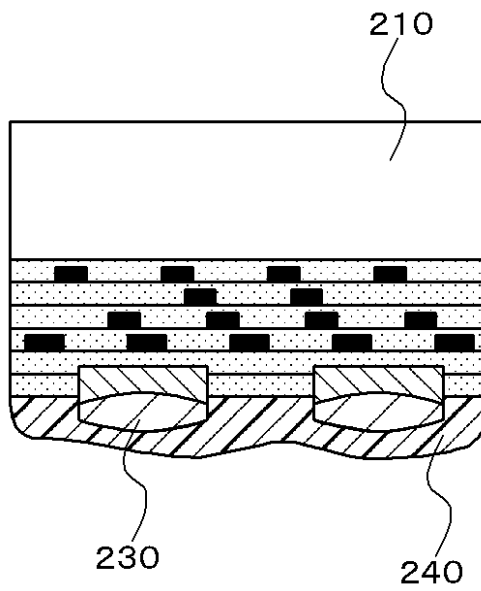
【 図 2 】



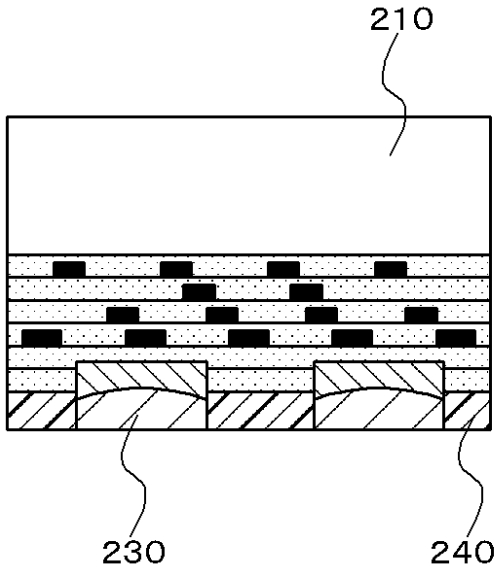
【 図 3 】



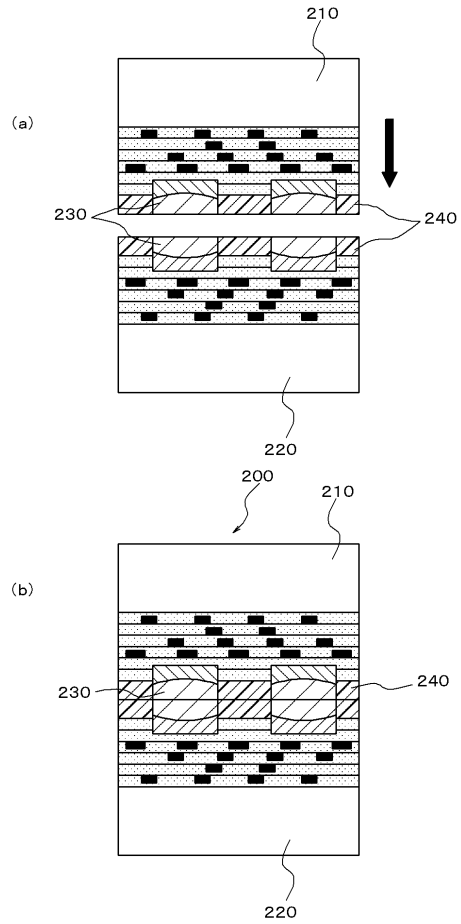
【 図 4 】



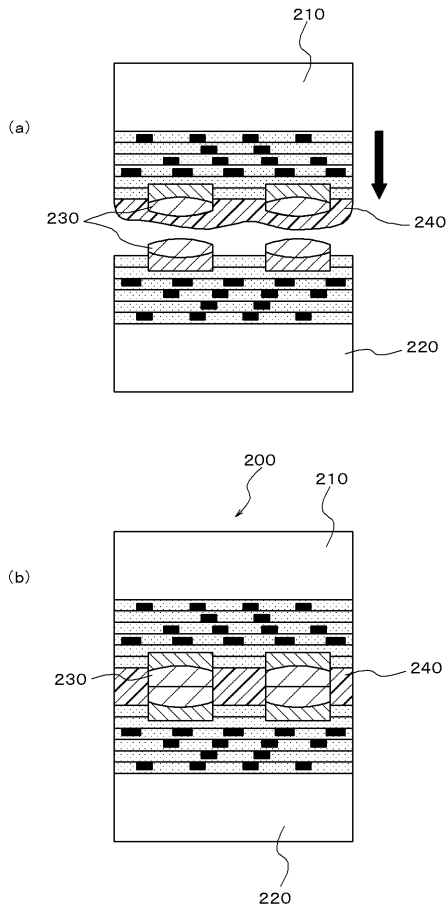
【 図 5 】



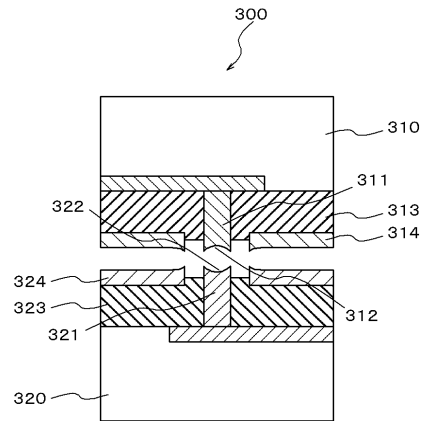
【 図 6 】



【 図 7 】



【 図 8 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
**H 0 1 L 21/60 (2006.01)**

(72)発明者 山田 裕介  
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 田子 雅基  
東京都港区芝五丁目7番1号 日本電気株式会社内

Fターム(参考) 5F033 HH07 HH11 HH13 HH18 MM05 MM13 PP15 PP20 QQ42 QQ48  
QQ91 RR21 RR22 RR23 SS21 VV07 XX13  
5F044 KK11 LL01 QQ02 RR19