



[12] 发明专利说明书

[21] ZL 专利号 99104030.9

[45] 授权公告日 2003 年 8 月 20 日

[11] 授权公告号 CN 1118939C

[22] 申请日 1999.3.17 [21] 申请号 99104030.9
 [30] 优先权
 [32] 1998.3.17 [33] US [31] 042753
 [71] 专利权人 摩托罗拉公司
 地址 美国伊利诺斯
 [72] 发明人 卡尔·L·舍伯夫
 审查员 熊 婷

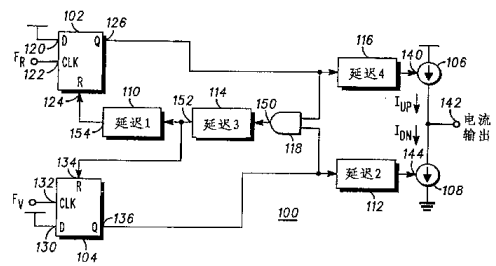
[74] 专利代理机构 中国国际贸易促进委员会专利
 商标事务所
 代理人 付建军

权利要求书 3 页 说明书 9 页 附图 3 页

[54] 发明名称 相位检测装置和方法

[57] 摘要

相位检测器电路包括第一触发器，第二触发器，第一电荷泵和第二电荷泵。响应接收的时钟信号，触发器的输出直接使能电荷泵。第一延迟电路延迟来自第一触发器的输出信号到合并延迟的输出信号和来自第二触发器的输出信号的与门。与门的输出在第二延迟电路中被延迟，产生一个同时复位 2 个触发器并使电荷泵不工作的被延迟的复位信号。相位检测器电路平衡在同相状态附近提供给锁相环的电荷量从而改进相位检测器的线性化。



1. 一种用于产生在锁相环中使用的差信号的改进的相位检测装置，相位检测装置包含：第一存储电路和第二存储电路，每个都有一复位输入和一个输出，并且第一存储电路有一个配置接收参考时钟信号的时钟输入，第二存储电路有一个配置接收可变时钟信号的时钟输入，其中改进包括：

一个第一电荷泵，连到第一存储电路的输出端，并且响应来自第一存储电路的第一输出信号，提供一个上行电流；

一个第一延迟电路，连到第一存储电路的输出端，并且响应来自第一存储电路的输出信号，产生一个延迟的输出信号；

一个第二电荷泵，连到第二存储电路的输出端，并且响应来自第二存储电路的第二输出信号，提供一个下行电流；

合并被延迟的输出信号和第二输出信号以产生一个复位信号的电路和

一个第二延迟电路，用于延迟复位信号以产生一个延迟的复位信号，其中第二延迟电路连到第一存储电路和第二存储电路的复位输入端。

2. 权利要求 1 的相位检测装置，其中，第一存储电路和第二存储电路每个包含具有一个连到逻辑高电平的数据输入端的 D 型触发器电路。

3. 权利要求 1 的相位检测装置，其中，被延迟的复位信号被基本上同时提供给第一存储电路和第二存储电路的复位输入端。

4. 权利要求 1 的相位检测装置，其中，第一延迟电路包含：

一个第一定时电路，用于接收来自第一存储电路的第一输出信号并响应产生第一定时信号；

一个第一定时信号延迟电路，用于延迟第一定时信号以产生经延迟的第一信号；

一个第二定时信号电路，用于接收来自第二存储电路的第一输

出信号并响应产生第二定时信号;

一个第二定时信号延迟电路,用于延迟第二定时信号以产生经延迟的第二信号;

响应经延迟的第一信号和经延迟的第二信号产生一个复位信号的第一合并电路,响应复位信号,第一定时电路和第二定时电路被复位到一个初始状态和

响应经延迟的第一信号和经延迟的第二信号的合并,产生一个经延迟的输出信号的第二合并电路。

5. 权利要求 4 的相位检测器装置,其中,第一延迟电路进一步包含连接在第一合并电路和第二定时电路之间并相对第一定时电路的复位,延迟第二定时电路的复位的第三延迟电路。

6. 一种用于检测相位差和产生相位差信号的方法,该方法包括步骤:

接收一个参考时钟信号和一个可变时钟信号;

响应参考时钟信号产生第一输出信号;

响应可变时钟信号产生第二输出信号;

响应第二输出信号产生一个复位信号和经延迟的第一输出信号;

响应复位信号,复位第一输出信号和第二输出信号;和

响应第一输出信号和第二输出信号产生相位差信号。

7. 权利要求 6 的方法,其中方法进一步包含延迟第一输出信号产生经延迟的第一输出信号。

8. 权利要求 7 的方法,其中延迟第一输出信号包括步骤:

使用第一输出信号定时第一信号;

响应第一信号产生第一经延迟的信号;

使用第一输出信号定时第二信号;

响应第二信号产生第二经延迟的信号;

响应第一经延迟的信号和第二经延迟的信号的合并,复位第一信号和第二信号;

合并第一经延迟的信号和第二经延迟的信号产生经延迟的第一输出信号。

9. 权利要求 6 的方法，其中方法进一步包含响应第一输出信号产生一个上行电流作为相位差信号和响应第二输出信号产生一个下行电流作为相位差信号。

10. 权利要求 8 的方法进一步包含在复位第一输出信号和第二输出信号之前，把复位信号延迟一个预定的延迟时间的步骤。

相位检测装置和方法

本发明一般涉及相位检测装置。特别地，本发明涉及用于在锁相环中产生相位差信号的改进的相位检测装置。

相位检测器电路通常用于检测 2 个输入信号之间的相位差。一个典型的应用是在锁相环 (PLL) 中检测来自参考振荡器的参考信号与环路反馈信号之间的相位差。相位检测器电路的输出用于调整参考信号和 PLL 的输出信号之间的相位关系。

一个相位检测器电路包括 2 个 D 型触发器，一个延迟单元和一个与 (AND) 门。触发器的 D 输入端连到一个高逻辑电平。一个触发器由参考信号作为时钟，另一个触发器由来自 PLL 的压控振荡器 (VCO) 的反馈信号来定时。触发器的输出一起相与，结果在延迟单元延迟，之后用于复位触发器中的一个。另一个触发器由来自不经延迟的与门的结果来复位。每个触发器使能一个电荷泵。一个电荷泵提供一个正向电流给 VCO，另一个电荷泵提供负向电流给 VCO。加上电荷是为了纠正参考信号和反馈信号之间的相位不匹配。

这种相位检测器电路通常对大多数应用是足够的。然而，仍存在由电荷泵加到 VCO 或从 VCO 中减去的电荷的不平衡性，特别是在同相状态附近。这种结果是相位噪声。这种相位噪声在某些应用中是不能接受的，例如在分数 n 频率合成器中。为了优化分数 n 频率合成器的相位噪声，对于一个给定的相位偏置，必须向环路添加或从环路减去相等量的电荷。已有技术的相位检测器电路已不能满足此目的。

相应地，在技术中需要一种在同相状态附近时能提供给环路相等量的电荷的相位检测器。

被认为是新颖的本发明的特征，在附后的权利要求中特别提出。本发明和它的进一步目的和优点，可联系随后的附图，参考下面的描述更好地理解。在附图的一些图中，相同的参考数字确定了相同的部件，其中：

图 1 是相位检测器电路的方框图。

图 2 是示意图 1 的相位检测器电路的工作的时序图。

图 3 是示意图 1 的相位检测器电路的工作的时序图。

图 4 是示意图 1 的相位检测器电路的工作的时序图。

图 5 是相位检测器电路的方框图。

图 6 是示意图 5 的相位检测器电路的操作的时序图。

图 7 是示意图 5 的相位检测器电路的操作的时序图。

图 8 是示意图 5 的相位检测器电路的操作的时序图。

图 9 是示意图 5 的相位检测器电路的操作的时序图。

图 10 是用于图 5 的相位检测器电路中的延迟电路的方框图。

图 11 是运用图 5 的相位检测器电路的锁相环 (PLL) 的方框图。

现在参考图 1, 它表示相位检测器电路 100 的方框图。相位检测器电路 100 包括第一存储电路, D 型触发器 102, 第二存储电路, D 型触发器 104, 第一电荷泵 106 和第二电荷泵 108。相位检测器电路 100 进一步包括第一延迟电路 110, 第二延迟电路 112, 第三延迟电路 114, 第四延迟电路 116 和与门 118。

第一触发器 102 有一个连到高逻辑电平 (例如正电源端) 的数据输入端 120 和配置接收参考时钟信号 F_r 的时钟输入端 122。第一触发器 102 进一步有一个复位端 124 和一个输出端 126。第二触发器 104 有类似的配置, 有一个连到高逻辑电平的数据输入端 130 和配置接收可变时钟信号 F_v 的时钟输入端 132。第二触发器 104 进一步有一个复位输入端 134 和一个输出端 136。

第一电荷泵 106 有一个通过第四延迟电路 116 连到第一触发器 102 的输出端 126 的使能输入端 140。第一电荷泵 106 有一个连到相位检测器电路 100 的输出端 142 的输出。第二电荷泵 108 有一个通过第二延迟电路 112 连到第二触发器 104 的输出端 136 的使能输入端 144。第二电荷泵 108 也连到输出端 142。当加一个使能信号到使能输入端 140 时, 第一电荷泵 106 提供一个具有正向极性的上行电流给输出端 142。类似地, 第二电荷泵响应加到使能输入端 144 的一个使能信号, 提供一个具有负向极性的下

行电流给输出端 142。电荷泵的设计是传统的。

配置延迟电路和与门使通过均衡输送给输出端 142 的电荷量来使相位检测器电路 100 线性化。为了优化相位检测器电路 100 和它运用的任何电路的相位噪声，对于一个给定的相位偏置，必须向环路添加或从锁相环 (PLL) 减去相等量的电荷。通过在相位检测器的复位路径中添加不相等的延迟电路可实现对电荷的均衡。

与门 118 有一个连到第一触发器 102 的输出端 126 的第一个输入和连到第二触发器 104 的输出端 136 的第二个输入。与门 118 进一步有一个输出端 150。第三延迟电路 114 连到与门 118 的输出端 150。第三延迟电路 114 有一个连到第一延迟电路 110 和第二触发器 104 的复位输入端 134 的输出端 152。第一延迟电路 110 有一个连到第一触发器 102 的复位输入端 124 的输出端 154。

第三延迟电路 114 被用来设置由第二电荷泵 108 提供的下行电流的最小脉宽。由第一延迟电路 110 和第三延迟电路 114 提供的延迟之和被用来设置上行电流的最小脉宽。

图 2 是示意用在锁相环 (PLL) 中的图 1 的相位检测器电路的工作的时序图。在图 2 中，第二延迟电路 112 和第四延迟电路 116 被设为延迟 0 秒且 PLL 未锁定。图 2，图 3 和图 4 表示，参考时钟，指定的 F_R ，来自 PLL 输出的可变时钟，指定的 F_V ，上行电流，指定的 I_{UP} ，下行电流，指定的 I_{DN} 。横轴表示时间。在图 2 中，在环路失锁时，上行电流持续时间比下行电流要长。

在图 3 中，环路锁定，并调整输出信号的相位获得加到环路上的一个零值净电荷。为实现此，第二延迟电路 112 和第四延迟电路 116 被设为 0 秒持续时间，下行电流持续时间 302 被延长。由于上行电流脉冲与下行电流脉冲在时间上不一致，环路的噪声电平将下降。相应地，必须添加第二延迟电路 112 来重新校准上行电流与下行电流。该效应在图 4 中表示。

在一种应用中，必须设计第二延迟电路 112 来处理 1ns 的最小下行电流脉冲宽度，而延迟脉冲达 20ns。为此，通过使用一个复位触发器，通过一个电流 - 电容或/和电阻 - 电容延迟，脉冲的每个边缘被延迟相同的

量。脉冲的边缘被重新合并构成整个脉冲。适用于该目的的电路将联系图 10 在下面描述。

再参考图 1, 加入第四延迟电路 116 来平衡已放置在下行电流路径的第二延迟电路 112 的附加逻辑。各个延迟的其它部件也必须匹配。

图 1 的相位检测器电路 100 提供了比以前的相位检测器改进的线性化和由此改进的性能。然而, 希望把这一电路与其它电路以单片集成电路的形式集成。在这样的应用中, 希望减少所用电路的数量, 从而减少在集成电路表面所需的面积。进一步希望减少电路的整个功率消耗。相应地, 最好用另一种设计用于这些应用。

图 5 是遵照本发明的相位检测器电路 500 的方框图。相位检测器电路 500 包括第一存储电路, 第一触发器 502, 第二存储电路, 第二触发器 504。存储电路被示意为 D 型触发器, 但可使用任何合适的电路配置, 包括其它类型的触发器。示意的 D 型触发器在减少电路面积和功耗的同时提供了正常的操作。每个存储电路有一个复位输入和一个输出, 在图 5 中分别标记为 R 和 Q。第一触发器 502 有一个复位输入 520 和一个输出 522。第二触发器 504 有一个复位输入 524 和一个输出 526。存储电路都有一个时钟输入端, 在图 5 中标记为 C1k。第一触发器 502 有一个配置接收参考时钟信号的时钟输入端 528。第二触发器 504 有一个配置接收可变速率时钟信号的时钟输入端 530。第一触发器 502 有一个连到正向输入电源电势的数据输入端 532, 在图 5 中标记为 D。类似地, 第二触发器 504 有一个标记为 D, 并连到正向输入电源电势的数据输入端 534。触发器的 D 输入端可连到其它合适的电势甚至时变信号。然而, 目标是响应接收的时钟信号, 提供一个高逻辑电平给触发器的 Q 输出端。Q 输出端随后被应用到 R 复位输入端的 RESET 信号复位到一个低的逻辑电平。

相位检测器电路 500 进一步包括连到第一存储电路的输出端 522 的第一电荷泵 506, 第一触发器 502, 来响应来自第一存储电路的第一输出信号, 提供一个上行电流。上行电流在图 5 中标记为 I_{UP} 。当第一输出信号有第一个值时, 第一电荷泵 506 提供一个上行电流, 当第一输出信号有第二个值时, 不提供上行电流。从而, 第一输出信号充当第一电荷泵 506 的一

个使能信号。相位检测器电路 500 进一步包括连到第一存储电路的输出端 522 的第一延迟电路 512, 第一触发器 502 用于响应来自第一存储电路的输出信号, 产生一个延迟的输出信号。相位检测器电路 500 还进一步包括连到第二存储电路的输出端 526 的第二电荷泵 508, 第二触发器 504, 来响应来自第二存储电路的第二输出信号, 提供一个下行电流。下行电流在图 5 中标记为 I_{DN} 。当第二输出信号有第一个值时, 第二电荷泵 508 提供一个下行电流, 当第二输出信号有第二个值时, 不提供下行电流。从而, 第二输出信号充当第二电荷泵 508 的一个使能信号。第一电荷泵 506 和第二电荷泵 508 都是传统的。

相位检测器电路 500 还进一步包括第一输入端连到第一延迟电路 512 的输出端 540, 第二输入端连到第二存储电路的输出端 526 的与门 510, 第二触发器 504 和一个输出 542。与门 510 形成一个把延迟的输出信号和第二输出信号合并来产生一个复位信号的电路。最后, 相位检测器电路 500 包括第一输入端连到与门的输出端 542, 输出连到存储电路的复位输入, 第一触发器 502 的复位输入 520 和第二触发器 504 的复位输入 524 的第二延迟电路 514。第二延迟电路 514 延迟复位信号产生一个基本上在同时应用到触发器的 R 复位输入的被延迟的复位输入。

相位检测器电路 500 在输出端 536 提供一个与参考时钟信号和可变时钟信号之间的相位差相关的输出信号。在示意性实施例中, 输出信号是一个具有预定幅度和可变持续时间的电流。如果在时钟输入端 530 的可变时钟信号的相位超前在时钟输入端 528 的参考时钟信号的相位时, 从输出 532 减去净电荷。如果可变时钟信号的相位落后参考时钟信号的相位, 从输出 532 加上净电荷。相位检测器电路 500 于是极适合用在象锁相环 (PLL) 的电路中, 但也有其它应用。

在工作中, 触发器处于复位状态。在触发器的 D 数据输入端的高逻辑电平被各个接收的时钟脉冲, 在第一触发器 502 的时钟输入端 528 的参考时钟信号和在第二触发器 504 的时钟输入端 530 的可变时钟信号定时到 Q 输出。当 Q 输出变为高逻辑电平, 高电平充当各个电荷泵的使能信号。响应输出 522 处的高电平, 第一电荷泵 506 开始加电荷给环路。响应输出 526

处的高电平，第二电荷泵开始从环路减电荷。

复位电路，包括第一延迟电路 512，第二延迟电路 514 和与门 510，如下工作。一旦第二触发器的输出 526 处的信号变高，与门 510 的第二输入变为一个高逻辑电平。该信号在图 5 中标志为 R_{DN} 。来自第一触发器 502 的输出 522 的信号在第一延迟电路 512 中被延迟一段预定的时间间隔，如 20ns。在此间隔后，在图 5 中标记为 R_{UP} 的被延迟的输出信号，被应用到与门 510 的第一输入端。当与门 510 的 2 个输入变高，输出 542 变高，提供复位信号。然而，复位信号被第二延迟电路延迟第二段预定的时间间隔。在此间隔后，被延迟的复位信号基本上同时应用到第一触发器 502 的复位输入端 520 和第二触发器 504 的复位输入端 524。应用被延迟的复位信号复位 2 个触发器到输出端 522 和输出端 526 处于逻辑低电平的复位状态。这使得第一电荷泵 506 和第二电荷泵 508 不工作。

图 6 是示意工作在锁相环中的图 5 的相位检测器电路 500 的操作的时序图。如工作在图 6 中的，第一延迟电路 512 的预定延迟设为 0 秒，等效于把第一延迟电路 512 旁路掉。在图 6 中，可变时钟 F_V 和参考时钟 F_R 的上升沿一致，并且输出电流 I_{DN} 和 I_{UP} 在 t_1 同时打开。以零延迟，2 个触发器（图 5）同时复位并且 2 个输出电流在 t_2 同时关闭。脉冲宽度 $t_2 - t_1$ ，与第二延迟电路 514 的间隔匹配，在示意的实施例中间隔为 1ns。

图 7 是示意工作在锁相环中的图 5 的相位检测器电路 500 的操作的时序图。在图 7 中，设置第一延迟电路 512 的间隔为大于 0 秒的一个时间间隔。而且可变时钟 F_V 和参考时钟 F_R 的上升沿通常在时刻 t_1 一致，表示信号同相位，且 PLL 锁定。也在时刻 t_1 ，第一电荷泵 506 和第二电荷泵 508（图 5）被使能，开始输送电流给环路，并且信号 R_{DN} 在与门 510 的第二输入端变高。在第一延迟电路 512 的间隔之后，在时刻 t_2 ，信号 R_{DN} 在与门 510 的第一输入端变高，触发在与门 510 的输出端 542 的复位信号。在第二延迟电路 514 的间隔之后，在时刻 t_3 ，被延迟的复位信号，在图 5 和 7 中标记为 RESET，变高，复位 2 个触发器。一旦复位，在第一触发器 502 的输出 522 的信号变低，关闭第一电荷泵 506，在第二触发器 504 的输出端 526 的信号 R_{DN} 变低，关闭第二电荷泵 508。这样，环路锁定并且第一延迟电路

512 不被旁路，相位检测器电路 500 产生基本上相等的上行电流和下行电流脉冲。

图 8 是示意工作在锁相环中的图 5 的相位检测器电路 500 的操作的时序图。在图 8 中，可变时钟信号 F_V 落后参考时钟信号 F_R 相位，并且把净电荷加到环路上。在时刻 t_1 ，参考时钟信号 F_R 在第一触发器 502 (图 5) 的时钟输入 528 变高。Q 输出 522 立即变高，第一电荷泵 506 被使能，开始提供上行电流 I_{UP} 给环路。之后，在时刻 t_2 ，可变时钟信号 F_V 的相位输出到达，并且第二电荷泵 508 被使能，开始提供下行电流 I_{DN} 。与门 510 的第二个输入，信号 R_{DN} ，立即变高，但与门 510 的第一输入，信号 R_{UP} ，在第一延迟电路 512 间隔期间保持低。在第二延迟电路 514 间隔之后的时刻 t_4 ，在图 5 和 8 中由 RESET 表示的被延迟的复位信号变高，2 个触发器被复位。2 个电荷泵立即不工作，上行电流和下行电流不再继续。

图 9 是示意工作在锁相环中的图 5 的相位检测器电路的操作的时序图。在图 9 中，可变时钟信号 F_V 超前参考时钟信号 F_R ，净电荷被减去。在时刻 t_1 ，可变时钟信号 F_V 变高，第二电荷泵 508 被使能，在与门 510 (图 5) 的第二输入的复位信号 R_{DN} 变高。随后，在时刻 t_2 ，参考时钟信号 F_R 变高，上行电流被送给环路。在时刻 t_3 ，在第一延迟电路 512 的间隔之后，在与门 510 的第一输入端的复位信号 R_{UP} 变高，复位信号在与门 510 的输出 542 声明。在时刻 t_4 ，在第二延迟电路 514 的间隔之后，被延迟的复位信号 RESET 被用到第一触发器 502 的复位输入端 520 和第二触发器 504 的复位输入端 524。触发器复位后，电荷泵不工作，上行电流和下行电流不再继续。

图 10 表示将用于图 1 的相位检测器电路 100 或图 5 的相位检测器电路 500 中的延迟电路 1000 的方框图。延迟电路 1000 包括，第一触发器 1002，第一延迟单元 1004，第二触发器 1006，第二延迟单元 1008，一个反向器 1010，反向器 1012，一个异或门 1014，一个与非门 1016 和一个反向器 1018。第一触发器 1002 和第二触发器 1006 在示意的实施例中为 D 型触发器，但也可使用其它电路或其它类型的触发器。

第一触发器 1002 有一个在图 10 中标记为 D 的数据输入 1020，一个

时钟输入 1022，一个标记为 R 的复位输入 1024 和一个标记为 Q 的输出 1026。数据输入 1020 被连到正向参考电势上，以致它总是接收一个逻辑高输入。时钟输入 1022 被配置接收来自输入 1030 的时钟信号送到延迟电路 1000。输出 1026 连到第一延迟单元 1004。当被用在相位检测器电路中时，第一触发器 1002 构成一个接收来自第一存储电路，象第一触发器 502 (图 5) 的输出信号并产生响应的第一定时信号的第一定时电路。

类似地，第二触发器 1006 有一个连到正向参考电势上的数据输入 1032，一个时钟输入 1034，一个复位输入 1036 和一个输出 1038。配置时钟输入 1034 接收来自在反向器 1018 反向之后的输入 1030 的时钟信号。这样，第一触发器 1002 和第二触发器 1006 响应输入 1030 处的时钟信号的相反相位而工作。输出端 1038 被连到第二延迟单元 1008。

第一延迟单元 1004 和第二延迟单元 1008 工作以延迟从各个触发器接收的信号一个预定量。每个延迟单元能从电阻 - 电容 (R - C) 延迟或电流 - 电容延迟中形成。在示意的实施例中，2 个延迟单元基本上相等，并附加大约 20ns 的延迟。当用在象图 5 的相位检测器电路 500 的相位检测器电路中时，第一延迟单元 1004 延迟来自第一触发器 1002 的第一定时信号，产生一个延迟的第一信号，第二延迟单元 1008 延迟来自第二触发器 1006 的第二定时信号，产生一个延迟的第二信号。

第一延迟单元 1004 的输出被供给与非门 1016 的第一输入端和反向器 1010。反向器 1010 对被延迟的输出信号反向并把它送给异或门 1014 的第一输入。第二延迟单元 1008 的输出在反向器 1012 中反向，并送给与非门 1016 的第二输入端和异或门 1014 的第二输入。反向器 1010，反向器 1012 和异或门 1014 一起构成响应来自第一延迟单元 1004 的第一延迟信号和来自第二延迟单元 1008 的第二延迟信号，在线 1040 上产生一个复位信号的第一合并电路 1048。复位信号被提供给第一触发器 1002 的复位输入端 1024 和第二触发器 1006 的复位输入端 1036。为了防止当复位触发器时，可能的信号干扰，在异或门 1014 和第二触发器 1006 的复位输入端 1036 之间的路径上插入 2 个反向器，反向器 1050 和反向器 1052。

与非门 1016 接收来自第一延迟单元 1004 的延迟信号和来自第二延迟

单元 1008 的反向的延迟的信号并把它们逻辑合并并在延迟电路 1000 的输出端 1042 形成一个输出信号。输出信号相对输入信号被延迟。对于一个被接收的脉冲，脉冲的上升沿在包括第一触发器 1002，第一延迟单元 1004 和与非门 1016 的路径中被延迟。脉冲的下降沿在包括反向器 1018，第二触发器 1006，第二延迟单元 1008 和与非门 1016 的路径中被延迟。最佳地，这 2 个路径延迟是基本相等，以便脉冲不被拉伸或压缩。与非门 1016 于是构成一个响应来自第一延迟单元 1004 的被延迟的第一信号和来自第二延迟单元 1008 的被延迟的第二信号的合并产生被延迟的输出信号的第二合并电路。

图 11 表示使用图 5 的相位检测器电路 500 的锁相环(PLL) 1100。PLL 1100 包括相位检测器电路 500，一个低通滤波器 1102，压控振荡器(VCO) 1104 和分频器 1106。PLL 1100 接收一个在输入端 1110 具有一个预定频率的参考信号 F_r 并在输出端 1112 提供具有一个调整好的频率的输出信号。

相位检测器电路 500 接收来自输入端 1110 的参考信号 F_r 和来自分频器 1106 的可变频率信号 F_v 。相位检测器电路 500 检测在参考信号 F_r 的相位和可变频率信号 F_v 的相位之间的差别。相位检测器电路 500 产生一个与相位差有关并定制来减少相位差的输出。低通滤波器 1102 对该信号滤波以减少带宽并把该信号提供给 VCO 1104。作为对滤波的相位差信号的响应，VCO 1104 调整输出信号的相位或频率。输出信号被反馈到产生用于在相位检测器电路 500 中比较用的可变频率信号的分频器 1106。

如上述可见，本发明提供了一种能平衡在同相状态附近提供给锁相环的电荷量的相位检测器电路。使用相同的复位脉冲来复位电荷泵，从而保证了供给 PLL 的电流脉冲的一致性。已排除了功率耗散，电路面积和精确匹配延迟单元的需要，并产生了一种生产和使用都不昂贵的电路。

虽然已给出并描述了本发明的某一特定实施例，但仍可以作改动。例如，在基本上维持相同的功能的同时，在各个附图图形中的组合逻辑可作变更。因此，企图在附后的权利要求中覆盖在本发明的真实精神和范围内的所有这些变化和改动。

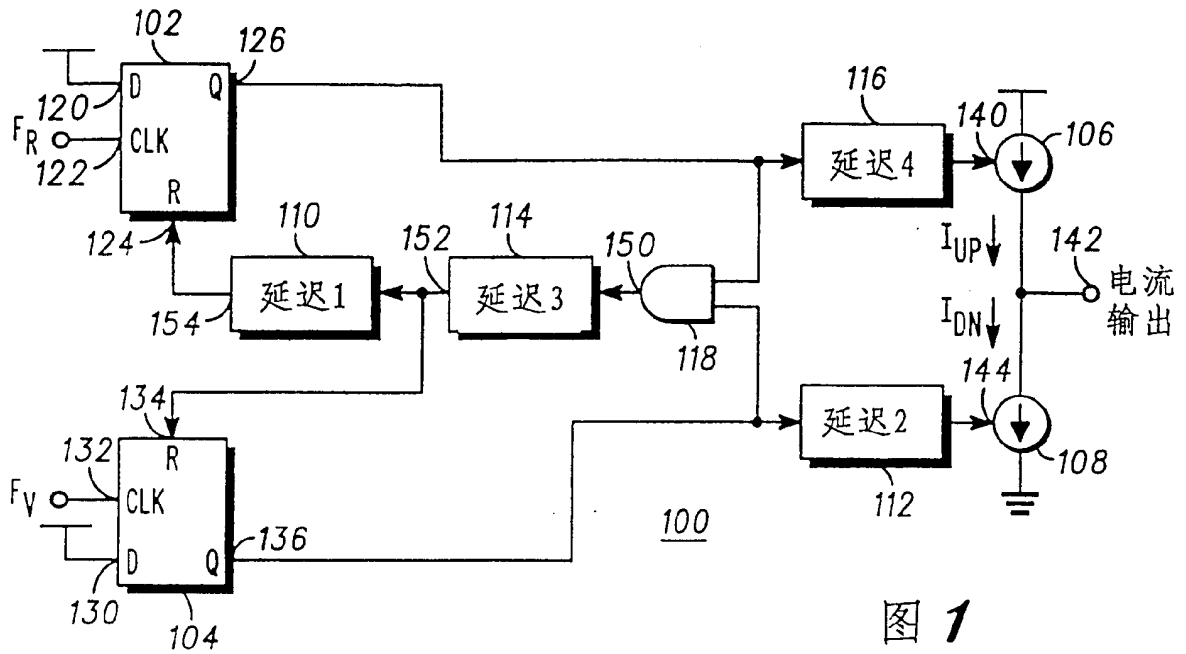


图 1

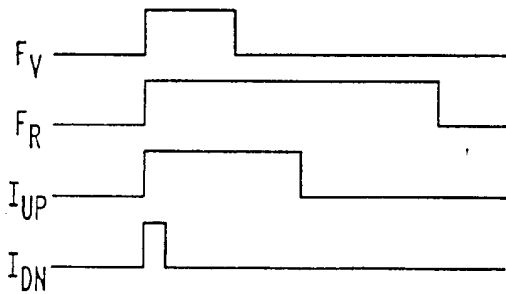


图 2

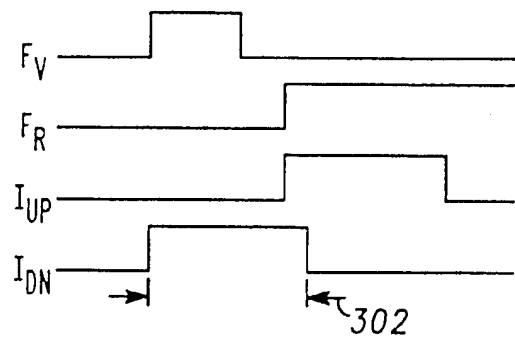


图 3

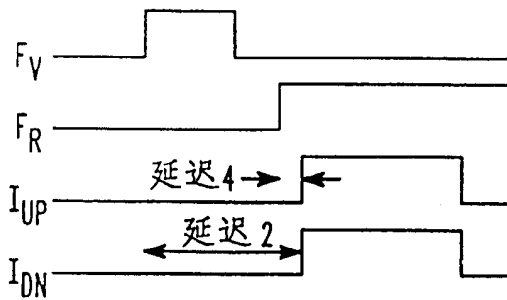


图 4

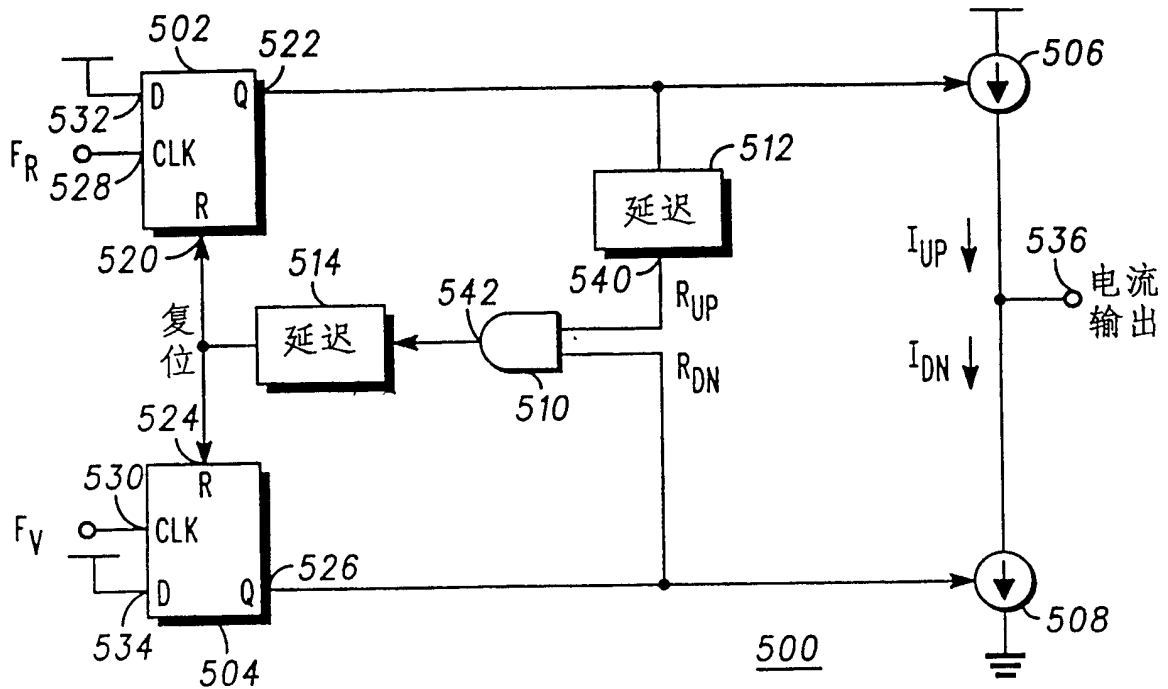


图 5

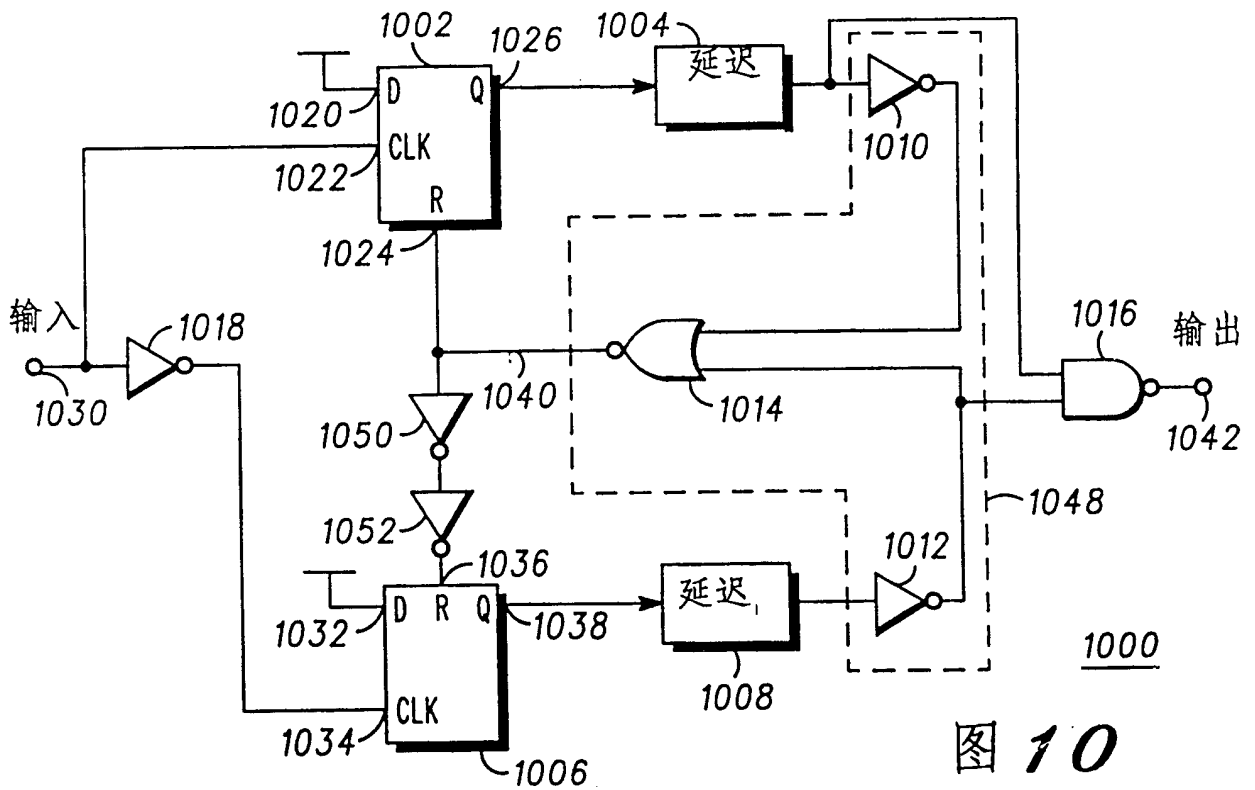


图 10

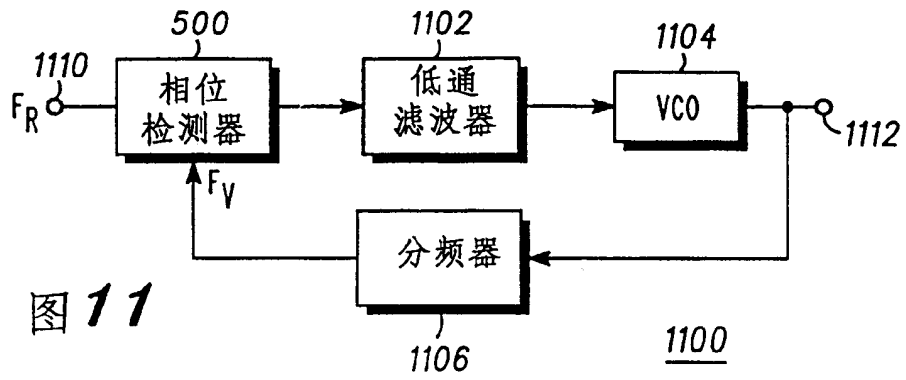


图 6

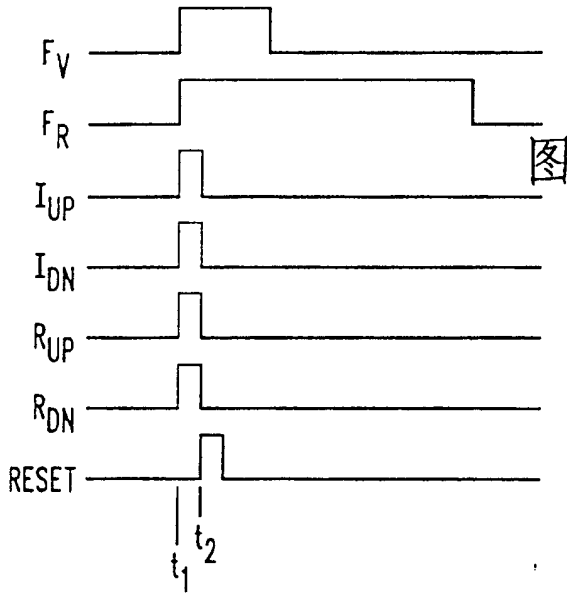


图 7

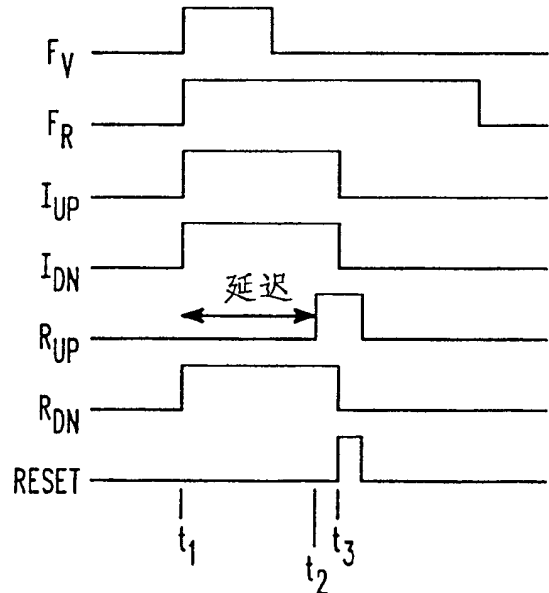


图 8

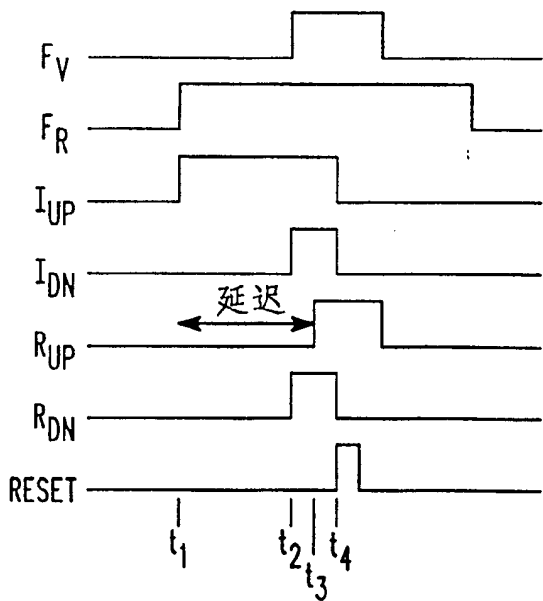


图 9

