



(12) 发明专利

(10) 授权公告号 CN 113327983 B

(45) 授权公告日 2023. 05. 05

(21) 申请号 202110580072.8

H01L 29/06 (2006.01)

(22) 申请日 2021.05.26

H01L 21/336 (2006.01)

(65) 同一申请的已公布的文献号

审查员 杨贺

申请公布号 CN 113327983 A

(43) 申请公布日 2021.08.31

(73) 专利权人 武汉新芯集成电路制造有限公司

地址 430205 湖北省武汉市东湖开发区高  
新四路18号

(72) 发明人 李乐

(74) 专利代理机构 上海思微知识产权代理事务

所(普通合伙) 31237

专利代理师 周耀君

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

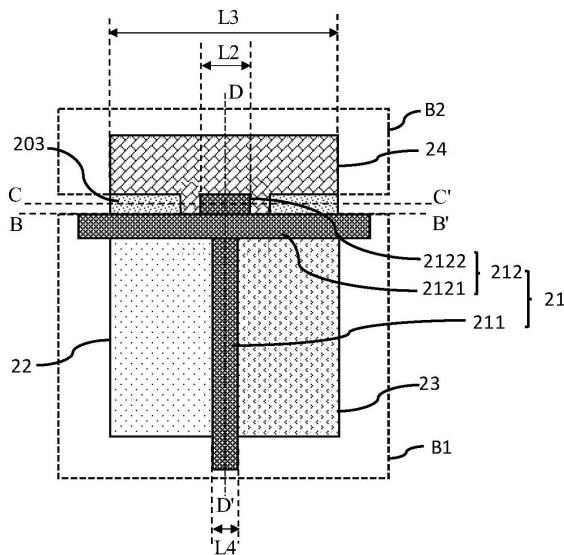
权利要求书2页 说明书10页 附图5页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供了一种半导体器件及其制造方法,所述半导体器件包括:S0I衬底,包括自下向上的下层衬底、绝缘埋层和半导体层;栅极层,形成于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分;源极区和漏极区,分别形成于所述主栅两侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度;体接触区,形成于所述第一部分的远离所述主栅一侧的半导体层中,所述体接触区至少与所述第二部分接触。本发明能够在考量到栅极层和体接触区的制作工艺的波动性影响的同时,还能提高器件性能。



1. 一种半导体器件,其特征在于,包括:

SOI衬底,包括自下向上的下层衬底、绝缘埋层和半导体层;

栅极层,形成于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第一部分与所述第二部分连接;

源极区和漏极区,分别形成于所述主栅两侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度;以及,

体接触区,形成于所述第一部分的远离所述主栅一侧的半导体层中,所述体接触区同时与所述第一部分和所述第二部分接触,且所述体接触区与所述第一部分共同环绕所述第二部分。

2. 如权利要求1所述的半导体器件,其特征在于,所述绝缘埋层上形成有浅沟槽隔离结构,所述浅沟槽隔离结构包围所述源极区、所述漏极区和所述体接触区。

3. 如权利要求2所述的半导体器件,其特征在于,所述主栅的远离所述第一部分的一端从所述半导体层上延伸至所述浅沟槽隔离结构上。

4. 如权利要求2所述的半导体器件,其特征在于,所述第一部分的一端从所述半导体层上延伸至所述浅沟槽隔离结构上。

5. 如权利要求1所述的半导体器件,其特征在于,所述第二部分在所述第一部分的远离所述主栅一侧的位置与所述主栅对准。

6. 如权利要求1所述的半导体器件,其特征在于,所述体接触区的形状为Π型,Π型的“—”部位位于所述第二部分的远离所述第一部分一侧的半导体层中,Π型的“|”部位的远离“—”部位的一端与所述第一部分接触。

7. 如权利要求1所述的半导体器件,其特征在于,所述主栅和所述第一部分中形成有第一离子掺杂区,所述第二部分中形成有第二离子掺杂区;所述源极区、所述漏极区和所述第一离子掺杂区的导电类型相同,所述体接触区与所述第二离子掺杂区的导电类型相同,所述体接触区与所述源极区的导电类型不同。

8. 如权利要求1所述的半导体器件,其特征在于,所述栅极层与所述半导体层之间形成有栅介质层。

9. 一种半导体器件的制造方法,其特征在于,包括:

提供一SOI衬底,所述SOI衬底包括自下向上的下层衬底、绝缘埋层和半导体层;

形成栅极层于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第一部分与所述第二部分连接;

形成源极区和漏极区于所述主栅两侧的半导体层中,以及形成体接触区于所述第一部分的远离所述主栅一侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度,所述体接触区同时与所述第一部分和所述第二部分接触,且所述体接触区与所述第一部分共同环绕所述第二部分。

10. 如权利要求9所述的半导体器件的制造方法,其特征在于,所述体接触区的形状为Π型,Π型的“—”部位位于所述第二部分的远离所述第一部分一侧的半导体层中,Π型的“|”部位的远离“—”部位的一端与所述第一部分接触。

11. 如权利要求9所述的半导体器件的制造方法,其特征在于,在形成所述源极区和所述漏极区于所述主栅两侧的半导体层中的同时,形成第一离子掺杂区于所述主栅和所述第一部分中;在形成所述体接触区于所述第一部分的远离所述主栅一侧的半导体层中的同时,形成第二离子掺杂区于所述第二部分中;所述源极区、所述漏极区和所述第一离子掺杂区的导电类型相同,所述体接触区与所述第二离子掺杂区的导电类型相同,所述体接触区与所述源极区的导电类型不同。

## 半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别涉及一种半导体器件及其制造方法。

### 背景技术

[0002] 绝缘体上半导体(SOI)结构包含下层衬底、绝缘埋层和上层半导体层,与常规的半导体衬底相比有诸多优点,例如:消除了闩锁效应、减小了器件的短沟道效应以及改善了抗辐照能力等,使得其广泛应用于射频、高压以及抗辐照等领域。

[0003] 对于SOI器件来说,如何抑制浮体效应,一直是SOI器件研究的热点之一。针对浮体效应的解决措施其中之一是采用体接触的方式使体区中积累的电荷得到释放,体接触就是在绝缘埋层上方、上层半导体层底部处于电学浮空状态的体区和外部相接触,使得电荷不在该区积累。目前,常见的实现体引出的器件结构包含BTS(Body Tied to Source)结构、T型栅结构和H型栅结构等。

[0004] 其中,参阅图1,图1是一种具有T型栅结构的器件示意图,从图1中可看出,上层半导体层上形成有T型栅极层11,T型栅极层11的“|”部位两侧的衬底中分别形成有源极区12和漏极区13,T型栅极层11的“-”部位的远离源极区12和漏极区13的一侧的衬底中形成有体接触区14。其中,在形成图1所示的具有T型栅结构的器件的过程中,形成源极区12和漏极区13时的离子注入区域A1以及形成体接触区14时的离子注入区域A2的交界处AA'需位于T型栅极层11上,否则可能导致源极区12和漏极区13在水平方向上与T型栅极层11的“-”部位之间不能直接接触,以及导致体接触区14在水平方向上与T型栅极层11的“-”部位之间不能直接接触,进而影响器件性能。

[0005] 而由于受到栅极层11、源极区12、漏极区13和体接触区14的制作工艺的CD(关键尺寸)以及采用的掩膜版的对准(Overlay)精度的波动影响,限制了栅极层11的“-”部位从源极区12指向体接触区14方向上的栅长L1不能太小(例如不小于0.3微米);但是,若栅极层11的“-”部位从源极区12指向体接触区14方向上的栅长L1太大,会影响器件的性能,例如栅极层11与上层半导体层之间形成有栅氧层(未图示),会导致栅极层11的“-”部位、栅氧层和上层半导体层之间形成的寄生电容过大,并且也会导致功耗增加以及导通电流减小等问题。

[0006] 因此,如何在考量工艺的波动性的同时,还能提高器件性能是目前亟需解决的问题。

### 发明内容

[0007] 本发明的目的在于提供一种半导体器件及其制造方法,使得能够在考量到栅极层和体接触区的制作工艺的波动性影响的同时,还能提高器件性能。

[0008] 为实现上述目的,本发明提供了一种半导体器件,包括:

[0009] SOI衬底,包括自下向上的下层衬底、绝缘埋层和半导体层;

[0010] 栅极层,形成于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括

与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第一部分与所述第二部分连接;

[0011] 源极区和漏极区,分别形成于所述主栅两侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度;以及,

[0012] 体接触区,形成于所述第一部分的远离所述主栅一侧的半导体层中,所述体接触区至少与所述第二部分接触。

[0013] 可选地,所述绝缘埋层上形成有浅沟槽隔离结构,所述浅沟槽隔离结构包围所述源极区、所述漏极区和所述体接触区。

[0014] 可选地,所述主栅的远离所述第一部分的一端从所述半导体层上延伸至所述浅沟槽隔离结构上。

[0015] 可选地,所述第一部分的一端从所述半导体层上延伸至所述浅沟槽隔离结构上。

[0016] 可选地,所述第二部分在所述第一部分的远离所述主栅一侧的位置与所述主栅对准。

[0017] 可选地,所述体接触区的形状为Π型,Π型的“一”部位位于所述第二部分的远离所述第一部分一侧的半导体层中,Π型的“|”部位的远离“一”部位的一端与所述第一部分接触或未接触。

[0018] 可选地,所述主栅和所述第一部分中形成有第一离子掺杂区,所述第二部分中形成有第二离子掺杂区;所述源极区、所述漏极区和所述第一离子掺杂区的导电类型相同,所述体接触区与所述第二离子掺杂区的导电类型相同,所述体接触区与所述源极区的导电类型不同。

[0019] 可选地,所述栅极层与所述半导体层之间形成有栅介质层。

[0020] 本发明还提供了一种半导体器件的制造方法,包括:

[0021] 提供一SOI衬底,所述SOI衬底包括自下向上的下层衬底、绝缘埋层和半导体层;

[0022] 形成栅极层于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第一部分与所述第二部分连接;

[0023] 形成源极区和漏极区于所述主栅两侧的半导体层中,以及形成体接触区于所述第一部分的远离所述主栅一侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度,所述体接触区至少与所述第二部分接触。

[0024] 可选地,所述体接触区的形状为Π型,Π型的“一”部位位于所述第二部分的远离所述第一部分一侧的半导体层中,Π型的“|”部位的远离“一”部位的一端与所述第一部分接触或未接触。

[0025] 可选地,在形成所述源极区和所述漏极区于所述主栅两侧的半导体层中的同时,形成第一离子掺杂区于所述主栅和所述第一部分中;在形成所述体接触区于所述第一部分的远离所述主栅一侧的半导体层中的同时,形成所述第二离子掺杂区于所述第二部分中;所述源极区、所述漏极区和所述第一离子掺杂区的导电类型相同,所述体接触区与所述第二离子掺杂区的导电类型相同,所述体接触区与所述源极区的导电类型不同。

[0026] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0027] 1、本发明的半导体器件,由于栅极层包括主栅和扩展栅,所述扩展栅包括与所述

主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度,使得位于所述半导体层上的扩展栅的面积得到减小,从而使得在考量到栅极层、体接触区、源极区和漏极区的制作工艺的CD以及所采用的掩膜版的对准精度的波动影响的同时,还能提高半导体器件的性能。

[0028] 2、本发明的半导体器件的制造方法,由于形成的栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度,使得位于所述半导体层上的扩展栅的面积得到减小,从而使得在考量到栅极层、体接触区、源极区和漏极区的制作工艺的CD以及所采用的掩膜版的对准精度的波动影响的同时,还能提高半导体器件的性能。

### 附图说明

[0029] 图1是现有的一种具有T型栅结构的器件俯视示意图;

[0030] 图2a~图2d是本发明实施例一的半导体器件的示意图;

[0031] 图3a~图3b是本发明实施例二的半导体器件的示意图;

[0032] 图4a~图4b是本发明实施例三的半导体器件的示意图;

[0033] 图5是本发明一实施例的半导体器件的制造方法的流程图。

[0034] 其中,附图1~图5的附图标记说明如下:

[0035] 11-栅极层;12-源极区;13-漏极区;14-体接触区;201-下层衬底;202-绝缘埋层;203-半导体层;21-栅极层;211-主栅;212-扩展栅;2121-第一部分;2122-第二部分;22-源极区;23-漏极区;24-体接触区;25-第一离子掺杂区;26-第二离子掺杂区。

### 具体实施方式

[0036] 为使本发明的目的、优点和特征更加清楚,以下结合附图对本发明提出的半导体器件及其制造方法作进一步详细说明。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0037] 本发明一实施例提供了一种半导体器件,所述半导体器件包括SOI衬底、栅极层、源极区、漏极区和体接触区,所述SOI衬底包括自下向上的下层衬底、绝缘埋层和半导体层;所述栅极层形成于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第一部分与所述第二部分连接;所述源极区和所述漏极区分别形成于所述主栅两侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度;所述体接触区形成于所述第一部分的远离所述主栅一侧的半导体层中,所述体接触区至少与所述第二部分接触。

[0038] 下面参阅图2a~图2d、图3a~图3b和图4a~图4b详细描述本实施例提供的半导体器件,其中,图2a、图3a和图4a是半导体器件的俯视示意图,图2b是图2a所示的半导体器件中离子注入区域的示意图,图3b是图3a所示的半导体器件中离子注入区域的示意图,图4b是图4a所示的半导体器件中离子注入区域的示意图,图2c是图2a所示的半导体器件沿CC'方向的剖面示意图,图2d是图2a所示的半导体器件沿DD'方向的剖面示意图。

[0039] 所述SOI(绝缘体上半导体)衬底包括自下向上的下层衬底201、绝缘埋层202和半导体层203。所述半导体层203可由任何适当的半导体材料构成,包括但不限于:硅、锗、硅锗、硅碳化锗、碳化硅以及其他半导体,绝缘埋层202例如为氧化硅层。

[0040] 所述半导体层203中形成有器件有源区(未图示),所述器件有源区的外围环绕形成有沟槽隔离结构(未图示)。所述沟槽隔离结构的底面与所述绝缘埋层202接触或不接触,所述沟槽隔离结构的顶面与所述半导体层203的顶面齐平、略低于或略高于所述半导体层203的顶面。所述沟槽隔离结构的材质可以为氧化硅或氮氧硅等。

[0041] 所述栅极层21形成于所述半导体层203上,所述栅极层21包括主栅211和扩展栅212,所述扩展栅212包括与所述主栅211连接的第一部分2121以及位于所述第一部分2121的远离所述主栅211一侧的第二部分2122,所述第一部分2121与所述第二部分2122连接。

[0042] 所述主栅211与所述第一部分2121可以构成T型结构,所述主栅211为T型结构的“|”部位,所述第一部分2121为T型结构的“—”部位。

[0043] 所述栅极层21与所述半导体层203之间形成有栅介质层(未图示),所述栅极层21、所述栅介质层和所述半导体层203构成了电容的结构,所述扩展栅212、所述栅介质层和所述半导体层203构成的电容为寄生电容。

[0044] 所述栅介质层的材质可以为氧化硅(相对介电常数为4.1)或者相对介电常数大于7的高K介质,例如可以包括但不限于氮氧硅、二氧化钛、五氧化二钽等;或者,所述栅介质层的材质也可以为低介电常数的材料,例如为碳氧硅(SiOC,相对介电常数为2.5)、无机或有机旋涂玻璃(SOG,相对介电常数为小于或等于3)等。所述栅介质层采用低介电常数的材料,能够使得电容得到减小。

[0045] 所述源极区22和所述漏极区23分别形成于所述主栅211两侧的半导体层203中,其中,由于所述半导体层203的厚度很小,所述源极区22和所述漏极区23可以形成于所述半导体层203的整个厚度或部分厚度中。所述主栅211下方的位于所述源极区22和所述漏极区23之间的区域为沟道区。

[0046] 所述第二部分2122的长度小于所述第一部分2121位于所述半导体层203上的长度,例如图2a、3a、4a所示, $L_3$ 大于 $L_2$ 。

[0047] 所述主栅211的远离所述第一部分2121的一端从所述半导体层203上延伸至所述浅沟槽隔离结构上;所述第一部分2121的两端从所述半导体层203上延伸至所述浅沟槽隔离结构上。那么,所述第一部分2121同时位于所述半导体层203和所述浅沟槽隔离结构上,所述第二部分2122仅位于所述半导体层203上,所述第二部分2122的长度 $L_2$ 小于所述第一部分2121的位于所述半导体层203上的长度 $L_3$ 。

[0048] 所述第二部分2122在所述第一部分2121的远离所述主栅211一侧的位置与所述主栅211的位置对准,或者仅部分重叠,或者完全错开。所述第二部分2122的长度 $L_2$ 可以大于、小于或等于所述主栅211的长度 $L_4$ 。当所述第二部分2122在所述第一部分2121的远离所述主栅211一侧的位置与所述主栅211的位置对准时,电子传输路径最短。

[0049] 所述体接触区24形成于所述第一部分2121的远离所述主栅211一侧的半导体层203中,所述体接触区24可以形成于所述半导体层203的整个厚度(如图2c和图2d所示)或部分厚度中;所述体接触区24至少与所述第二部分2122接触。所述体接触区24用于将位于所述沟道区下方的半导体层203(即体区)引出。所述浅沟槽隔离结构包围所述源极区22、所述

漏极区23和所述体接触区24。

[0050] 所述体接触区24同时与所述第一部分2121和所述第二部分2122接触,且所述体接触区24与所述第一部分2121共同环绕所述第二部分2122。本文所称“接触”是指从俯视图上看区域边界需要接触,参阅图2a~图2d,所述体接触区24的形状为Π型,Π型的“—”部位位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,Π型的“|”部位的远离“—”部位的一端与所述第一部分2121接触,Π型的两个“|”部位、Π型的“—”部位与所述第一部分2121共同环绕且接触所述第二部分2122,此时可以节省体接触区24与第二部分2122的布局面积,芯片面积可以进一步减小。

[0051] 或者,所述体接触区24仅与所述第二部分2122接触,此时,所述体接触区24可以位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,且所述体接触区24向所述第一部分2121方向延伸,以使得所述第二部分2122被所述体接触区24部分环绕,参阅图3a~图3b,所述体接触区24的形状也为Π型,Π型的“—”部位位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,Π型的“|”部位的远离“—”部位的一端向所述第一部分2121方向延伸但未与所述第一部分2121接触;或者,所述体接触区24可以仅位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,参阅图4a~图4b,所述体接触区24的形状为T型,T型的“|”部位向所述第二部分2122方向延伸至与所述第二部分2122接触。

[0052] 值得注意的是,图2a~图4b给出了多种实施例用来说明体接触区24与第二部分2122的接触形式,但本发明并不限于此,体接触区24需要至少与所述第二部分2122接触,第二部分2122的长度小于第一部分2121位于所述半导体层203上的长度,从而使得位于所述半导体层203上的扩展栅212的面积得到减小,进而减小寄生电容。

[0053] 另外,所述主栅211和所述第一部分2121中形成有第一离子掺杂区25,所述第二部分2122中形成有第二离子掺杂区26。所述第一离子掺杂区25可以位于所述主栅211和所述第一部分2121的整个厚度(如图2d所示)或部分厚度中,所述第二离子掺杂区26可以位于所述第二部分2122的整个厚度(如图2c和图2d所示)或部分厚度中。

[0054] 所述第一离子掺杂区25与所述源极区22、所述漏极区23可以采用同一道离子注入工艺同时分别形成于所述栅极层21(具体为所述主栅211和所述第一部分2121中)和所述半导体层203中,即图2a~图2b、图3a~图3b以及图4a~图4b中所示的离子注入区域B1,且所述第一离子掺杂区25与所述源极区22、所述漏极区23之间在水平方向上没有间隙,以确保所述源极区22、所述漏极区23与所述主栅211、所述第一部分2121之间在水平方向上没有间隙,使得所述源极区22、所述漏极区23与所述主栅211、所述第一部分2121之间能够直接接触。

[0055] 所述第二离子掺杂区26与所述体接触区24可以采用同一道离子注入工艺同时分别形成于所述第二部分2122和所述半导体层203中,即图2a~图2b、图3a~图3b以及图4a~图4b中所示的离子注入区域B2,其中,图2a~图2b所示的实施例一中的离子注入区域B1与离子注入区域B2接触,图3a~图3b所示的实施例二以及图4a~图4b所示的实施例三中的离子注入区域B1与离子注入区域B2未接触;且所述第二离子掺杂区26与所述体接触区24之间在水平方向上没有间隙,以确保所述体接触区24至少与所述第二部分2122之间在水平方向上没有间隙,使得所述体接触区24至少与所述第二部分2122之间能够之间接触,进而使得



所述体接触区24能够将体区中积累的电荷得到释放而抑制浮体效应。

[0056] 所述源极区22、所述漏极区23和所述第一离子掺杂区25的导电类型相同,所述体接触区24与所述第二离子掺杂区26的导电类型相同,所述体接触区24与所述源极区22的导电类型不同或相同。若所述体接触区24与所述源极区22的导电类型不同,则形成的半导体器件为增强型场效应晶体管;若所述体接触区24与所述源极区22的导电类型相同,则形成的半导体器件为耗尽型场效应晶体管。

[0057] 当所述体接触区24与所述源极区22的导电类型不同时,若所述源极区22、所述漏极区23和所述第一离子掺杂区25的导电类型为N型,则所述体接触区24与所述第二离子掺杂区26的导电类型为P型;若所述源极区22、所述漏极区23和所述第一离子掺杂区25的导电类型为P型,则所述体接触区24与所述第二离子掺杂区26的导电类型为N型。当所述体接触区24与所述源极区22的导电类型相同,则所述源极区22、所述漏极区23、所述第一离子掺杂区25、所述体接触区24与所述第二离子掺杂区26的导电类型均为N型或P型。N型的离子种类可以包括磷、砷等,P型的离子种类可以包括硼、镓等。

[0058] 从上述半导体器件的结构可知,对所述栅极层21中的扩展栅212,由于所述体接触区24需要与所述扩展栅212接触才能起到体引出的作用,且所述源极区22和所述漏极区23也需与所述扩展栅212接触,而为了确保所述体接触区24、所述源极区22和所述漏极区23均能够与所述扩展栅212接触,在对形成所述体接触区24、所述源极区22和所述漏极区23的离子注入范围的设计时需要考量到所述扩展栅212、所述体接触区24、所述源极区22和所述漏极区23的制作工艺的CD(关键尺寸)以及所采用的掩膜版的对准精度的波动影响,需要将形成所述体接触区24、所述源极区22和所述漏极区23的离子注入的范围均从所述半导体层203上延伸到扩展栅212上(例如图2a中的离子注入区域B2和离子注入区域B1的交界处BB'处),那么,在所述源极区22指向所述体接触区24的方向上(即图2a中的DD'所在的方向上),需要与所述体接触区24、所述源极区22和所述漏极区23接触处的扩展栅212的长度足够长;但是,若扩展栅212的长度太长(例如图1中所示的栅极层11的“-”部位从源极区12指向体接触区14方向上的栅长L1),会影响半导体器件的性能,例如会导致扩展栅212、栅介质层和半导体层203之间形成的寄生电容过大,以及导致功耗增加、导通电流减小等问题。

[0059] 因此,本发明的半导体器件的结构将所述扩展栅212设计为包括与所述主栅211连接的第一部分2121以及位于所述第一部分2121的远离所述主栅211一侧的第二部分2122,所述第二部分2122的长度L2小于所述第一部分2121的位于所述半导体层203上的长度L3,并使得在形成所述源极区22和所述漏极区23时的离子注入范围包含所述第一部分2121(即离子注入区域B1),以及在形成所述体接触区24时的离子注入范围包含所述第二部分2122(即离子注入区域B2),以避免形成所述源极区22、所述漏极区23和所述体接触区24时的制作工艺的CD(关键尺寸)以及所采用的掩膜版的对准精度的波动影响的同时,还将所述扩展栅212的需与所述体接触区24接触部分(即所述第二部分2122)的长度减小,以使得与图1中的栅极层11的“-”部位的结构相比,位于所述半导体层上的扩展栅的面积得到减小,从而使得在考量到扩展栅212、体接触区24、源极区22和漏极区23的制作工艺的CD(关键尺寸)以及所采用的掩膜版的对准精度的波动影响的同时,还能提高半导体器件的性能,使得寄生电容得到减小、功耗降低以及导通电流增加。

[0060] 本发明一实施例提供一种半导体器件的制造方法,参阅图5,图5是本发明一实施

例的半导体器件的制造方法的流程图,所述半导体器件的制造方法包括:

[0061] 步骤S1、提供一SOI衬底,所述SOI衬底包括自下向上的下层衬底、绝缘埋层和半导体层;

[0062] 步骤S2、形成栅极层于所述半导体层上,所述栅极层包括主栅和扩展栅,所述扩展栅包括与所述主栅连接的第一部分以及位于所述第一部分的远离所述主栅一侧的第二部分,所述第一部分与所述第二部分连接;

[0063] 步骤S3、形成源极区和漏极区于所述主栅两侧的半导体层中,以及形成体接触区于所述第一部分的远离所述主栅一侧的半导体层中,所述第二部分的长度小于所述第一部分位于所述半导体层上的长度,所述体接触区至少与所述第二部分接触。

[0064] 下面参阅图2a~图2d、图3a~图3b和图4a~图4b更为详细的介绍本实施例提供的半导体器件的制造方法。

[0065] 按照步骤S1,提供一SOI(绝缘体上半导体)衬底,所述SOI衬底包括自下向上的下层衬底201、绝缘埋层202和半导体层203。所述半导体层203可由任何适当的半导体材料构成,包括但不限于:硅、锗、硅锗、硅碳化锗、碳化硅以及其他半导体,绝缘埋层202例如为氧化硅层。

[0066] 所述半导体层203中形成有器件有源区(未图示),所述器件有源区的外围环绕形成有沟槽隔离结构(未图示)。所述沟槽隔离结构的底面与所述绝缘埋层202接触或不接触,所述沟槽隔离结构的顶面与所述半导体层203的顶面齐平、略低于或略高于所述半导体层203的顶面。所述沟槽隔离结构的材质可以为氧化硅或氮氧硅等。

[0067] 按照步骤S2,形成栅极层21于所述半导体层203上,所述栅极层21包括主栅211和扩展栅212,所述扩展栅212包括与所述主栅211连接的第一部分2121以及位于所述第一部分2121的远离所述主栅211一侧的第二部分2122,所述第一部分2121与所述第二部分2122连接。

[0068] 所述主栅211与所述第一部分2121可以构成T型结构,所述主栅211为T型结构的“|”部位,所述第一部分2121为T型结构的“—”部位。

[0069] 可以先沉积栅极材料覆盖于所述半导体层203和所述沟槽隔离结构上,再执行刻蚀工艺,以形成所需图案的所述栅极层21。

[0070] 并且,在形成所述栅极层21于所述半导体层203上之前,可以先形成栅介质层(未图示)于所述半导体层203上。所述栅极层21、所述栅介质层和所述半导体层203构成了电容的结构,且所述扩展栅212、所述栅介质层和所述半导体层203构成的电容为寄生电容。

[0071] 所述栅介质层的材质可以为氧化硅(相对介电常数为4.1)或者相对介电常数大于7的高K介质,例如可以包括但不限于氮氧硅、二氧化钛、五氧化二钽等;或者,所述栅介质层的材质也可以为低介电常数的材料,例如为碳氧硅(SiOC,相对介电常数为2.5)、无机或有机旋涂玻璃(SOG,相对介电常数为小于或等于3)等。所述栅介质层采用低介电常数的材料,能够使得电容得到减小。

[0072] 按照步骤S3,形成源极区22和漏极区23于所述主栅211两侧的半导体层203中,以及形成体接触区24于所述第一部分2121的远离所述主栅211一侧的半导体层203中。

[0073] 其中,可以先形成所述源极区22和所述漏极区23于所述主栅211两侧的半导体层203中,后形成所述体接触区24于所述第一部分2121的远离所述主栅211一侧的半导体层

203中;或者,先形成所述体接触区24于所述第一部分2121的远离所述主栅211一侧的半导体层203中,后形成所述源极区22和所述漏极区23于所述主栅211两侧的半导体层203中。

[0074] 其中,由于所述半导体层203的厚度很小,所述源极区22和所述漏极区23可以形成于所述半导体层203的整个厚度或部分厚度中,所述主栅211下方的位于所述源极区22和所述漏极区23之间的区域为沟道区。

[0075] 所述第二部分2122的长度小于所述第一部分2121位于所述半导体层上的长度,例如如图2a、3a、4a所示, $L_3$ 大于 $L_2$ 。

[0076] 所述主栅211的远离所述第一部分2121的一端从所述半导体层203上延伸至所述浅沟槽隔离结构上;所述第一部分2121的两端从所述半导体层203上延伸至所述浅沟槽隔离结构上。那么,所述第一部分2121同时位于所述半导体层203和所述浅沟槽隔离结构上,所述第二部分2122仅位于所述半导体层203上,所述第二部分2122的长度 $L_2$ 小于所述第一部分2121的位于所述半导体层203上的长度 $L_3$ 。

[0077] 所述第二部分2122在所述第一部分2121的远离所述主栅211一侧的位置与所述主栅211的位置对准,或者仅部分重叠,或者完全错开。所述第二部分2122的长度 $L_2$ 可以大于、小于或等于所述主栅211的长度 $L_4$ 。当所述第二部分2122在所述第一部分2121的远离所述主栅211一侧的位置与所述主栅211的位置对准时,电子传输路径最短。

[0078] 所述体接触区24可以形成于所述半导体层203的整个厚度(如图2c和图2d所示)或部分厚度中;所述体接触区24至少与所述第二部分2122接触。所述体接触区24用于将位于所述沟道区下方的半导体层203(即体区)引出。所述浅沟槽隔离结构包围所述源极区22、所述漏极区23和所述体接触区24。

[0079] 所述体接触区24同时与所述第一部分2121和所述第二部分2122接触,且所述体接触区24与所述第一部分2121共同环绕所述第二部分2122。本文所称“接触”是指从俯视图上看区域边界需要接触,参阅图2a~图2d,所述体接触区24的形状为Π型,Π型的“—”部位位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,Π型的“|”部位的远离“—”部位的一端与所述第一部分2121接触,Π型的两个“|”部位、Π型的“—”部位与所述第一部分2121共同环绕且接触所述第二部分2122。

[0080] 或者,所述体接触区24仅与所述第二部分2122接触,此时,所述体接触区24可以位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,且所述体接触区24向所述第一部分2121方向延伸,以使得所述第二部分2122被所述体接触区24部分环绕,参阅图3a~图3b,所述体接触区24的形状也为Π型,Π型的“—”部位位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,Π型的“|”部位的远离“—”部位的一端向所述第一部分2121方向延伸但未与所述第一部分2121接触;或者,所述体接触区24可以仅位于所述第二部分2122的远离所述第一部分2121一侧的半导体层203中,参阅图4a~图4b,所述体接触区24的形状为T型,T型的“|”部位向所述第二部分2122方向延伸至与所述第二部分2122接触。

[0081] 值得注意的是,图2a~图4b给出了多种实施例用来说明体接触区24与第二部分2122的接触形式,但本发明并不限于此,体接触区24需要至少与所述第二部分2122接触,第二部分2122的长度小于第一部分2121位于所述半导体层203上的长度,从而使得位于所述半导体层203上的扩展栅212的面积得到减小,进而减小寄生电容。

[0082] 另外,在形成所述源极区22和所述漏极区23于所述主栅211两侧的半导体层203中的同时,形成第一离子掺杂区25于所述主栅211和所述第一部分2121中。那么,所述第一离子掺杂区25与所述源极区22、所述漏极区23采用同一道离子注入工艺同时分别形成于所述栅极层21(具体为所述主栅211和所述第一部分2121中)和所述半导体层203中,即图2a~图2b、图3a~图3b以及图4a~图4b中所示的离子注入区域B1,且所述第一离子掺杂区25与所述源极区22、所述漏极区23之间在水平方向上没有间隙,以确保所述源极区22、所述漏极区23与所述主栅211、所述第一部分2121之间在水平方向上没有间隙,使得所述源极区22、所述漏极区23与所述主栅211、所述第一部分2121之间能够直接接触。

[0083] 在形成所述体接触区24于所述第一部分2121的远离所述主栅211一侧的半导体层203中的同时,形成所述第二离子掺杂区26于所述第二部分2122中。那么,所述第二离子掺杂区26与所述体接触区24采用同一道离子注入工艺同时分别形成于所述第二部分2122和所述半导体层203中,即图2a~图2b、图3a~图3b以及图4a~图4b中所示的离子注入区域B2,其中,图2a~图2b所示的实施例一中的离子注入区域B1与离子注入区域B2接触,图3a~图3b所示的实施例二以及图4a~图4b所示的实施例三中的离子注入区域B1与离子注入区域B2未接触;且所述第二离子掺杂区26与所述体接触区24之间在水平方向上没有间隙,以确保所述体接触区24至少与所述第二部分2122之间在水平方向上没有间隙,使得所述体接触区24至少与所述第二部分2122之间能够之间接触,进而使得所述体接触区24能够将体区中积累的电荷得到释放而抑制浮体效应。

[0084] 需要说明的是,所述源极区22和所述漏极区23与所述第一离子掺杂区25也可以采用不同道的离子注入工艺分别形成(先形成所述源极区22和所述漏极区23,再形成所述第一离子掺杂区25;或者,先形成所述第一离子掺杂区25,再形成所述源极区22和所述漏极区23),所述体接触区24和所述第二离子掺杂区26也可以采用不同道的离子注入工艺分别形成(先形成所述体接触区24,再形成所述第二离子掺杂区26;或者,先形成所述第二离子掺杂区26,再形成所述体接触区24)。

[0085] 所述第一离子掺杂区25可以位于所述主栅211和所述第一部分2121的整个厚度(如图2d所示)或部分厚度中,所述第二离子掺杂区26可以位于所述第二部分2122的整个厚度(如图2c和图2d所示)或部分厚度中。

[0086] 所述源极区22、所述漏极区23和所述第一离子掺杂区25的导电类型相同,所述体接触区24与所述第二离子掺杂区26的导电类型相同,所述体接触区24与所述源极区22的导电类型不同或相同。若所述体接触区24与所述源极区22的导电类型不同,则形成的半导体器件为增强型场效应晶体管;若所述体接触区24与所述源极区22的导电类型相同,则形成的半导体器件为耗尽型场效应晶体管。

[0087] 当所述体接触区24与所述源极区22的导电类型不同时,若所述源极区22、所述漏极区23和所述第一离子掺杂区25的导电类型为N型,则所述体接触区24与所述第二离子掺杂区26的导电类型为P型;若所述源极区22、所述漏极区23和所述第一离子掺杂区25的导电类型为P型,则所述体接触区24与所述第二离子掺杂区26的导电类型为N型。当所述体接触区24与所述源极区22的导电类型相同,则所述源极区22、所述漏极区23、所述第一离子掺杂区25、所述体接触区24与所述第二离子掺杂区26的导电类型均为N型或P型。N型的离子种类可以包括磷、砷等,P型的离子种类可以包括硼、镓等。

[0088] 从上述步骤S1至步骤S3可知,对所述栅极层21中的扩展栅212,由于所述体接触区24需要与所述扩展栅212接触才能起到体引出的作用,且所述源极区22和所述漏极区23也需与所述扩展栅212接触,而为了确保所述体接触区24、所述源极区22和所述漏极区23均能够与所述扩展栅212接触,在对形成所述体接触区24、所述源极区22和所述漏极区23的离子注入范围的设计时需要考量到所述扩展栅212、所述体接触区24、所述源极区22和所述漏极区23的制作工艺的CD(关键尺寸)以及所采用的掩膜版的对准精度的波动影响,需要将形成所述体接触区24、所述源极区22和所述漏极区23的离子注入的范围均从所述半导体层203上延伸到扩展栅212上(例如图2a中的离子注入区域B2和离子注入区域B1的交界处BB'处),那么,在所述源极区22指向所述体接触区24的方向上(即图2a中的DD'所在的方向上),需要与所述体接触区24、所述源极区22和所述漏极区23接触处的扩展栅212的长度足够长;但是,若扩展栅212的长度太长(例如图1中所示的栅极层11的“一”部位从源极区12指向体接触区14方向上的栅长L1),会影响半导体器件的性能,例如会导致扩展栅212、栅介质层和半导体层203之间形成的寄生电容过大,以及导致功耗增加、导通电流减小等问题。

[0089] 因此,本发明的半导体器件的的制造方法中将所述扩展栅212设计为包括与所述主栅211连接的第一部分2121以及位于所述第一部分2121的远离所述主栅211一侧的第二部分2122,且在所述源极区22指向所述漏极区23的方向上,所述第二部分2122的长度L2小于所述第一部分2121的位于所述半导体层203上的长度L3,并使得在形成所述源极区22和所述漏极区23时的离子注入范围包含所述第一部分2121(即离子注入区域B1),以及在形成所述体接触区24时的离子注入范围包含所述第二部分2122(即离子注入区域B2),以避免形成所述源极区22、所述漏极区23和所述体接触区24时的制作工艺的CD(关键尺寸)以及所采用的掩膜版的对准精度的波动影响的同时,还将所述扩展栅212的需与所述体接触区24接触部分(即所述第二部分2122)的长度减小,以使得与图1中的栅极层11的“一”部位的结构相比,位于所述半导体层上的扩展栅的面积得到减小,从而使得在考量到扩展栅212、体接触区24、源极区22和漏极区23的制作工艺的CD(关键尺寸)以及所采用的掩膜版的对准精度的波动影响的同时,还能提高半导体器件的性能,使得寄生电容得到减小、功耗降低以及导通电流增加。

[0090] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

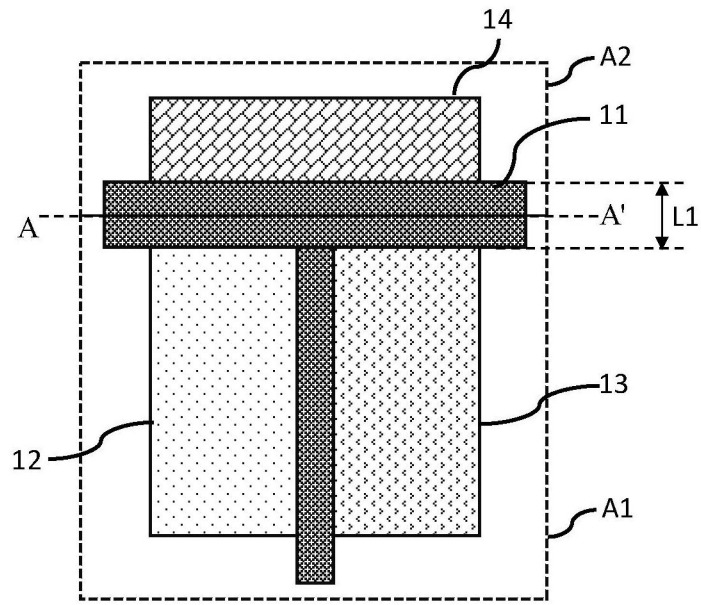


图1

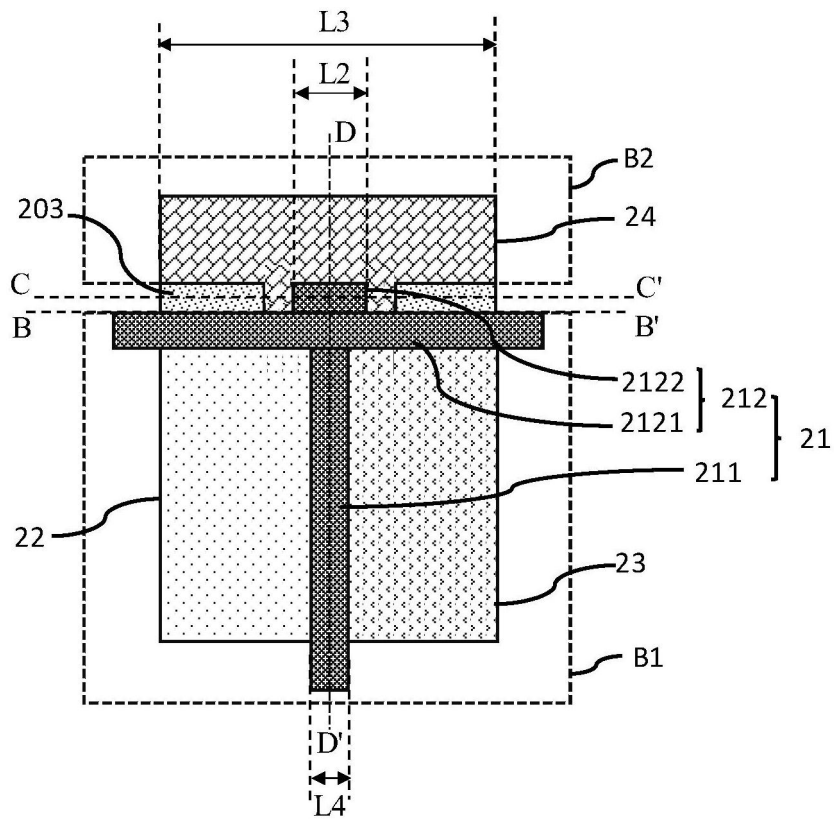


图2a

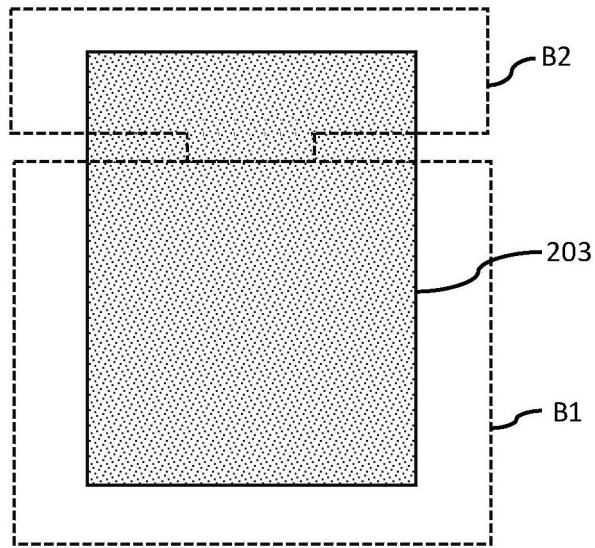


图2b

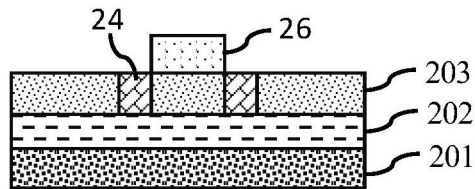


图2c

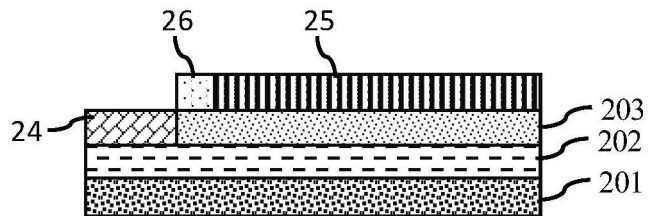


图2d

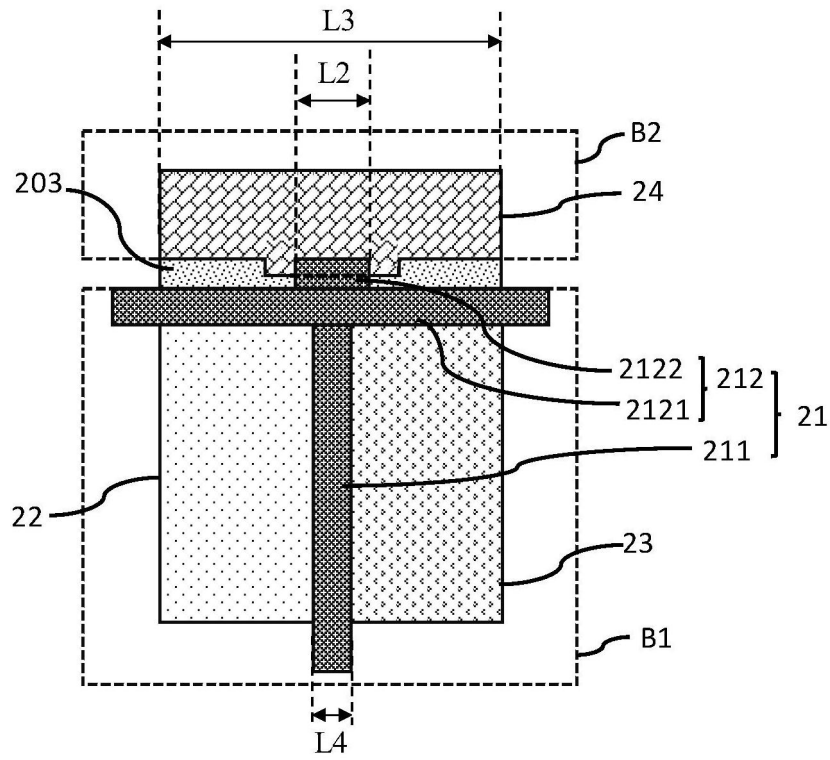


图3a

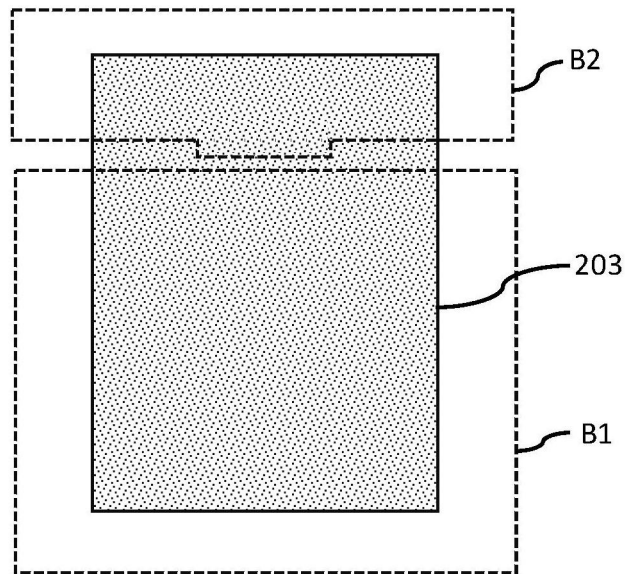


图3b



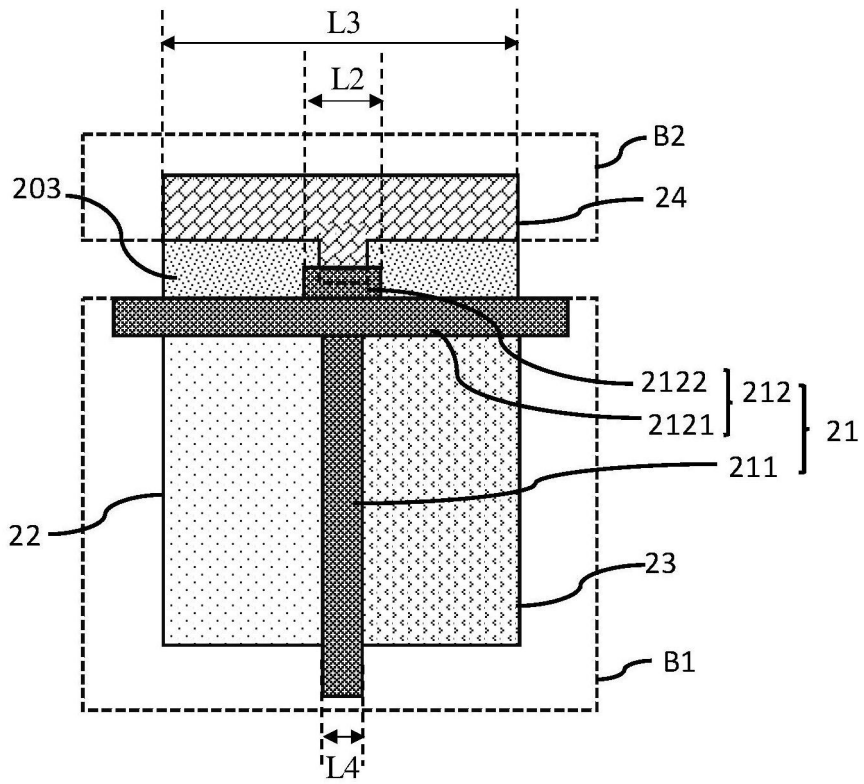


图4a

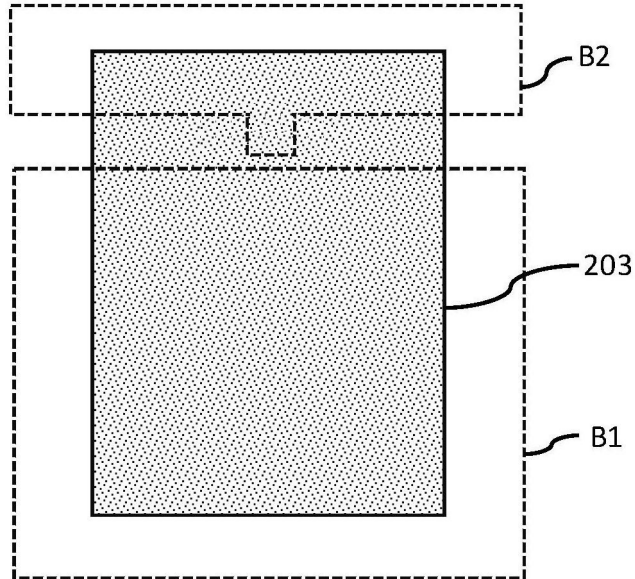


图4b

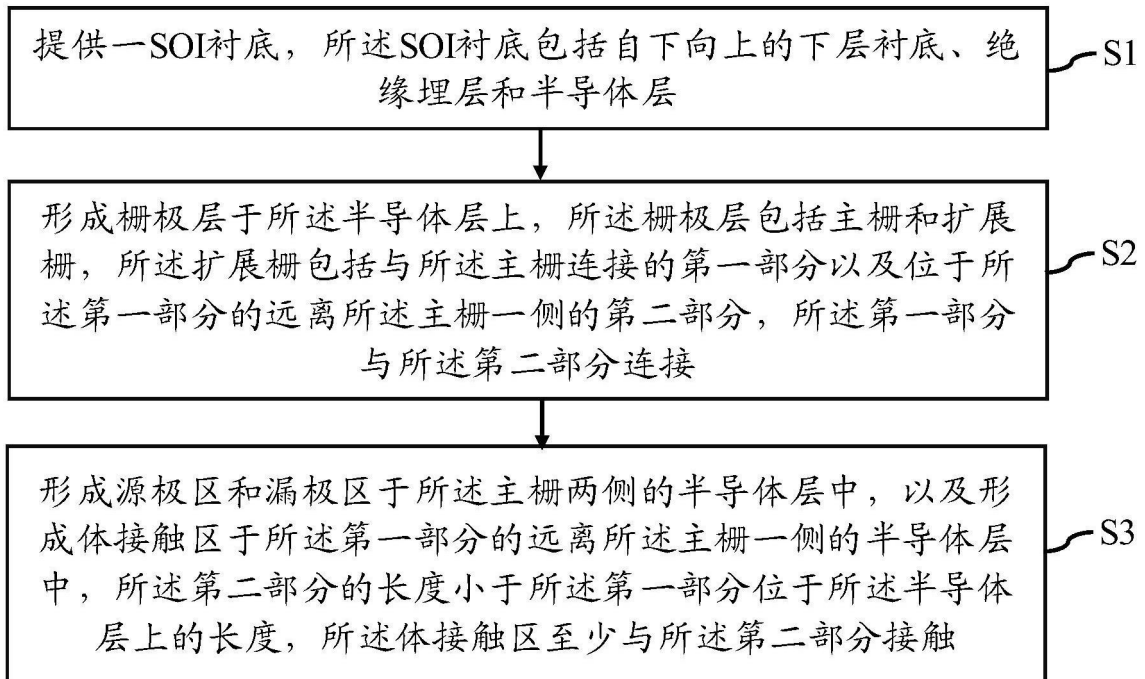


图5