



(12)发明专利申请

(10)申请公布号 CN 106157874 A

(43)申请公布日 2016. 11. 23

(21)申请号 201610819674.3

(22)申请日 2016.09.12

(71)申请人 合肥鑫晟光电科技有限公司

地址 230011 安徽省合肥市新站区胜利路  
88号

申请人 京东方科技集团股份有限公司

(72)发明人 江鹏 杨海鹏 戴珂 尹榕俊  
周茂秀

(74)专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138

代理人 滕一斌

(51)Int. Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

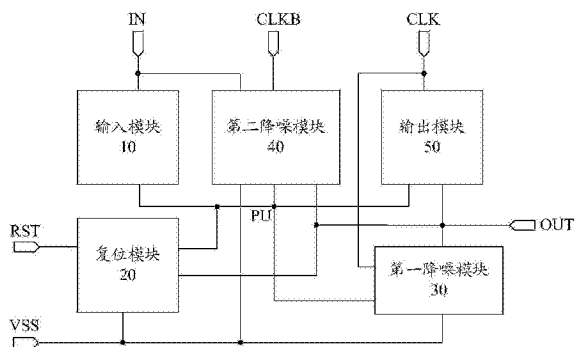
权利要求书3页 说明书10页 附图4页

(54)发明名称

移位寄存器单元、驱动方法、栅极驱动电路  
及显示装置

(57)摘要

本发明公开了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置,属于显示技术领域。该移位寄存器单元包括输入模块、复位模块、第一降噪模块、第二降噪模块和输出模块,当第一时钟信号处于第一电位时,第一降噪模块能够对该移位寄存器单元的上拉节点和输出端进行降噪;当第二时钟信号处于第一电位,该第二降噪模块能够对上拉节点和输出端进行降噪,因此通过该两个降噪模块可以有效消除该移位寄存器单元中上拉节点和输出端的噪声,提高了移位寄存器单元的降噪性能。本发明用于驱动显示装置。



1. 一种移位寄存器单元,其特征在于,所述移位寄存器单元包括:

输入模块、复位模块、第一降噪模块、第二降噪模块和输出模块;

所述输入模块分别与输入信号端和上拉节点连接,用于在来自所述输入信号端的输入信号的控制下,控制所述上拉节点的电位;

所述复位模块分别与复位信号端、电源信号端、所述上拉节点和输出端连接,用于在来自所述复位信号端的复位信号的控制下,对所述上拉节点和所述输出端进行复位;

所述第一降噪模块分别与第一时钟信号端、所述电源信号端、所述上拉节点和所述输出端连接,用于在来自所述第一时钟信号端的第一时钟信号的控制下,对所述上拉节点和所述输出端进行降噪;

所述第二降噪模块分别与所述输入信号端、第二时钟信号端、所述电源信号端、所述上拉节点和所述输出端连接,用于在来自所述第二时钟信号端的第二时钟信号的控制下,对所述上拉节点和所述输出端进行降噪;

所述输出模块分别与所述第一时钟信号端、所述上拉节点和所述输出端连接,用于在所述上拉节点的控制下,向所述输出端输出所述第一时钟信号。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一降噪模块,包括:第一控制子模块和第一降噪子模块;

所述第一控制子模块分别与所述第一时钟信号端、所述电源信号端和第一下拉节点连接,用于在所述第一时钟信号和所述电源信号的控制下,控制所述第一下拉节点的电位;

所述第一降噪子模块分别与所述电源信号端、所述第一下拉节点、所述上拉节点和所述输出端连接,用于在所述第一下拉节点的控制下,分别向所述上拉节点和所述输出端输出所述电源信号,以对所述上拉节点和所述输出端降噪。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第二降噪模块,包括:第二控制子模块和第二降噪子模块;

所述第二控制子模块分别与所述第二时钟信号端、所述电源信号端和第二下拉节点连接,用于在所述第二时钟信号和所述电源信号的控制下,控制所述第二下拉节点的电位;

所述第二降噪子模块分别与所述电源信号端、所述第二下拉节点、所述上拉节点和所述输出端连接,用于在所述第二下拉节点的控制下,分别向所述上拉节点和所述输出端输出所述电源信号,以对所述上拉节点和所述输出端降噪。

4. 根据权利要求2所述的移位寄存器单元,其特征在于,所述第一控制子模块包括:第一晶体管、第二晶体管、第三晶体管和第四晶体管;所述第一降噪子模块包括:第五晶体管和第六晶体管;

所述第一晶体管的栅极和第一极与所述第一时钟信号端连接,所述第一晶体管的第二极与所述第二晶体管的栅极连接;

所述第二晶体管的第一极与所述第一时钟信号端连接,所述第二晶体管的第二极与所述第一下拉节点连接;

所述第三晶体管的栅极与所述上拉节点连接,所述第三晶体管的第一极与所述电源信号端连接,所述第三晶体管的第二极与所述第二晶体管的栅极连接;

所述第四晶体管的栅极与所述上拉节点连接,所述第四晶体管的第一极与所述电源信号端连接,所述第四晶体管的第二极与所述第一下拉节点连接;

所述第五晶体管的栅极与所述第一下拉节点连接,所述第五晶体管的第一极与所述电源信号端连接,所述第五晶体管的第二极与所述上拉节点连接;

所述第六晶体管的栅极与所述第一下拉节点连接,所述第六晶体管的第一极与所述电源信号端连接,所述第六晶体管的第二极与所述输出端连接。

5. 根据权利要求3所述的移位寄存器单元,其特征在于,所述第二控制子模块包括:第七晶体管、第八晶体管、第九晶体管和第十晶体管;所述第二降噪子模块包括:第十一晶体管和第十二晶体管;

所述第七晶体管的栅极和第一极与所述第二时钟信号端连接,所述第七晶体管的第二极与所述第八晶体管的栅极连接;

所述第八晶体管的第一极与所述第二时钟信号端连接,所述第八晶体管的第二极与所述第二下拉节点连接;

所述第九晶体管的栅极与所述上拉节点连接,所述第九晶体管的第一极与所述电源信号端连接,所述第九晶体管的第二极与所述第八晶体管的栅极连接;

所述第十晶体管的栅极与所述上拉节点连接,所述第十晶体管的第一极与所述电源信号端连接,所述第十晶体管的第二极与所述第二下拉节点连接;

所述第十一晶体管的栅极与所述第二下拉节点连接,所述第十一晶体管的第一极与所述电源信号端连接,所述第十一晶体管的第二极与所述上拉节点连接;

所述第十二晶体管的栅极与所述第二下拉节点连接,所述第十二晶体管的第一极与所述电源信号端连接,所述第十二晶体管的第二极与所述输出端连接。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述第二降噪子模块还与所述输入信号端和所述第二时钟信号端连接,所述第二降噪子模块还包括:第十三晶体管和第十四晶体管;

所述第十三晶体管的栅极与所述第二时钟信号端连接,所述第十三晶体管的第一极与所述输入信号端连接,所述第十三晶体管的第二极与所述上拉节点连接;

所述第十四晶体管的栅极与所述第二时钟信号端连接,所述第十四晶体管的第一极与所述电源信号端连接,所述第十四晶体管的第二极与所述输出端连接。

7. 根据权利要求1至5任一所述的移位寄存器单元,其特征在于,所述输入模块包括:第十五晶体管;所述复位模块包括:第十六晶体管和第十七晶体管;所述输出模块包括:第十八晶体管和电容器;

所述第十五晶体管的栅极和第一极与所述输入信号端连接,所述第十五晶体管的第二极与所述上拉节点连接;

所述第十六晶体管的栅极与所述复位信号端连接,所述第十六晶体管的第一极与所述电源信号端连接,所述第十六晶体管的第二极与所述上拉节点连接;

所述第十七晶体管的栅极与所述复位信号端连接,所述第十七晶体管的第一极与所述电源信号端连接,所述第十七晶体管的第二极与所述输出端连接;

所述第十八晶体管的栅极与所述上拉节点连接,所述第十八晶体管的第一极与所述第一时钟信号端连接,所述第十八晶体管的第二极与所述输出端连接;所述电容器的一端与所述上拉节点连接,另一端与所述输出端连接。

8. 根据权利要求1至5任一所述的移位寄存器单元,其特征在于,所述移位寄存器单元

还包括:帧前降噪模块;

所述帧前降噪模块包括:第十九晶体管和第二十晶体管;

所述第十九晶体管的栅极与帧前信号端连接,所述第十九晶体管的第一极与所述电源信号端连接,所述第十九晶体管的第二极与所述上拉节点连接;

所述第二十晶体管的栅极与所述帧前信号端连接,所述第二十晶体管的第一极与所述电源信号端连接,所述第二十晶体管的第二极与所述输出端连接。

9.一种移位寄存器单元的驱动方法,其特征在于,所述移位寄存器单元包括:输入模块、复位模块、第一降噪模块、第二降噪模块和输出模块;所述方法包括:

输入阶段,输入信号端输入的输入信号为第一电位,所述输入模块控制上拉节点的电位为第一电位;

输出阶段,第一时钟信号端输入的第一时钟信号为第一电位,所述上拉节点保持第一电位,所述输出模块在所述上拉节点的控制下,向所述输出端输出所述第一时钟信号;

复位阶段,复位信号端输入的复位信号为第一电位,所述复位模块分别对所述上拉节点和所述输出端进行复位;

第一降噪阶段,所述第一时钟信号为第一电位,所述第一降噪模块在所述第一时钟信号的控制下,分别对所述上拉节点和所述输出端进行降噪;

第二降噪阶段,第二时钟信号端输入的第二时钟信号为第一电位,所述第二降噪模块在所述第二时钟信号的控制下,分别对所述上拉节点和所述输出端进行降噪。

10.根据权利要求9所述的方法,其特征在于,所述第一降噪模块,包括:第一控制子模块和第一降噪子模块;

所述第一降噪阶段中,所述第一时钟信号为第一电位,所述第一控制子模块向第一下拉节点输出所述第一时钟信号;

所述第一降噪子模块在所述第一下拉节点的控制下,分别向所述上拉节点和所述输出端输出来自电源信号端的电源信号。

11.根据权利要求9所述的方法,其特征在于,所述第二降噪模块,包括:第二控制子模块和第二降噪子模块;

所述第二降噪阶段中,所述第二时钟信号为第一电位,所述第二控制子模块向第二下拉节点输出所述第二时钟信号;

所述第二降噪子模块在所述第二下拉节点的控制下,分别向所述上拉节点和所述输出端输出来自电源信号端的电源信号。

12.根据权利要求9至11任一所述的方法,其特征在于,

所述第一时钟信号和所述第二时钟信号的占空比均为二分之一,且所述第一时钟信号和所述第二时钟信号的频率相同,相位相反。

13.一种栅极驱动电路,其特征在于,所述栅极驱动电路包括:

至少两个级联的如权利要求1至8任一所述的移位寄存器单元。

14.一种显示装置,其特征在于,所述显示装置包括:如权利要求13所述的栅极驱动电路。

## 移位寄存器单元、驱动方法、栅极驱动电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。

### 背景技术

[0002] 显示装置在显示图像时,需要利用移位寄存器(即栅极驱动电路)对像素单元进行扫描,移位寄存器包括多个级联的移位寄存器单元,每个移位寄存器单元对应一行像素单元,由该多个级联的移位寄存器单元实现对显示装置中各行像素单元的逐行扫描驱动,以显示图像。

[0003] 相关技术中有一种移位寄存器单元,该移位寄存器单元主要包括输入模块、输出模块和降噪模块。其中,输入模块用于将上一行移位寄存器单元输出端的电压输入至该移位寄存器单元,将该移位寄存器单元中上拉节点的电平上拉至高电平,输出模块用于在上拉节点的控制下,向输出端输出驱动信号,降噪模块用于在时钟信号的控制下,将上拉节点和输出端的电平下拉至低电平,从而实现对该上拉节点和输出端的降噪。

[0004] 但是,由于降噪模块是由时钟信号控制的,当该时钟信号处于低电平时,该降噪模块中的晶体管无法有效开启,此时该降噪模块无法将上拉节点和输出端的电平有效下拉至低电平,该降噪模块的降噪性能较差。

### 发明内容

[0005] 为了解决相关技术中移位寄存器单元的降噪性能较差的问题,本发明实施例提供了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置。所述技术方案如下:

[0006] 第一方面,提供了一种移位寄存器单元,所述移位寄存器单元包括:

[0007] 输入模块、复位模块、第一降噪模块、第二降噪模块和输出模块;

[0008] 所述输入模块分别与输入信号端和上拉节点连接,用于在来自所述输入信号端的输入信号的控制下,控制所述上拉节点的电位;

[0009] 所述复位模块分别与复位信号端、电源信号端、所述上拉节点和输出端连接,用于在来自所述复位信号端的复位信号的控制下,对所述上拉节点和所述输出端进行复位;

[0010] 所述第一降噪模块分别与第一时钟信号端、所述电源信号端、所述上拉节点和所述输出端连接,用于在来自所述第一时钟信号端的第一时钟信号的控制下,对所述上拉节点和所述输出端进行降噪;

[0011] 所述第二降噪模块分别与所述输入信号端、第二时钟信号端、所述电源信号端、所述上拉节点和所述输出端连接,用于在来自所述第二时钟信号端的第二时钟信号的控制下,对所述上拉节点和所述输出端进行降噪;

[0012] 所述输出模块分别与所述第一时钟信号端、所述上拉节点和所述输出端连接,用于在所述上拉节点的控制下,向所述输出端输出所述第一时钟信号。

[0013] 可选的,所述第一降噪模块,包括:第一控制子模块和第一降噪子模块;

[0014] 所述第一控制子模块分别与所述第一时钟信号端、所述电源信号端和第一下拉节点连接,用于在所述第一时钟信号和所述电源信号的控制下,控制所述第一下拉节点的电位;

[0015] 所述第一降噪子模块分别与所述电源信号端、所述第一下拉节点、所述上拉节点和所述输出端连接,用于在所述第一下拉节点的控制下,分别向所述上拉节点和所述输出端输出所述电源信号,以对所述上拉节点和所述输出端降噪。

[0016] 可选的,所述第二降噪模块,包括:第二控制子模块和第二降噪子模块;

[0017] 所述第二控制子模块分别与所述第二时钟信号端、所述电源信号端和第二下拉节点连接,用于在所述第二时钟信号和所述电源信号的控制下,控制所述第二下拉节点的电位;

[0018] 所述第二降噪子模块分别与所述电源信号端、所述第二下拉节点、所述上拉节点和所述输出端连接,用于在所述第二下拉节点的控制下,分别向所述上拉节点和所述输出端输出所述电源信号,以对所述上拉节点和所述输出端降噪。

[0019] 可选的,所述第一控制子模块包括:第一晶体管、第二晶体管、第三晶体管和第四晶体管;所述第一降噪子模块包括:第五晶体管和第六晶体管;

[0020] 所述第一晶体管的栅极和第一极与所述第一时钟信号端连接,所述第一晶体管的第二极与所述第二晶体管的栅极连接;

[0021] 所述第二晶体管的第一极与所述第一时钟信号端连接,所述第二晶体管的第二极与所述第一下拉节点连接;

[0022] 所述第三晶体管的栅极与所述上拉节点连接,所述第三晶体管的第一极与所述电源信号端连接,所述第三晶体管的第二极与所述第二晶体管的栅极连接;

[0023] 所述第四晶体管的栅极与所述上拉节点连接,所述第四晶体管的第一极与所述电源信号端连接,所述第四晶体管的第二极与所述第一下拉节点连接;

[0024] 所述第五晶体管的栅极与所述第一下拉节点连接,所述第五晶体管的第一极与所述电源信号端连接,所述第五晶体管的第二极与所述上拉节点连接;

[0025] 所述第六晶体管的栅极与所述第一下拉节点连接,所述第六晶体管的第一极与所述电源信号端连接,所述第六晶体管的第二极与所述输出端连接。

[0026] 可选的,所述第二控制子模块包括:第七晶体管、第八晶体管、第九晶体管和第十晶体管;所述第二降噪子模块包括:第十一晶体管和第十二晶体管;

[0027] 所述第七晶体管的栅极和第一极与所述第二时钟信号端连接,所述第七晶体管的第二极与所述第八晶体管的栅极连接;

[0028] 所述第八晶体管的第一极与所述第二时钟信号端连接,所述第八晶体管的第二极与所述第二下拉节点连接;

[0029] 所述第九晶体管的栅极与所述上拉节点连接,所述第九晶体管的第一极与所述电源信号端连接,所述第九晶体管的第二极与所述第八晶体管的栅极连接;

[0030] 所述第十晶体管的栅极与所述上拉节点连接,所述第十晶体管的第一极与所述电源信号端连接,所述第十晶体管的第二极与所述第二下拉节点连接;

[0031] 所述第十一晶体管的栅极与所述第二下拉节点连接,所述第十一晶体管的第一极与所述电源信号端连接,所述第十一晶体管的第二极与所述上拉节点连接;

[0032] 所述第十二晶体管的栅极与所述第二下拉节点连接,所述第十二晶体管的第一极与所述电源信号端连接,所述第十二晶体管的第二极与所述输出端连接。

[0033] 可选的,所述第二降噪子模块还与所述输入信号端和所述第二时钟信号端连接,所述第二降噪子模块还包括:第十三晶体管和第十四晶体管;

[0034] 所述第十三晶体管的栅极与所述第二时钟信号端连接,所述第十三晶体管的第一极与所述输入信号端连接,所述第十三晶体管的第二极与所述上拉节点连接;

[0035] 所述第十四晶体管的栅极与所述第二时钟信号端连接,所述第十四晶体管的第一极与所述电源信号端连接,所述第十四晶体管的第二极与所述输出端连接。

[0036] 可选的,所述输入模块包括:第十五晶体管;所述复位模块包括:第十六晶体管和第十七晶体管;所述输出模块包括:第十八晶体管和电容器;

[0037] 所述第十五晶体管的栅极和第一极与所输入信号端连接,所述第十五晶体管的第二极与所述上拉节点连接;

[0038] 所述第十六晶体管的栅极与所述复位信号端连接,所述第十六晶体管的第一极与所述电源信号端连接,所述第十六晶体管的第二极与所述上拉节点连接;

[0039] 所述第十七晶体管的栅极与所述复位信号端连接,所述第十七晶体管的第一极与所述电源信号端连接,所述第十七晶体管的第二极与所述输出端连接;

[0040] 所述第十八晶体管的栅极与所述上拉节点连接,所述第十八晶体管的第一极与所述第一时钟信号端连接,所述第十八晶体管的第二极与所述输出端连接;

[0041] 所述电容器的一端与所述上拉节点连接,另一端与所述输出端连接。

[0042] 可选的,所述移位寄存器单元还包括:帧前降噪模块;

[0043] 所述帧前降噪模块包括:第十九晶体管和第二十晶体管;

[0044] 所述第十九晶体管的栅极与帧前信号端连接,所述第十九晶体管的第一极与所述电源信号端连接,所述第十九晶体管的第二极与所述上拉节点连接;

[0045] 所述第二十晶体管的栅极与所述帧前信号端连接,所述第二十晶体管的第一极与所述电源信号端连接,所述第二十晶体管的第二极与所述输出端连接。

[0046] 第二方面,提供了一种移位寄存器单元的驱动方法,所述移位寄存器单元包括:输入模块、复位模块、第一降噪模块、第二降噪模块和输出模块;所述方法包括:

[0047] 输入阶段,输入信号端输入的输入信号为第一电位,所述输入模块控制上拉节点的电位为第一电位;

[0048] 输出阶段,第一时钟信号端输入的第一时钟信号为第一电位,所述上拉节点保持第一电位,所述输出模块在所述上拉节点的控制下,向所述输出端输出所述第一时钟信号;

[0049] 复位阶段,复位信号端输入的复位信号为第一电位,所述复位模块分别对所述上拉节点和所述输出端进行复位;

[0050] 第一降噪阶段,所述第一时钟信号为第一电位,所述第一降噪模块在所述第一时钟信号的控制下,分别对所述上拉节点和所述输出端进行降噪;

[0051] 第二降噪阶段,第二时钟信号端输入的第二时钟信号为第一电位,所述第二降噪模块在所述第二时钟信号的控制下,分别对所述上拉节点和所述输出端进行降噪。

[0052] 可选的,所述第一降噪模块,包括:第一控制子模块和第一降噪子模块;

[0053] 所述第一降噪阶段中,所述第一时钟信号为第一电位,所述第一控制子模块向第

一下拉节点输出所述第一时钟信号；

[0054] 所述第一降噪子模块在所述第一下拉节点的控制下，分别向所述上拉节点和所述输出端输出来自电源信号端的电源信号。

[0055] 可选的，所述第二降噪模块，包括：第二控制子模块和第二降噪子模块；

[0056] 所述第二降噪阶段中，所述第二时钟信号为第一电位，所述第二控制子模块向第二下拉节点输出所述第二时钟信号；

[0057] 所述第二降噪子模块在所述第二下拉节点的控制下，分别向所述上拉节点和所述输出端输出来自电源信号端的电源信号。

[0058] 可选的，所述第一时钟信号和所述第二时钟信号的占空比均为二分之一，且所述第一时钟信号和所述第二时钟信号的频率相同，相位相反。

[0059] 第三方面，提供了一种栅极驱动电路，所述栅极驱动电路包括：至少两个级联的如第一方面所述的移位寄存器单元。

[0060] 第四方面，提供了一种显示装置，所述显示装置包括：如第三方面所述的栅极驱动电路。

[0061] 本发明实施例提供的技术方案带来的有益效果是：

[0062] 本发明提供了一种移位寄存器单元、驱动方法、栅极驱动电路及显示装置，该移位寄存器单元中设置了两个降噪模块，当第一时钟信号处于第一电位时，第一降噪模块能够对上拉节点和输出端进行降噪；当该第一时钟信号处于第二电位时，第二时钟信号处于第一电位，此时该第二降噪模块能够对上拉节点和输出端进行降噪，因此通过该两个降噪模块可以有效消除该上拉节点和输出端的噪声，使得该移位寄存器单元中的上拉节点和输出端在非输出阶段始终保持在第二电位，该移位寄存器单元的降噪性能较好。

## 附图说明

[0063] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0064] 图1是本发明实施例提供的一种移位寄存器单元的结构示意图；

[0065] 图2是本发明实施例提供的另一种移位寄存器单元的结构示意图；

[0066] 图3是本发明实施例提供的又一种移位寄存器单元的结构示意图；

[0067] 图4是本发明实施例提供的一种移位寄存器单元的驱动方法的流程图；

[0068] 图5是本发明实施例提供的一种移位寄存器单元的驱动过程的时序图。

## 具体实施方式

[0069] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

[0070] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本发明的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本发



明实施例中,将其中源极称为第一级,漏极称为第二级,栅极称为第三极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外,本发明实施例所采用的开关晶体管可以包括P型开关晶体管和N型开关晶体管中的任一种,其中,P型开关晶体管在栅极为低电平时导通,在栅极为高电平时截止,N型开关晶体管在栅极为高电平时导通,在栅极为低电平时截止。此外,本发明各个实施例中的多个信号都对应有第一电位和第二电位。第一电位和第二电位仅代表该信号的电位有2个状态量,不代表全文中第一电位或第二电位具有特定的数值。

[0071] 图1是本发明实施例提供的一种移位寄存器单元的结构示意图,如图1所示,该移位寄存器单元可以包括:输入模块10、复位模块20、第一降噪模块30、第二降噪模块40和输出模块50。

[0072] 其中,该输入模块10分别与输入信号端IN和上拉节点PU连接,用于在来自该输入信号端IN的输入信号的控制下,控制该上拉节点PU的电位。

[0073] 该复位模块20分别与复位信号端RST、电源信号端VSS、该上拉节点PU和输出端OUT连接,用于在来自该复位信号端RST的复位信号的控制下,对该上拉节点PU和该输出端OUT进行复位。

[0074] 该第一降噪模块30分别与第一时钟信号端CLK、该电源信号端VSS、该上拉节点PU和该输出端OUT连接,用于在来自该第一时钟信号端CLK的第一时钟信号的控制下,对该上拉节点PU和该输出端OUT进行降噪。

[0075] 该第二降噪模块40分别与该输入信号端IN、第二时钟信号端CLKB、该电源信号端VSS、该上拉节点PU和该输出端OUT连接,用于在来自该第二时钟信号端CLKB的第二时钟信号的控制下,对该上拉节点PU和该输出端OUT进行降噪。

[0076] 该输出模块50分别与该第一时钟信号端CLK、该上拉节点PU和该输出端OUT连接,用于在该上拉节点PU的控制下,向该输出端OUT输出该第一时钟信号。

[0077] 综上所述,本发明实施例提供了一种移位寄存器单元,该移位寄存器单元中设置了两个降噪模块,当第一时钟信号处于第一电位时,该第一降噪模块能够对上拉节点和输出端进行降噪;当该第二时钟信号处于第一电位时,该第二降噪模块能够对上拉节点和输出端进行降噪,因此通过该两个降噪模块可以有效消除该上拉节点和输出端的噪声,该移位寄存器单元的降噪性能较好。

[0078] 图2是本发明实施例提供的另一种移位寄存器单元的结构示意图,参考图2,该第一降噪模块30可以包括:第一控制子模块301和第一降噪子模块302。

[0079] 该第一控制子模块301分别与该第一时钟信号端CLK、该电源信号端VSS和第一下拉节点PD1连接,用于在该第一时钟信号和该电源信号的控制下,控制该第一下拉节点PD1的电位。

[0080] 该第一降噪子模块302分别与该电源信号端VSS、该第一下拉节点PD1、该上拉节点PU和该输出端OUT连接,用于在该第一下拉节点PD1的控制下,分别向该上拉节点PU和该输出端OUT输出该电源信号,以对该上拉节点PU和该输出端OUT降噪。

[0081] 参考图2,该第二降噪模块40可以包括:第二控制子模块401和第二降噪子模块402。

[0082] 该第二控制子模块401分别与该第二时钟信号端CLKB、该电源信号端VSS和第二下

拉节点PD2连接,用于在该第二时钟信号和该电源信号的控制下,控制该第二下拉节点PD2的电位。

[0083] 该第二降噪子模块402分别与该电源信号端VSS、该第二下拉节点PD2、该上拉节点PU和该输出端OUT连接,用于在该第二下拉节点PD2的控制下,分别向该上拉节点PU和该输出端OUT输出该电源信号,以对该上拉节点PU和该输出端OUT降噪。

[0084] 进一步,图3是本发明实施例提供的又一种移位寄存器单元的结构示意图,如图3所示,该第一控制子模块301具体可以包括:第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4;该第一降噪子模块302可以包括:第五晶体管M5和第六晶体管M6。

[0085] 该第一晶体管M1的栅极和第一极与该第一时钟信号端CLK连接,该第一晶体管M1的第二极与该第二晶体管M2的栅极连接。

[0086] 该第二晶体管M2的第一极与该第一时钟信号端CLK连接,该第二晶体管M2的第二极与该第一下拉节点PD1连接。

[0087] 该第三晶体管M3的栅极与该上拉节点PU连接,该第三晶体管M3的第一极与该电源信号端VSS连接,该第三晶体管M3的第二极与该第二晶体管M2的栅极连接。

[0088] 该第四晶体管M4的栅极与该上拉节点PU连接,该第四晶体管M4的第一极与该电源信号端VSS连接,该第四晶体管M4的第二极与该第一下拉节点PD1连接。

[0089] 该第五晶体管M5的栅极与该第一下拉节点PD1连接,该第五晶体管M5的第一极与该电源信号端VSS连接,该第五晶体管M5的第二极与该上拉节点PU连接。

[0090] 该第六晶体管M6的栅极与该第一下拉节点PD1连接,该第六晶体管M6的第一极与该电源信号端VSS连接,该第六晶体管M6的第二极与该输出端OUT连接。

[0091] 在本发明实施例中,当该第一时钟信号处于第一电位时,该第一晶体管M1和第二晶体管M2开启,控制该第一下拉节点PD1的电位为第一电位,此时第五晶体管M5和第六晶体管M6开启,电源信号端VSS分别向上拉节点PU和输出端OUT输出处于第二电位的电源信号,从而实现对该上拉节点PU和输出端OUT的降噪。

[0092] 进一步的,如图3所示,该第二控制子模块401可以包括:第七晶体管M7、第八晶体管M8、第九晶体管M9和第十晶体管M10;该第二降噪子模块402可以包括:第十一晶体管M11和第十二晶体管M12。

[0093] 该第七晶体管M7的栅极和第一极与该第二时钟信号端CLKB连接,该第七晶体管M7的第二极与该第八晶体管M8的栅极连接。

[0094] 该第八晶体管M8的第一极与该第二时钟信号端CLKB连接,该第八晶体管M8的第二极与该第二下拉节点PD2连接。

[0095] 该第九晶体管M9的栅极与该上拉节点PU连接,该第九晶体管M9的第一极与该电源信号端VSS连接,该第九晶体管M9的第二极与该第八晶体管M8的栅极连接。

[0096] 该第十晶体管M10的栅极与该上拉节点PU连接,该第十晶体管M10的第一极与该电源信号端VSS连接,该第十晶体管M10的第二极与该第二下拉节点PD2连接。

[0097] 该第十一晶体管M11的栅极与该第二下拉节点PD2连接,该第十一晶体管M11的第一极与该电源信号端VSS连接,该第十一晶体管M11的第二极与该上拉节点PU连接。

[0098] 该第十二晶体管M12的栅极与该第二下拉节点PD2连接,该第十二晶体管M12的第一极与该电源信号端VSS连接,该第十二晶体管M12的第二极与该输出端OUT连接。

[0099] 在本发明实施例中,当该第二时钟信号处于第一电位时,该第七晶体管M7和第八晶体管M8开启,控制该第二下拉节点PD2的电位为第一电位,此时第十一晶体管M11和第十二晶体管M12开启,电源信号端VSS分别向上拉节点PU和输出端OUT输出处于第二电位的电源信号,从而实现对该上拉节点PU和输出端OUT的降噪。

[0100] 可选的,参考图3,该第二降噪子模块402还可以与该输入信号端IN和该第二时钟信号端CLKB连接,该第二降噪子模块402还可以包括:第十三晶体管M13和第十四晶体管M14。

[0101] 该第十三晶体管M13的栅极与该第二时钟信号端CLKB连接,该第十三晶体管M13的第一极与该输入信号端IN连接,该第十三晶体管M13的第二极与该上拉节点PU连接。

[0102] 该第十四晶体管M14的栅极与该第二时钟信号端CLKB连接,该第十四晶体管M14的第一极与该电源信号端VSS连接,该第十四晶体管M14的第二极与该输出端OUT连接。

[0103] 在本发明实施例中,当该第二时钟信号处于第一电位时,该第十三晶体管M13和第十四晶体管M14开启,能够实现对上拉节点PU和输出端OUT的降噪。

[0104] 参考图3,该输入模块10可以包括:第十五晶体管M15;该复位模块20可以包括:第十六晶体管M16和第十七晶体管M17;该输出模块50可以包括:第十八晶体管M18和电容器C。

[0105] 该第十五晶体管M15的栅极和第一极与所输入信号端IN连接,该第十五晶体管M15的第二极与该上拉节点PU连接,当该输入信号处于第一电位时,该第十五晶体管M15开启,将该上拉节点PU的电位拉高。

[0106] 该第十六晶体管M16的栅极与该复位信号端RST连接,该第十六晶体管M16的第一极与该电源信号端VSS连接,该第十六晶体管M16的第二极与该上拉节点PU连接;该第十七晶体管M17的栅极与该复位信号端RST连接,该第十七晶体管M17的第一极与该电源信号端VSS连接,该第十七晶体管M17的第二极与该输出端OUT连接。当该复位信号处于第一电位时,该第十六晶体管M16和第十七晶体管M17开启,将该上拉节点PU和输出端OUT的电位拉低。

[0107] 该第十八晶体管M18的栅极与该上拉节点PU连接,该第十八晶体管M18的第一极与该第一时钟信号端CLK连接,该第十八晶体管M18的第二极与该输出端OUT连接;该电容器C的一端与该上拉节点PU连接,另一端与该输出端OUT连接。当该上拉节点PU处于第一电位时,该第十八晶体管M18开启,此时当该第一时钟信号处于第一电位时,该第一时钟信号端CLK向输出端OUT输出驱动信号。

[0108] 进一步,如图3所示,本发明实施例提供的该移位寄存器单元还可以包括:帧前降噪模块60;该帧前降噪模块60包括:第十九晶体管M19和第二十晶体管M20。

[0109] 该第十九晶体管M19的栅极与帧前信号端STV连接,该第十九晶体管M19的第一极与该电源信号端VSS连接,该第十九晶体管M19的第二极与该上拉节点PU连接;该第二十晶体管M20的栅极与该帧前信号端连接,该第二十晶体管M20的第一极与该电源信号端VSS连接,该第二十晶体管M20的第二极与该输出端OUT连接。

[0110] 在本发明实施例中,在每一帧扫描开始前,该帧前信号端STV能够输出处于第一电位的脉冲信号,使得该帧前降噪模块60中的第十九晶体管M19和第二十晶体管M20开启,以便电源信号端VSS可以通过第十九晶体管M19向上拉节点PU输出处于第二电位的电源信号,以及通过第二十晶体管M20向输出端OUT输出处于第二电位的电源信号,从而实现对该上拉

节点PU和输出端OUT的帧前降噪。

[0111] 相关技术中的移位寄存器单元一般只设置有一个降噪模块,该降噪模块在第二时钟信号端CLKB的控制下对上拉节点PU及输出端OUT进行降噪。但是,当该第二时钟信号处于第二电位时,该降噪模块中的晶体管关断,没有信号对该上拉节点PU及输出端OUT进行降噪处理,此时若输出模块所连接的第一时钟信号端CLK输出的第一时钟信号处于第一电位,将会使得该移位寄存器单元的上拉节点PU及输出端OUT存在噪音信号,在恶劣情况下可能会出现多输出(英文:Multi Output)现象,造成显示装置显示异常。

[0112] 而在本发明实施例提供的移位寄存器单元中设置了两个降噪模块,该两个降噪模块分别由第一时钟信号和第二时钟信号进行控制,当第一时钟信号处于第一电位时,该第一降噪模块能够对上拉节点和输出端进行降噪;当该第二时钟信号处于第一电位时,该第二降噪模块能够对上拉节点和输出端进行降噪,因此通过该两个降噪模块可以有效消除该上拉节点和输出端的噪声,使得该移位寄存器单元中的上拉节点和输出端在非输出阶段始终保持在第二电位,有效改善了移位寄存器单元的降噪性能。

[0113] 图4是本发明实施例提供的一种移位寄存器单元的驱动方法的流程图,该方法可以用于驱动如图1至3任一所示的移位寄存器单元,参考图1,该移位寄存器单元可以包括:输入模块10、复位模块20、第一降噪模块30、第二降噪模块40和输出模块50;如图4所示,该方法具体包括:

[0114] 步骤101、输入阶段,输入信号端IN输入的输入信号为第一电位,该输入模块10控制上拉节点PU的电位为第一电位。

[0115] 步骤102、输出阶段,第一时钟信号端CLK输入的第一时钟信号为第一电位,该上拉节点PU保持第一电位,该输出模块50在该上拉节点PU的控制下,向该输出端OUT输出该第一时钟信号。

[0116] 步骤103、复位阶段,复位信号端RST输入的复位信号为第一电位,该复位模块20分别对该上拉节点PU和该输出端OUT进行复位。

[0117] 步骤104、第一降噪阶段,该第一时钟信号为第一电位,该第一降噪模块30在该第一时钟信号的控制下,分别对该上拉节点PU和该输出端OUT进行降噪。

[0118] 步骤105、第二降噪阶段,第二时钟信号端CLKB输入的第二时钟信号为第一电位,该第二降噪模块40在该第二时钟信号的控制下,分别对该上拉节点PU和该输出端OUT进行降噪。

[0119] 综上所述,本发明实施例提供了一种移位寄存器单元的驱动方法,该驱动方法中包括两个降噪阶段,在第一降噪阶段中,第一时钟信号处于第一电位时,第一降噪模块能够对上拉节点和输出端进行降噪;在第二降噪阶段中,第二时钟信号处于第一电位时,第二降噪模块能够对上拉节点和输出端进行降噪,因此通过该两个降噪阶段可以有效消除该上拉节点和输出端的噪声,该移位寄存器单元的降噪性能较好。

[0120] 需要说明的是,在该复位阶段之后,在下一帧扫描开始之前,该移位寄存器单元可以不断交替执行该第一降噪阶段和第二降噪阶段,以便对该上拉节点和输出端进行循环降噪。

[0121] 可选的,如图2所示,该第一降噪模块30可以包括:第一控制子模块301和第一降噪子模块302;该第二降噪模块40可以包括:第二控制子模块401和第二降噪子模块402。

[0122] 在上述步骤104中的第一降噪阶段中,该第一时钟信号为第一电位,该第一控制子模块301向第一下拉节点PD1输出该第一时钟信号;该第一降噪子模块302在该第一下拉节点PD1的控制下,分别向该上拉节点PU和该输出端OUT输出来自电源信号端VSS的电源信号。

[0123] 在上述步骤105中的第二降噪阶段中,该第二时钟信号为第一电位,该第二控制子模块401向第二下拉节点PD2输出该第二时钟信号;该第二降噪子模块402在该第二下拉节点PD2的控制下,分别向该上拉节点PU和该输出端OUT输出来自电源信号端VSS的电源信号。

[0124] 图5是本发明实施例提供的一种移位寄存器单元的驱动时序图,以图3所示的移位寄存器单元为例,详细介绍本发明实施例提供的移位寄存器单元的驱动过程:

[0125] 在每一帧扫描开始之前,该驱动方法中还可以包括帧前降噪阶段T0,如图5所示,在该帧前降噪阶段T0中,帧前信号端STV输入的帧前信号为处于第一电位的脉冲信号,此时帧前降噪模块60中的第十九晶体管M19和第二十晶体管M20开启,电源信号端VSS对上拉节点PU和输出端OUT进行降噪。

[0126] 在输入阶段T1中,输入信号端IN输入的输入信号为第一电位,该输入模块10中的第十五晶体管M15开启,输入信号端IN向该上拉节点PU输出该输入信号,从而控制上拉节点PU的电位为第一电位,此时输出模块50中的第十八晶体管M18开启,向输出端OUT输出第一时钟信号,在该输入阶段中,该第一时钟信号处于第二电位。

[0127] 在输出阶段T2中,第一时钟信号端CLK输入的第一时钟信号为第一电位,由于电容C的自举作用,该上拉节点PU的电位被进一步拉高,在该上拉节点PU的控制下,该输出模块50中的第十八晶体管M18完全开启,第一时钟信号端CLK向该输出端OUT输出该第一时钟信号,由于此时该第一时钟信号为第一电位,使得该移位寄存器单元能够对像素单元进行驱动。同时,在该上拉节点PU的控制下,第一降噪模块30中的第三晶体管M3和第四晶体管M4,以及第二降噪模块40中的第九晶体管M9和第十晶体管M10开启,电源信号端VSS分别向该第一下拉节点PD1和第二下拉节点PD2输出电源信号,该电源信号处于第二电位,此时该第五晶体管M5、第六晶体管M6、第十一晶体管M11和第十二晶体管M12关断,从而可以避免对输出端输出的驱动信号造成影响,保证了输出的稳定性。

[0128] 在复位阶段T3中,复位信号端RST输入的复位信号为第一电位,该复位模块20中的第十六晶体管M16和第十七晶体管M17开启,该电源信号端VSS分别向该上拉节点PU和该输出端OUT输出处于第二电位的电源信号,从而实现对该上拉节点PU和该输出端OUT的复位。

[0129] 在该第一降噪阶段T4中,该第一时钟信号为第一电位,该第一控制子模块301中的第一晶体管M1和第二晶体管M2开启,第一时钟信号端CLK向第一下拉节点PD1输出该第一时钟信号,此时第五晶体管M5和第六晶体管M6开启,电源信号端VSS通过第五晶体管M5向该上拉节点PU输出处于第二电位的电源信号,并通过第六晶体管M6向该输出端OUT输出该处于第二电位的电源信号,由此实现对该上拉节点PU和输出端OUT的降噪。

[0130] 在该第二降噪阶段T5中,该第二时钟信号为第一电位,该第二控制子模块401中的第七晶体管M7和第八晶体管M8开启,第二时钟信号端CLKB向第二下拉节点PD2输出该第二时钟信号,此时该第十一晶体管M11和第十二晶体管M12开启,该电源信号端VSS通过第十一晶体管M11向该上拉节点PU输出电源信号,并通过第十二晶体管M12向该输出端OUT输出该电源信号,由此实现对该上拉节点PU和输出端OUT的降噪。

[0131] 从图4可以看出,当该第一时钟信号处于第一电位时,第一下拉节点PD1处于第一

电位,此时由第一降噪模块30对上拉节点PU和输出端OUT降噪;当该第二时钟信号处于第一电位时,该第二下拉节点PD2的电位为第一电位,此时由第二降噪模块40对上拉节点PU和输出端OUT降噪。由于该第一时钟信号和第二时钟信号的频率相同,相位相反,因此该移位寄存器单元可以交替执行该第一降噪阶段和第二降噪阶段,即该第一降噪模块30和第二降噪模块40可以交替工作,以实现对该上拉节点PU和输出端OUT的循环降噪,有效改善了该移位寄存器单元的降噪性能。

[0132] 需要说明的是,在本发明上述实施例中,均是以第一时钟信号和第二时钟信号的占空比为二分之一,且该两个时钟信号的频率相同,相位相反(即相位差为180度)为例进行的说明。当然,该第一时钟信号和第二时钟信号的占空比也可以为其他数值,该两个时钟信号的相位差也可以为其他数值,只要保证该两个时钟信号不在同一时刻同时处于第一电位即可。

[0133] 还需要说明的是,在上述实施例中,均是以第一至第二晶体管为N型晶体管,且第一电位为相对于该第二电位高电位为例进行的说明。当然,该第一至第二晶体管还可以采用P型晶体管,当该第一至第二晶体管采用P型晶体管时,该第一电位相对于该第二电位可以为低电位,且该各个信号端的电位变化可以与图5所示的电位变化相反(即二者的相位差为180度)。

[0134] 综上所述,本发明实施例提供了一种移位寄存器单元的驱动方法,该驱动方法中包括两个降噪阶段,在第一降噪阶段中,第一时钟信号处于第一电位时,第一降噪模块能够对上拉节点和输出端进行降噪;在第二降噪阶段中,第二时钟信号处于第一电位时,第二降噪模块能够对上拉节点和输出端进行降噪,因此通过该两个降噪阶段可以有效消除该上拉节点和输出端的噪声,使得该移位寄存器单元中的上拉节点和输出端在非输出阶段始终保持在第二电位,有效改善了移位寄存器单元的降噪性能。

[0135] 本发明实施例提供了一种栅极驱动电路,该栅极驱动电路可以包括至少两个级联的移位寄存器单元,其中每个移位寄存器单元可以为如图1至图3任一所示的移位寄存器单元。

[0136] 本发明实施例提供一种显示装置,该显示装置可以包括栅极驱动电路,该栅极驱动电路可以包括至少两个级联的如图1至图3任一所示的移位寄存器单元。该显示装置可以为:液晶面板、电子纸、OLED面板、AMOLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0137] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

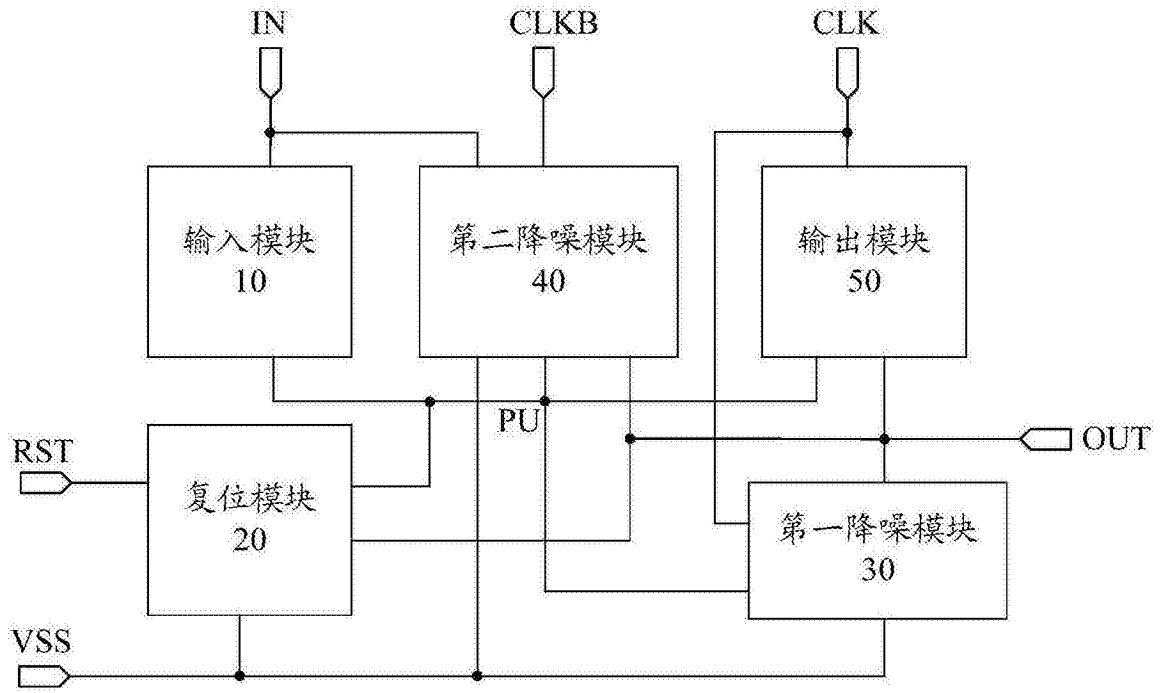


图1

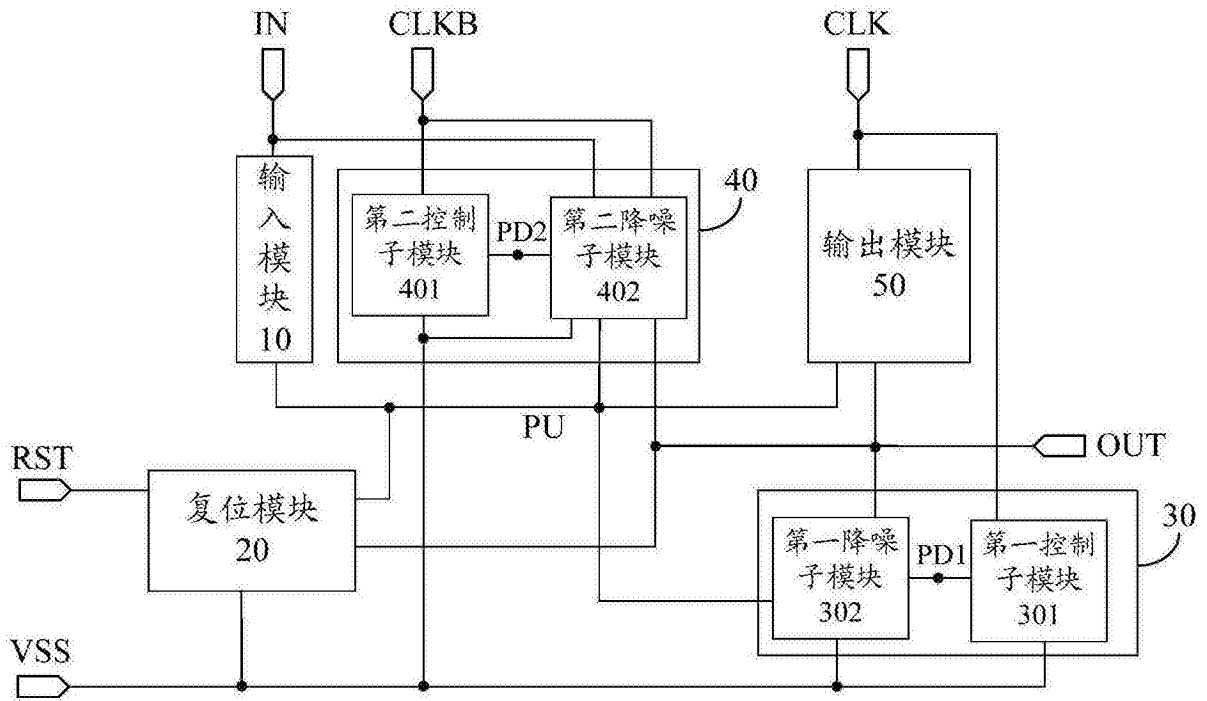


图2

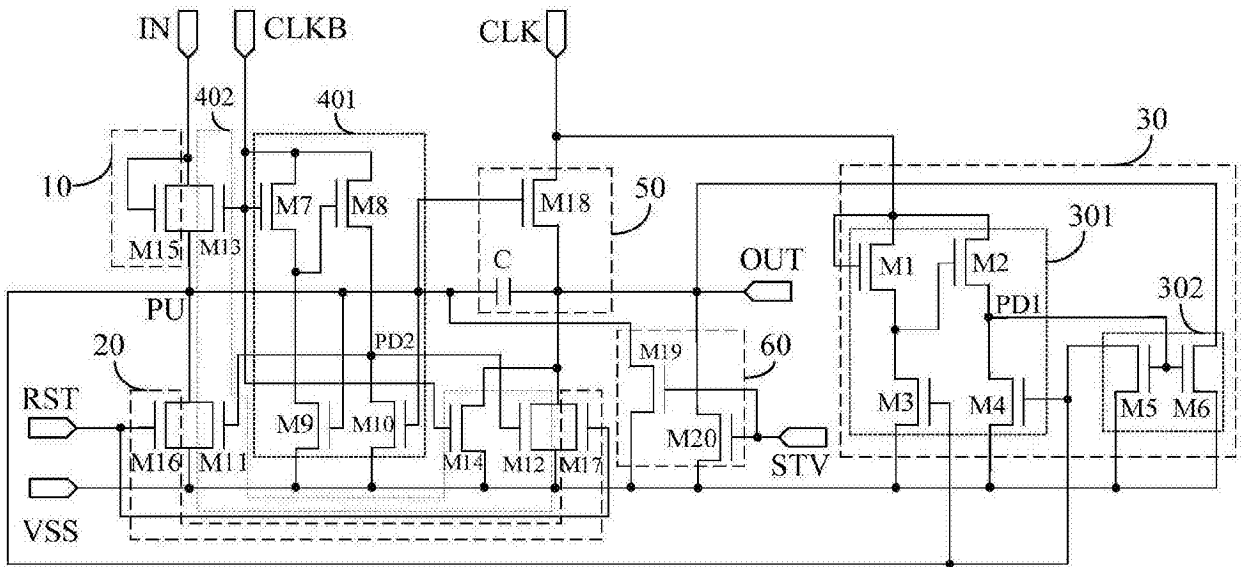


图3



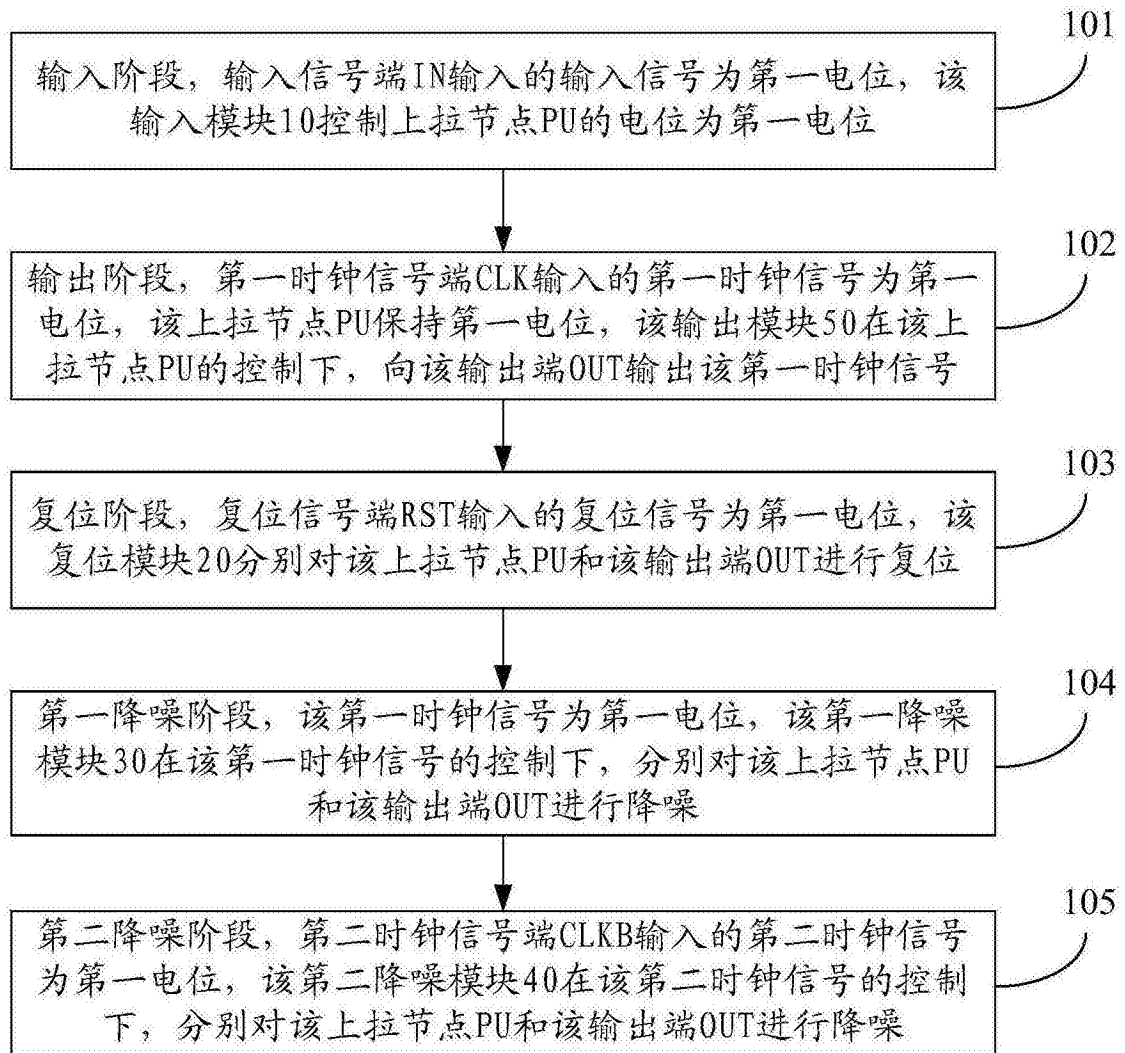


图4

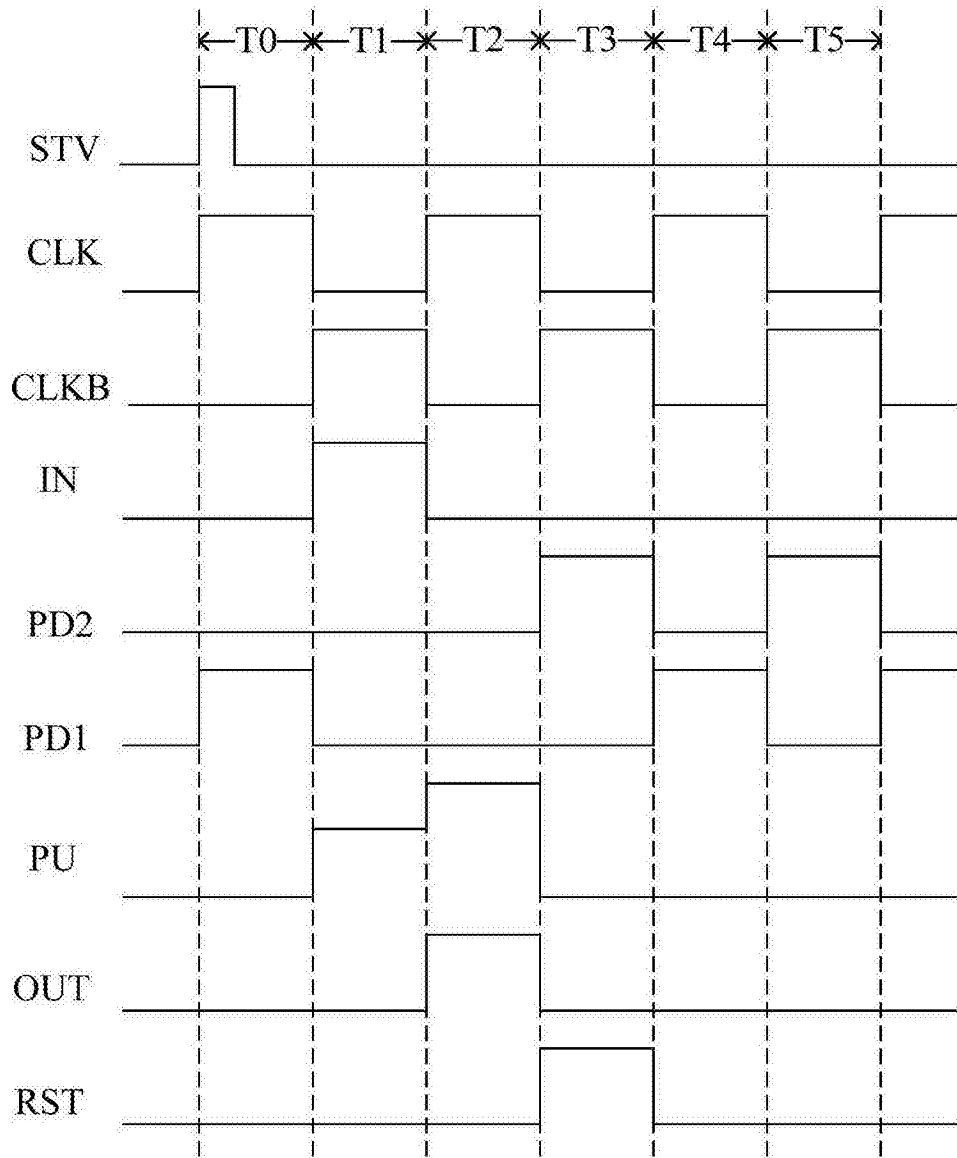


图5