

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6836137号  
(P6836137)

(45) 発行日 令和3年2月24日(2021.2.24)

(24) 登録日 令和3年2月9日(2021.2.9)

(51) Int. Cl.		F I			
HO 1 L	21/82	(2006.01)	HO 1 L	21/82	B
HO 1 L	21/822	(2006.01)	HO 1 L	27/04	D
HO 1 L	27/04	(2006.01)	HO 1 L	21/82	L

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2016-223854 (P2016-223854)	(73) 特許権者	000002369
(22) 出願日	平成28年11月17日(2016.11.17)		セイコーエプソン株式会社
(65) 公開番号	特開2018-82071 (P2018-82071A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成30年5月24日(2018.5.24)	(74) 代理人	100116665
審査請求日	令和1年9月24日(2019.9.24)		弁理士 渡辺 和昭
		(74) 代理人	100179475
			弁理士 仲井 智至
		(74) 代理人	100216253
			弁理士 松岡 宏紀
		(72) 発明者	作田 孝
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置及びそのレイアウト設計方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1の半導体層及び第2導電型の第2の半導体層に配置された複数の不純物領域を含む第1の論理回路セルと、

前記第1及び第2の半導体層にそれぞれ配置されて第1の方向に長手方向を有する第1のコンタクト領域及び第2のコンタクト領域を含む第1のタップセルと、

第1導電型の第3の半導体層及び第2導電型の第4の半導体層に配置された複数の不純物領域を含む第2の論理回路セルと、

前記第3及び第4の半導体層にそれぞれ配置されて前記第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域及び第4のコンタクト領域を含む第2のタップセルと、を備え、

前記第1のタップセルが、前記第1の方向に沿って平行に配置された第1の電源配線及び第2の電源配線をさらに含み、前記第1の電源配線が、前記第1のコンタクト領域に電氣的に接続され、前記第2の電源配線が、前記第2のコンタクト領域に電氣的に接続され、前記第1の方向に延在する信号配線が前記第2の方向に延在する信号配線よりも支配的な領域に配置されており、

前記第1の電源配線及び前記第2の電源配線が前記第1のタップセルの内側に向けて突出した突出部分を有せず、

前記第2のタップセルが、前記第1の方向に沿って平行に配置された第3の電源配線及び第4の電源配線をさらに含み、前記第3の電源配線が、前記第2の方向に分岐して前記第

10

20

3のコンタクト領域に電氣的に接続され、前記第4の電源配線が、前記第2の方向に分岐して前記第4のコンタクト領域に電氣的に接続され、

前記第3の電源配線及び前記第4の電源配線が前記第2のタップセルの内側に向けて突出した突出部分を有し、

前記第2のタップセルが千鳥配置される半導体装置。

【請求項2】

第1導電型の第1の半導体層及び第2導電型の第2の半導体層に配置された複数の不純物領域を含む第1の論理回路セルと、

前記第1及び第2の半導体層にそれぞれ配置されて第1の方向に長手方向を有する第1のコンタクト領域及び第2のコンタクト領域を含む第1のタップセルと、

第1導電型の第3の半導体層及び第2導電型の第4の半導体層に配置された複数の不純物領域を含む第2の論理回路セルと、

前記第3及び第4の半導体層にそれぞれ配置されて前記第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域及び第4のコンタクト領域を含む第2のタップセルと、を備え、

前記第1のタップセルが、前記第1の方向に沿って平行に配置された第1の電源配線及び第2の電源配線をさらに含み、前記第1の電源配線が、前記第1のコンタクト領域に電氣的に接続され、前記第2の電源配線が、前記第2のコンタクト領域に電氣的に接続されており、

前記第1の電源配線及び前記第2の電源配線が前記第1のタップセルの内側に向けて突出した突出部分を有せず、

前記第2のタップセルが、前記第1の方向に沿って平行に配置された第3の電源配線及び第4の電源配線をさらに含み、前記第3の電源配線が、前記第2の方向に分岐して前記第3のコンタクト領域に電氣的に接続され、前記第4の電源配線が、前記第2の方向に分岐して前記第4のコンタクト領域に電氣的に接続され、

前記第3の電源配線及び前記第4の電源配線が前記第2のタップセルの内側に向けて突出した突出部分を有し、

前記第2のタップセルが千鳥配置され、マクロセル及び複数の入出力セルをさらに備え、

前記第1のタップセルが、前記マクロセルと前記複数の入出力セル又は他のマクロセルとの間の領域であって所定の値以上のアスペクト比を有する前記領域に配置されている半導体装置。

【請求項3】

第1導電型の第1の半導体層及び第2導電型の第2の半導体層に配置された複数の不純物領域を含む第1の論理回路セルと、

前記第1及び第2の半導体層にそれぞれ配置されて第1の方向に長手方向を有する第1のコンタクト領域及び第2のコンタクト領域を含む第1のタップセルと、

第1導電型の第3の半導体層及び第2導電型の第4の半導体層に配置された複数の不純物領域を含む第2の論理回路セルと、

前記第3及び第4の半導体層にそれぞれ配置されて前記第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域及び第4のコンタクト領域を含む第2のタップセルと、を備え、

前記第1のタップセルが、前記第1の方向に沿って平行に配置された第1の電源配線及び第2の電源配線をさらに含み、前記第1の電源配線が、前記第1のコンタクト領域に電氣的に接続され、前記第2の電源配線が、前記第2のコンタクト領域に電氣的に接続されており、

前記第1の電源配線及び前記第2の電源配線が前記第1のタップセルの内側に向けて突出した突出部分を有せず、

前記第2のタップセルが、前記第1の方向に沿って平行に配置された第3の電源配線及び第4の電源配線をさらに含み、前記第3の電源配線が、前記第2の方向に分岐して前記第

10

20

30

40

50

3のコンタクト領域に電氣的に接続され、前記第4の電源配線が、前記第2の方向に分岐して前記第4のコンタクト領域に電氣的に接続され、

前記第3の電源配線及び前記第4の電源配線が前記第2のタップセルの内側に向けて突出した突出部分を有し、

前記第2のタップセルが千鳥配置され、

マクロセル及び複数の入出力セルをさらに備え、

前記第1のタップセルが、前記マクロセルと前記複数の入出力セル又は他のマクロセルとの間の領域であって所定の幅以下の幅を有する前記領域に配置されている半導体装置。

【請求項4】

第1導電型の第1の半導体層及び第2導電型の第2の半導体層に配置された複数の不純物領域を含む第1の論理回路セルと、

前記第1及び第2の半導体層にそれぞれ配置されて第1の方向に長手方向を有する第1のコンタクト領域及び第2のコンタクト領域を含む第1のタップセルと、

第1導電型の第3の半導体層及び第2導電型の第4の半導体層に配置された複数の不純物領域を含む第2の論理回路セルと、

前記第3及び第4の半導体層にそれぞれ配置されて前記第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域及び第4のコンタクト領域を含む第2のタップセルと、を備え、

前記第1のタップセルが、前記第1の方向に沿って平行に配置された第1の電源配線及び第2の電源配線をさらに含み、前記第1の電源配線が、前記第1のコンタクト領域に電氣的に接続され、前記第2の電源配線が、前記第2のコンタクト領域に電氣的に接続されており、

前記第1の電源配線及び前記第2の電源配線が前記第1のタップセルの内側に向けて突出した突出部分を有せず、

前記第2のタップセルが、前記第1の方向に沿って平行に配置された第3の電源配線及び第4の電源配線をさらに含み、前記第3の電源配線が、前記第2の方向に分岐して前記第3のコンタクト領域に電氣的に接続され、前記第4の電源配線が、前記第2の方向に分岐して前記第4のコンタクト領域に電氣的に接続され、

前記第3の電源配線及び前記第4の電源配線が前記第2のタップセルの内側に向けて突出した突出部分を有し、

前記第2のタップセルが千鳥配置され、

複数の前記第1のタップセルが、前記第1の方向に延在する複数のセル列において、前記第1の方向における位置を揃えて第1の所定の間隔で配置されており、

複数の前記第2のタップセルが、前記第1の方向に延在する複数のセル列において、隣り合う2つのセル列に第2の所定の間隔で交互に配置されている半導体装置。

【請求項5】

請求項1乃至4のいずれか1項に記載の半導体装置のレイアウトを設計する方法であって、

複数の前記第1のタップセルを配置する領域を指定する配置情報を入力するステップ(a)と、

前記配置情報に従って、前記第1及び第2のコンタクト領域が第1導電型の半導体層及び第2導電型の半導体層にそれぞれ位置するように、複数の前記第1のタップセルを前記半導体装置のレイアウト領域に配置するステップ(b)と、

前記第3及び第4のコンタクト領域が第1導電型の半導体層及び第2導電型の半導体層にそれぞれ位置するように、複数の前記第2のタップセルを前記レイアウト領域に配置するステップ(c)と、

前記第1又は第2のタップセルが配置された第1導電型の半導体層及び第2導電型の半導体層に複数の不純物領域が位置するように、複数の論理回路セルを前記レイアウト領域に順次配置するステップ(d)と、を備える半導体装置のレイアウト設計方法。

【請求項6】

10

20

30

40

50

ステップ(d)の後に、前記半導体装置を構成する全ての論理回路セルが前記レイアウト領域に配置されたか否かを判定するステップ(e)と、

前記半導体装置を構成する一部の論理回路セルが前記レイアウト領域に配置されなかった場合に、複数の前記第1のタップセルを配置する領域を指定する新たな配置情報を入力して、ステップ(b)~(e)を繰り返すステップ(f)と、をさらに備える、請求項5記載の半導体装置のレイアウト設計方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体装置に関し、特に、スタンダードセル方式に従ってレイアウトが設計される半導体装置に関する。さらに、本発明は、そのような半導体装置のレイアウト設計方法に関する。

10

【背景技術】

【0002】

スタンダードセル方式に従って半導体装置のレイアウトを設計する際には、CADシステム等を用いて、所望の論理回路を構成する複数種類のスタンダードセル(論理回路セル)を配置して接続することにより、MOSトランジスタ等の回路素子の配置及び配線が決定される。

【0003】

一般に、スタンダードセルは、Nウェルに配置されるPチャネルMOSトランジスタとPウェルに配置されるNチャネルMOSトランジスタとを含んでいる。しかしながら、Nウェルのコンタクト領域とPウェルのコンタクト領域とを各々のスタンダードセルに設ける場合には、スタンダードセルのサイズが大きくなると共に半導体チップ全体におけるコンタクト領域の数が過剰となって、レイアウト面積(チップサイズ)が増大してしまう。

20

【0004】

関連する技術として、特許文献1には、チップサイズの増大及びチップ上の配置配線のリソースの減少を抑制し得る半導体集積回路が開示されている。この半導体集積回路においては、基板コンタクトのパターンが配置されない第1のスタンダードセルと基板コンタクトのパターンが配置された第2のスタンダードセルとが混在して配置されると共に、所望のスタンダードセルの相互間に、当該スタンダードセルの基板領域とのコンタクトをとるための基板コンタクトが配置されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-133416号公報(段落0011、0014、0023-0024、図2)

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1の図2には、スタンダードセル15の内部に配置された基板コンタクトのパターン16と、複数のスタンダードセル10の間に追加された基板コンタクトのパターン21とが示されている。基板コンタクトのパターン21を追加する配置は、各セル列内に基板コンタクトのパターン16及び21がほぼ均等に分布するようなルール、あるいは、ウェル領域における電流密度がほぼ均等に分布するようなルール等に従って決定される。

40

【0007】

しかしながら、基板コンタクトのパターン21は、電源配線(VCC配線)のパターン23の直下及び接地配線(VSS配線)のパターン24の直下に配置されているので、それらの部分のウェル領域及び配線層が基板コンタクトのために占有されて、スタンダードセルを配置する領域が減少する。

50

## 【0008】

一方、配線パターン23及び24から離れた位置に基板コンタクトのパターン21を配置すると、配線パターン23及び24を基板コンタクトのパターン21の位置まで延長する必要が生じるので、配線パターン23及び24と同じ配線層における信号配線のレイアウトが制限されてしまう。

## 【0009】

そこで、上記の点に鑑み、本発明の第1の目的は、ウェル等に電源電位を供給するタップセルがスタンダードセル（論理回路セル）とは別個に設けられる場合に、信号配線のレイアウトを容易にしながらタップセルの数を抑えることにより、トータルのレイアウト面積を削減することが可能な半導体装置を提供することである。また、本発明の第2の目的は、そのような半導体装置のレイアウト設計方法を提供することである。

10

## 【課題を解決するための手段】

## 【0010】

以上の課題の少なくとも一部を解決するために、本発明の第1の観点に係る半導体装置は、第1導電型の第1の半導体層及び第2導電型の第2の半導体層に配置された複数の不純物領域を含む第1の論理回路セルと、第1及び第2の半導体層にそれぞれ配置されて第1の方向に長手方向を有する第1のコンタクト領域及び第2のコンタクト領域を含む第1のタップセルと、第1導電型の第3の半導体層及び第2導電型の第4の半導体層に配置された複数の不純物領域を含む第2の論理回路セルと、第3及び第4の半導体層にそれぞれ配置されて第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域及び第4のコンタクト領域を含む第2のタップセルとを備える。

20

## 【0011】

なお、本願において、半導体層とは、半導体基板、半導体基板に形成されたウェル、又は、半導体基板上に形成されたエピタキシャル層のことをいう。また、第1導電型がN型で第2導電型がP型であっても良いし、第1導電型がP型で第2導電型がN型であっても良い。

## 【0012】

本発明の第1の観点によれば、論理回路セルとは別個に、第1の方向に長手方向を有する第1及び第2のコンタクト領域を含む第1のタップセルと、第2の方向に長手方向を有する第3及び第4のコンタクト領域を含む第2のタップセルとが設けられる。従って、例えば、複数のセル列が第1の方向に延在している場合に、第1の方向に延在する信号配線を第1のタップセル内に通して信号配線のレイアウトを容易にしながら、他の領域の複数のセル列において第2のタップセルを千鳥配置にして第2のタップセルの数を減らすことにより、トータルのレイアウト面積を削減することが可能である。

30

## 【0013】

ここで、第1のタップセルが、第1の方向に沿って平行に配置された第1の電源配線及び第2の電源配線をさらに含み、第1の電源配線が、第1のコンタクト領域に電氣的に接続され、第2の電源配線が、第2のコンタクト領域に電氣的に接続されており、第2のタップセルが、第1の方向に沿って平行に配置された第3の電源配線及び第4の電源配線をさらに含み、第3の電源配線が、第2の方向に分岐して第3のコンタクト領域に電氣的に接続され、第4の電源配線が、第2の方向に分岐して第4のコンタクト領域に電氣的に接続されても良い。

40

## 【0014】

それにより、層間絶縁膜に第1の方向に並んで形成された複数のコンタクトホールを通して第1の電源配線を第1のコンタクト領域に電氣的に接続し、層間絶縁膜に第1の方向に並んで形成された複数のコンタクトホールを通して第2の電源配線を第2のコンタクト領域に電氣的に接続すると共に、層間絶縁膜に第2の方向に並んで形成された複数のコンタクトホールを通して第3の電源配線を第3のコンタクト領域に電氣的に接続し、層間絶縁膜に第2の方向に並んで形成された複数のコンタクトホールを通して第4の電源配線を第4のコンタクト領域に電氣的に接続して、ウェル等に対する電源供給能力を高めること

50

ができる。

【0015】

また、第1のタップセルは、第1の方向に延在する信号配線が第2の方向に延在する信号配線よりも支配的な領域に配置されることが望ましい。そのような領域においては、第1の方向に延在する信号配線を第1のタップセル内に通して、信号配線のレイアウトを容易にすることができる。

【0016】

あるいは、半導体装置がマクロセル及び複数の入出力セルをさらに備える場合には、第1のタップセルが、マクロセルと複数の入出力セル又は他のマクロセルとの間の領域であって所定の値以上のアスペクト比を有する領域、又は、所定の幅以下の幅を有する領域に配置されることが望ましい。そのような領域においては、マクロセルと複数の入出力セル又は他のマクロセルとの間を電氣的に接続する信号配線を第1のタップセル内に通して、信号配線のレイアウトを容易にすることができる。

10

【0017】

以上において、複数の第1のタップセルが、第1の方向に延在する複数のセル列において、第1の方向における位置を揃えて第1の所定の間隔で配置されており、複数の第2のタップセルが、第1の方向に延在する複数のセル列において、隣り合う2つのセル列に第2の所定の間隔で交互に配置されても良い。それにより、第2の方向に延在する信号配線を複数の第1のタップセルの上層に通して信号配線のレイアウトを容易にすると共に、各々のセル列における第2のタップセルの間隔を第2の所定の間隔の2倍にすることができる。

20

【0018】

本発明の第2の観点に係る半導体装置のレイアウト設計方法は、第1の方向に長手方向を有する第1のコンタクト領域及び第2のコンタクト領域を含む第1のタップセルと、第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域及び第4のコンタクト領域を含む第2のタップセルとを用いて半導体装置のレイアウトを設計する方法であって、複数の第1のタップセルを配置する領域を指定する配置情報を入力するステップ(a)と、配置情報に従って、第1及び第2のコンタクト領域が第1導電型の半導体層及び第2導電型の半導体層にそれぞれ位置するように、複数の第1のタップセルを半導体装置のレイアウト領域に配置するステップ(b)と、第3及び第4のコンタクト領域が第1導電型の半導体層及び第2導電型の半導体層にそれぞれ位置するように、複数の第2のタップセルをレイアウト領域に配置するステップ(c)と、第1又は第2のタップセルが配置された第1導電型の半導体層及び第2導電型の半導体層に複数の不純物領域が位置するように、複数の論理回路セルをレイアウト領域に順次配置するステップ(d)とを備える。

30

【0019】

本発明の第2の観点によれば、第1の方向に長手方向を有する第1及び第2のコンタクト領域を含む第1のタップセルと、第2の方向に長手方向を有する第3及び第4のコンタクト領域を含む第2のタップセルとが、半導体装置のレイアウト領域に選択的に配置される。従って、例えば、複数のセル列が第1の方向に延在している場合に、第1の方向に延在する信号配線を第1のタップセル内に通して信号配線のレイアウトを容易にしながら、他の領域の複数のセル列において第2のタップセルを千鳥配置にして第2のタップセルの数を減らすことにより、トータルのレイアウト面積を削減することが可能である。

40

【0020】

ここで、半導体装置のレイアウト設計方法が、ステップ(d)の後に、半導体装置を構成する全ての論理回路セルがレイアウト領域に配置されたか否かを判定するステップ(e)と、半導体装置を構成する一部の論理回路セルがレイアウト領域に配置されなかった場合に、複数の第1のタップセルを配置する領域を指定する新たな配置情報を入力して、ステップ(b)~(e)を繰り返すステップ(f)とをさらに備えても良い。それにより、最初に入力された配置情報に基づいてレイアウトを完成できなかった場合においても、新たな配置情報に基づいてレイアウトを完成することが可能となる。

50

## 【図面の簡単な説明】

## 【0021】

【図1】本発明の一実施形態に係る半導体装置のレイアウト例を示す平面図。

【図2】図1に示す半導体装置の一部を拡大して示す平面図。

【図3】スタンダードセル及び第1のタップセルのレイアウト例を示す平面図。

【図4】図3に示す第1のタップセルのIV-IVにおける断面図。

【図5】スタンダードセル及び第2のタップセルのレイアウト例を示す平面図。

【図6】レイアウト設計システムの構成例を示すブロック図。

【図7】本発明の一実施形態に係るレイアウト設計方法を示すフローチャート。

## 【発明を実施するための形態】

10

## 【0022】

以下に、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照番号を付して、重複する説明を省略する。

## &lt;半導体装置のレイアウト例&gt;

図1は、本発明の一実施形態に係る半導体装置のレイアウト例を示す平面図である。この半導体装置は、半導体基板に複数の回路素子や複数の配線が形成された半導体チップ100を含んでいる。図1に示す例においては、半導体チップ100に、複数の入出力セル（I/Oセル）10と、少なくとも1つのマクロセル（図1には、複数のマクロセル21～27を示す）と、複数のスタンダードセル31及び32と、複数の第1のタップセル41及び複数の第2のタップセル42とが配置されている。

20

## 【0023】

入出力セル10は、電源端子又は入出力端子等の端子（パッド）11を含むと共に、それらの端子11を介して信号を入力又は出力する入出力回路12を必要に応じて含み、外部との電気的接続のために設けられている。マクロセル21～27の各々は、デジタル回路又はアナログ回路を含み、所望の機能を実現する大規模な回路ブロックである。

## 【0024】

スタンダードセル31及び32の各々は、例えば、インバーター、バッファ、AND回路、NAND回路、OR回路、NOR回路、又は、フリップフロップ等の論理回路を構成する論理回路セルである。スタンダードセル31及び32の各々は、複数のトランジスタと、それらのトランジスタ間を接続するためのセル内配線とを含んでおり、複数のスタンダードセル31及び32をセル間配線で接続することにより、半導体装置の論理機能が実現される。

30

## 【0025】

第1のタップセル41及び第2のタップセル42は、スタンダードセル31又は32が配置された半導体基板、ウェル、又は、エピタキシャル層に、高電位側の電源電位VDD及び低電位側の電源電位VSSを供給するために設けられている。高電位側の電源電位VDDと低電位側の電源電位VSSとの内の一方は、接地電位（0V）でも良い。

## 【0026】

従って、第1のタップセル41及び第2のタップセル42の配置密度は、半導体基板又はウェル等に対する電源供給能力を確保できるように決定される。本実施形態においては、タップセルが配置される領域における信号配線の状態、又は、タップセルが配置される領域の形状等に応じて、異なる形状を有する第1のタップセル41及び第2のタップセル42が選択的に配置される。

40

## 【0027】

図1に示す例においては、第1のタップセル41が、半導体チップ100の領域A1にスタンダードセル31と共に配置されており、第2のタップセル42が、半導体チップ100の領域A2にスタンダードセル32と共に配置されている。なお、図1においては、個々のタップセル及びスタンダードセルの境界は示されておらず、領域A1又はA2においてY軸方向に沿って配置された一群のタップセル41又は42が、線分として示されている。また、複数の線分の間の領域において、複数のスタンダードセル31又は32が、

50

X軸方向に延在する複数のセル列に配置されている。

【0028】

図2は、図1に示す半導体装置の一部を拡大して示す平面図である。図2には、図1に示す半導体チップ100の領域ARに配置されたマクロセル21の一部と、複数のスタンダードセル31及び32と、複数の第1のタップセル41及び複数の第2のタップセル42とが示されている。なお、図2においては、個々のスタンダードセルの境界は示されておらず、X軸方向に延在する複数のセル列の各々において隣り合う2つの第1のタップセル41又は2つの第2のタップセル42の間の領域において、一群のスタンダードセル31又は32が、X軸方向に沿って配置されている。

【0029】

複数の第1のタップセル41は、第1の方向（本実施形態においてはX軸方向）に延在する複数のセル列において、第1の方向における位置を揃えて第1の所定の間隔D1で配置されている。また、複数の第2のタップセル42は、第1の方向に延在する複数のセル列において、隣り合う2つのセル列に第2の所定の間隔D2で交互に配置されている。従って、1つのセル列においては、複数の第2のタップセル42が、第2の所定の間隔D2の2倍の間隔（ $D2 \times 2$ ）で配置されている。本願においては、このような配置を千鳥配置という。

【0030】

それにより、第1の方向と異なる第2の方向（本実施形態においてはX軸方向に直交するY軸方向）に延在する信号配線を複数の第1のタップセル41の上層に通して信号配線のレイアウトを容易にすると共に、各々のセル列における第2のタップセル42の間隔を第2の所定の間隔D2の2倍にすることができる。

【0031】

図2に示す例においては、第2の所定の間隔D2が第1の所定の間隔D1よりも若干狭くなっているものの、第1の所定の間隔D1と第2の所定の間隔D2とは略等しい。その場合に、各々のセル列において、第2のタップセル42の配置間隔は、第1のタップセル41の配置間隔の略2倍となる。従って、第2のタップセル42が配置される領域A2（図1）においては、第1のタップセル41が配置される領域A1（図1）と比較して、単位面積当たりのタップセルの数が略半分になる。

【0032】

<セルのレイアウト例>

図3は、図2に示すスタンダードセル及び第1のタップセルのレイアウト例を示す平面図であり、図4は、図3に示す第1のタップセルのIV-IVにおける断面図である。一般的には、複数のスタンダードセルに対応して1つの第1のタップセルが設けられるが、図3には、それらのスタンダードセルの内の一部が示されている。

【0033】

また、図3には、セルのサイズを明確にするために、半導体装置のレイアウト設計において基準となるグリッド（格子）が示されている。本願においては、スタンダードセル及びタップセルの長手方向（図中のY軸方向）における各セルの寸法を、そのセルの「長さ」と呼び、長手方向に直交する方向（図中のX軸方向）における各セルの寸法を、そのセルの「幅」と呼ぶ。図3に示す例において、スタンダードセル31は、インバーターを構成する第1の論理回路セルであり、7グリッド分の長さとして2グリッド分の幅とを有している。また、第1のタップセル41は、7グリッド分の長さとして3グリッド分の幅とを有している。

【0034】

半導体チップ100（図1）は、N型又はP型の不純物を含有するシリコン等の半導体材料で構成された半導体基板50（図4）と、半導体基板50に配置された第1の半導体層であるNウェル51及び第2の半導体層であるPウェル52とを含んでいる。なお、N型の半導体基板又はエピタキシャル層を第1の半導体層として用いる場合には、Nウェル51を省略しても良いし、P型の半導体基板又はエピタキシャル層を第2の半導体層とし

10

20

30

40

50

て用いる場合には、Pウェル52を省略しても良い。

【0035】

スタンダードセル31は、Nウェル51に設けられたPチャネルMOSトランジスタQ P 1と、Pウェル52に設けられたNチャネルMOSトランジスタQ N 1とを含んでいる。トランジスタQ P 1は、Nウェル51に配置された複数のP型不純物領域で構成されるソース(S)及びドレイン(D)と、半導体基板50上にゲート絶縁膜を介して配置されたゲート電極(G)とを有している。

【0036】

また、トランジスタQ N 1は、Pウェル52に配置された複数のN型不純物領域で構成されるソース(S)及びドレイン(D)と、半導体基板50上にゲート絶縁膜を介して配置されたゲート電極(G)とを有している。ゲート電極(G)は、トランジスタQ P 1及びQ N 1で共通とされる。

10

【0037】

トランジスタQ P 1及びQ N 1等が形成された半導体基板50上には、層間絶縁膜53(図4)を介して、複数の配線を含む配線層が配置されている。図3に示す「x」印は、層間絶縁膜53に形成されたコンタクトホールを位置を表している。層間絶縁膜53上に配置された配線は、コンタクトホールを通して半導体基板50の不純物領域に電氣的に接続される。

【0038】

さらに、必要に応じて層間絶縁膜及び配線層を繰り返して配置することにより、半導体チップ100(図1)が多層配線構造を有しても良い。その場合に、例えば、奇数番目の配線層には、第1の方向に延在する配線が主に配置され、偶数番目の配線層には、第2の方向に延在する配線が主に配置される。電源電位V D Dが供給される第1の電源配線54、及び、電源電位V S Sが供給される第2の電源配線55は、第1層の配線層に配置されることが望ましい。

20

【0039】

トランジスタQ P 1のソース(S)は、第1の電源配線54に電氣的に接続されており、ドレイン(D)は、出力信号配線に電氣的に接続されており、ゲート電極(G)は、入力信号配線に電氣的に接続されている。また、トランジスタQ N 1のドレイン(D)は、出力信号配線に電氣的に接続されており、ソース(S)は、第2の電源配線55に電氣的に接続されており、ゲート電極(G)は、入力信号配線に電氣的に接続されている。トランジスタQ P 1及びQ N 1で構成されるインバーターは、入力信号配線から供給される入力信号のレベルを反転して、反転されたレベルを有する出力信号を出力信号配線に出力する。

30

【0040】

第1のタップセル41は、Nウェル51に配置されて第1の方向に長手方向を有する第1のコンタクト領域51aと、Pウェル52に配置されて第1の方向に長手方向を有する第2のコンタクト領域52aとを含んでいる。第1のコンタクト領域51aは、Nウェル51の他の領域よりも高濃度のN型の不純物領域であり、第2のコンタクト領域52aは、Pウェル52の他の領域よりも高濃度のP型の不純物領域である。

40

【0041】

また、第1のタップセル41は、第1の方向に沿って平行に配置された第1の電源配線54及び第2の電源配線55をさらに含んでいる。第1の電源配線54は、第1のコンタクト領域51aに電氣的に接続されており、電源電位V D DをNウェル51に供給する。また、第2の電源配線55は、第2のコンタクト領域52aに電氣的に接続されており、電源電位V S SをPウェル52に供給する。

【0042】

このような配置によれば、層間絶縁膜53に第1の方向に並んで形成された複数のコンタクトホールを通して第1の電源配線54を第1のコンタクト領域51aに電氣的に接続し、層間絶縁膜53に第1の方向に並んで形成された複数のコンタクトホールを通して第

50

2の電源配線55を第2のコンタクト領域52aに電氣的に接続して、Nウェル51及びPウェル52に対する電源供給能力を高めることができる。

【0043】

図5は、図2に示すスタンダードセル及び第2のタップセルのレイアウト例を示す平面図である。一般的には、複数のスタンダードセルに対応して1つの第2のタップセルが設けられるが、図5には、それらのスタンダードセルの内の一部が示されている。

【0044】

図5に示す例において、スタンダードセル32は、インバーターを構成する第2の論理回路セルであり、図3に示すスタンダードセル31と同様に、7グリッド分の長さで2グリッド分の幅とを有している。また、第2のタップセル42は、コンタクト領域及び配線の形状が図3に示す第1のタップセル41とは異なっており、7グリッド分の長さで2グリッド分の幅とを有している。

【0045】

半導体チップ100(図1)は、半導体基板50(図4)に配置された第3の半導体層であるNウェル56及び第4の半導体層であるPウェル57をさらに含んでいる。なお、N型の半導体基板又はエピタキシャル層を第3の半導体層として用いる場合には、Nウェル56を省略しても良いし、P型の半導体基板又はエピタキシャル層を第4の半導体層として用いる場合には、Pウェル57を省略しても良い。

【0046】

スタンダードセル32は、Nウェル56に設けられたPチャンネルMOSトランジスタQ P 2と、Pウェル57に設けられたNチャンネルMOSトランジスタQ N 2とを含んでいる。トランジスタQ P 2は、Nウェル56に配置された複数のP型不純物領域で構成されるソース(S)及びドレイン(D)と、半導体基板50上にゲート絶縁膜を介して配置されたゲート電極(G)とを有している。

【0047】

また、トランジスタQ N 2は、Pウェル57に配置された複数のN型不純物領域で構成されるソース(S)及びドレイン(D)と、半導体基板50上にゲート絶縁膜を介して配置されたゲート電極(G)とを有している。ゲート電極(G)は、トランジスタQ P 2及びQ N 2で共通とされる。

【0048】

図5に示す「x」印は、層間絶縁膜53(図4)に形成されたコンタクトホール53の位置を表している。半導体チップ100(図1)が多層配線構造を有する場合に、電源電位V D Dが供給される第3の電源配線58、及び、電源電位V S Sが供給される第4の電源配線59は、第1層の配線層に配置されることが望ましい。

【0049】

トランジスタQ P 2のソース(S)は、第3の電源配線58に電氣的に接続されており、ドレイン(D)は、出力信号配線に電氣的に接続されており、ゲート電極(G)は、入力信号配線に電氣的に接続されている。また、トランジスタQ N 2のドレイン(D)は、出力信号配線に電氣的に接続されており、ソース(S)は、第4の電源配線59に電氣的に接続されており、ゲート電極(G)は、入力信号配線に電氣的に接続されている。トランジスタQ P 2及びQ N 2で構成されるインバーターは、入力信号配線から供給される入力信号のレベルを反転して、反転されたレベルを有する出力信号を出力信号配線に出力する。

【0050】

第2のタップセル42は、Nウェル56に配置されて第2の方向に長手方向を有する第3のコンタクト領域56aと、Pウェル57に配置されて第2の方向に長手方向を有する第4のコンタクト領域57aとを含んでいる。第3のコンタクト領域56aは、Nウェル56の他の領域よりも高濃度のN型の不純物領域であり、第4のコンタクト領域57aは、Pウェル57の他の領域よりも高濃度のP型の不純物領域である。

【0051】

10

20

30

40

50

また、第2のタップセル42は、第1の方向に沿って平行に配置された第3の電源配線58及び第4の電源配線59をさらに含んでいる。第3の電源配線58は、第2の方向に分岐して第3のコンタクト領域56aに電氣的に接続されており、電源電位VDDをNウェル56に供給する。また、第4の電源配線59は、第2の方向に分岐して第4のコンタクト領域57aに電氣的に接続されており、電源電位VSSをPウェル57に供給する。

【0052】

このような配置によれば、層間絶縁膜53に第2の方向に並んで形成された複数のコンタクトホールを通して第3の電源配線58を第3のコンタクト領域56aに電氣的に接続し、層間絶縁膜53に第2の方向に並んで形成された複数のコンタクトホールを通して第4の電源配線59を第4のコンタクト領域57aに電氣的に接続して、Nウェル56及びPウェル57に対する電源供給能力を高めることができる。

10

【0053】

図3と図5とを比較すると、第1のタップセル41においては、第1のコンタクト領域51a及び第2のコンタクト領域52aが第1の方向に長手方向を有しているため、第1の電源配線54及び第2の電源配線55がタップセルの内側に向けて突出していない。従って、第1層の配線層において第1のタップセル41内に信号配線を通す場合に、第1の電源配線54及び第2の電源配線55が支障とならない。

【0054】

一方、第2のタップセル42においては、第3のコンタクト領域56a及び第4のコンタクト領域57aが第2の方向に長手方向を有しているため、第3の電源配線58及び第4の電源配線59の各々が、タップセルの内側に向けて突出した突出部分を有している。その突出部分が、層間絶縁膜に形成されたコンタクトホールを通して、第3のコンタクト領域56a又は第4のコンタクト領域57aに電氣的に接続される。

20

【0055】

従って、図5に示す左の第2のタップセル42の下側や、右の第2のタップセル42の上側にも、スタンダードセル32を配置することができる。このように、第2のタップセル42を千鳥配置とすることにより、単位面積当たりに配置される第2のタップセル42の数を減らすことができる。それにより、単位面積当たりに配置されるスタンダードセル32の数を増やして、スタンダードセル32の配置効率を向上させることができる。

【0056】

30

以上のことから、第1のタップセル41は、第1の方向に延在する信号配線が第2の方向に延在する信号配線よりも支配的な領域に配置されることが望ましい。そのような領域においては、第1の方向に延在する信号配線を第1のタップセル41内に通して、信号配線のレイアウトを容易にすることができる。

【0057】

そのような領域としては、例えば、全ての配線層において第1の方向に延在する信号配線の平均的な長さが第2の方向に延在する信号配線の平均的な長さよりも長い領域、又は、全ての配線層において第1の方向に延在する所定の長さ以上の信号配線の数が第2の方向に延在する所定の長さ以上の信号配線の数よりも多い領域が該当する。図2において、マクロセル21よりも下側にスタンダードセル31が配置されている領域は、そのような領域に該当する。

40

【0058】

また、第1のタップセル41は、マクロセルと複数の入出力セル又は他のマクロセルとの間の領域であって所定の値以上のアスペクト比を有する領域に配置されることが望ましい。そのような領域においては、マクロセルと複数の入出力セル又は他のマクロセルとの間を電氣的に接続する信号配線を第1のタップセル41内に通して、信号配線のレイアウトを容易にすることができる。

【0059】

上記の所定の値は、5～20の範囲内に設定されても良い。例えば、所定の値が10である場合に、図1において、マクロセル21とその上側の複数の入出力セル10との間の

50

領域や、マクロセル 2 1 とその左側の複数の入出力セル 1 0 との間の領域や、マクロセル 2 1 とマクロセル 2 2 との間の領域等が、所定の値以上のアスペクト比を有する領域に該当する。

【 0 0 6 0 】

あるいは、第 1 のタップセル 4 1 は、マクロセルと複数の入出力セル又は他のマクロセルとの間の領域であって所定の幅以下の幅を有する領域に配置されることが望ましい。そのような領域においては、マクロセルと複数の入出力セル又は他のマクロセルとの間を電氣的に接続する信号配線を第 1 のタップセル 4 1 内に通して、信号配線のレイアウトを容易にすることができる。なお、本願において、領域の「幅」とは、その領域の長手方向に直交する方向における寸法のことをいう。

10

【 0 0 6 1 】

上記の所定の幅は、半導体チップ 1 0 0 の主面（図 1 に示す面）の一辺（長方形の場合には短辺）の  $1 / 1 0 \sim 1 / 5 0$  の範囲内に設定されても良い。例えば、所定の幅が半導体チップ 1 0 0 の主面の一辺の  $1 / 5 0$  である場合に、図 1 において、マクロセル 2 3 とその左側の複数の入出力セル 1 0 との間の領域や、マクロセル 2 3 とその下側の複数の入出力セル 1 0 との間の領域や、マクロセル 2 6 とその下側の複数の入出力セル 1 0 との間の領域等も、所定の幅以下の幅を有する領域に該当する。

【 0 0 6 2 】

さらに、第 1 のタップセル 4 1 は、第 1 のタップセル 4 1 が配置される複数の領域に囲まれたコーナー領域に配置されることが望ましい。例えば、図 1 において、マクロセル 2 1 の左上の領域や、マクロセル 2 3 の左下の領域等が、そのようなコーナー領域に該当する。

20

【 0 0 6 3 】

本実施形態によれば、スタンダードセル 3 1 及び 3 2 とは別個に、第 1 の方向に長手方向を有する第 1 のコンタクト領域 5 1 a 及び第 2 のコンタクト領域 5 2 a を含む第 1 のタップセル 4 1 と、第 2 の方向に長手方向を有する第 3 のコンタクト領域 5 6 a 及び第 4 のコンタクト領域 5 7 a を含む第 2 のタップセル 4 2 とが設けられる。

【 0 0 6 4 】

従って、例えば、複数のセル列が第 1 の方向に延在している場合に、第 1 の方向に延在する信号配線を第 1 のタップセル 4 1 内に通して信号配線のレイアウトを容易にしながら、他の領域の複数のセル列において第 2 のタップセル 4 2 を千鳥配置にして第 2 のタップセル 4 2 の数を減らすことにより、トータルのレイアウト面積を削減することが可能である。

30

【 0 0 6 5 】

< レイアウト設計システム >

次に、本発明の一実施形態に係る半導体装置のレイアウト設計方法を実施するためのレイアウト設計システムについて説明する。

【 0 0 6 6 】

図 6 は、レイアウト設計システムの構成例を示すブロック図である。図 6 に示すように、このレイアウト設計システムは、レイアウト設計装置 1 1 0 と、ネットワークを介してレイアウト設計装置 1 1 0 に接続された少なくとも 1 つの操作端末 1 2 0 とを含んでいる。レイアウト設計装置 1 1 0 は、中央演算装置（CPU）を有する処理部 1 1 1 と、処理部 1 1 1 に内部バスを介して接続された格納部 1 1 2 とを含んでいる。

40

【 0 0 6 7 】

格納部 1 1 2 は、処理部 1 1 1 の CPU に各種の処理を行わせるためのソフトウェア（レイアウト設計プログラム）と、各種のセルや回路素子等のレイアウトデータを含むデータベースとを格納している。格納部 1 1 2 における記録媒体としては、ハードディスク、フレキシブルディスク、MO、MT、各種のメモリー、CD-ROM、又は、DVD-ROM等を用いることができる。

【 0 0 6 8 】

50

オペレーターが、操作端末120を操作してレイアウト設計装置110にアクセスすると、レイアウト設計装置110の処理部111が、半導体装置のレイアウト領域を表す画像データを操作端末120に送信する。操作端末120は、受信した画像データに基づいて、半導体装置のレイアウト領域の画像を表示部に表示する。

【0069】

レイアウト設計装置110の処理部111は、操作端末120を用いるオペレーターの操作に従って、必要なレイアウトデータを格納部112から読み出す。処理部111は、複数のセルの回路素子及びセル内配線をレイアウト領域に配置し、さらに、複数のセルを接続するセル間配線をレイアウト領域に配置することにより、半導体装置のレイアウト設計を行う。

【0070】

<レイアウト設計方法>

次に、本発明の一実施形態に係る半導体装置のレイアウト設計方法について、図1、図3、及び、図5～図7を参照しながら説明する。このレイアウト設計方法は、図3に示すような第1のタップセル41と図5に示すような第2のタップセル42とを用いて半導体装置のレイアウトを設計する方法であって、図6に示すようなレイアウト設計システムにおいて用いられる。

【0071】

図3に示すように、第1のタップセル41は、第1の方向に長手方向を有する第1のコンタクト領域51a及び第2のコンタクト領域52aを含んでいる。また、図5に示すように、第2のタップセル42は、第1の方向と異なる第2の方向に長手方向を有する第3のコンタクト領域56a及び第4のコンタクト領域57aを含んでいる。以下においては、一例として、図1に示す半導体装置のレイアウトが設計される場合について説明する。

【0072】

レイアウト設計の前段階として、半導体装置の回路設計を行うことにより、ネットリストが作成される。ネットリストは、半導体装置の論理機能を実現する複数の論理回路をそれぞれ構成する複数のスタンダードセルを特定する情報と、それらのスタンダードセル間の接続関係を特定する情報とを含んでいる。

【0073】

作成されたネットリストは、図6に示すレイアウト設計装置110の格納部112に格納され、レイアウト設計プログラムに従って動作する処理部111のCPUが、ネットリストに基づいて、半導体装置のレイアウト設計を行う。その際に、図1に示す入出力セル10、マクロセル21～27、スタンダードセル31及び32、第1のタップセル41、及び、第2のタップセル42等のレイアウトデータが用いられる。

【0074】

図7は、本発明の一実施形態に係る半導体装置のレイアウト設計方法を示すフローチャートである。図7に示すステップS1において、図6に示すレイアウト設計装置110の処理部111が、図1に示す複数の入出力セル10を半導体装置のレイアウト領域に配置する。それにより、入出力セル10に含まれている複数のトランジスターのソース、ドレイン、及び、ゲート電極の位置が決定されると共に、入出力セル10内の複数の配線の位置が決定される。

【0075】

ステップS2において、レイアウト設計装置110の処理部111が、少なくとも1つのマクロセル(図1に示す例においては、複数のマクロセル21～27)をレイアウト領域に配置する。それにより、マクロセル21～27に含まれている複数のトランジスターのソース、ドレイン、及び、ゲート電極の位置が決定されると共に、マクロセル21～27内の複数の配線の位置が決定される。

【0076】

次に、オペレーターが、図6に示す操作端末120を操作して、複数の第1のタップセル41を配置する領域を指定する。例えば、オペレーターは、操作端末120の表示部に

10

20

30

40

50

表示された半導体装置のレイアウト領域の画像において、複数の第1のタップセル41を配置する領域を特定する複数の座標をマウス等で指定する。

【0077】

操作端末120は、複数の第1のタップセル41を配置する領域を指定する配置情報をレイアウト設計装置110に出力する。それにより、ステップS3において、レイアウト設計装置110の処理部111が、複数の第1のタップセル41を配置する領域を指定する配置情報を操作端末120から入力する。

【0078】

ステップS4において、レイアウト設計装置110の処理部111が、配置情報に従って、第1のコンタクト領域51a及び第2のコンタクト領域52aがNウェル51及びPウェル52にそれぞれ位置するように、所定のルールに従って複数の第1のタップセル41をレイアウト領域に配置する。

10

【0079】

それにより、複数の第1のタップセル41が、レイアウト領域内の配置情報によって指定された領域に配置されて、複数の第1のタップセル41に含まれている第1のコンタクト領域51a及び第2のコンタクト領域52aや、第1の電源配線54及び第2の電源配線55の位置が決定される。

【0080】

ここで、所定のルールは、Nウェル51及びPウェル52に対する電源供給能力を確保できるように決定されており、例えば、Nウェル51における各位置と第1のコンタクト領域51aとの間の距離が所定の距離以下となり、かつ、Pウェル52における各位置と第2のコンタクト領域52aとの間の距離が所定の距離以下となるようなルールである。

20

【0081】

ステップS5において、レイアウト設計装置110の処理部111が、第3のコンタクト領域56a及び第4のコンタクト領域57aがNウェル56及びPウェル57にそれぞれ位置するように、所定のルールに従って複数の第2のタップセル42をレイアウト領域に配置する。

【0082】

それにより、複数の第2のタップセル42が、レイアウト領域内のセルが未だ配置されていない領域に配置されて、複数の第2のタップセル42に含まれている第3のコンタクト領域56a及び第4のコンタクト領域57aや、第3の電源配線58及び第4の電源配線59の位置が決定される。

30

【0083】

ここで、所定のルールは、Nウェル56及びPウェル57に対する電源供給能力を確保できるように決定されており、例えば、Nウェル56における各位置と第3のコンタクト領域56aとの間の距離が所定の距離以下となり、かつ、Pウェル57における各位置と第4のコンタクト領域57aとの間の距離が所定の距離以下となるようなルールである。

【0084】

ステップS6において、レイアウト設計装置110の処理部111が、第1のタップセル41が配置されたNウェル51及びPウェル52、又は、第2のタップセル42が配置されたNウェル56及びPウェル57に複数の不純物領域が位置するように、複数のスタンダードセル31及び32をレイアウト領域に順次配置する。その際に、レイアウト設計装置110の処理部111は、レイアウト領域に配置されたスタンダードセル31又は32を他のセルに接続する配線の配置を決定する。

40

【0085】

それにより、複数のスタンダードセル31及び32が、レイアウト領域内のセルが未だ配置されていない領域に配置されて、複数のスタンダードセル31及び32に含まれている複数のトランジスタのソース、ドレイン、及び、ゲート電極の位置が決定される。また、複数のスタンダードセル31及び32内の複数の配線の位置、及び、複数のスタンダードセル31及び32を他のセルに接続する複数の配線の位置が決定される。

50

## 【 0 0 8 6 】

ステップ S 6 の後に、ステップ S 7 において、レイアウト設計装置 1 1 0 の処理部 1 1 1 が、半導体装置を構成する全てのスタンダードセルがレイアウト領域に配置されたか否かを判定する。半導体装置を構成する全てのスタンダードセルがレイアウト領域に配置された場合には、処理が終了する。

## 【 0 0 8 7 】

一方、半導体装置を構成する一部のスタンダードセルがレイアウト領域に配置されなかった場合には、その旨が操作端末 1 2 0 の表示部に表示される。オペレーターは、操作端末 1 2 0 を操作して、複数の第 1 のタップセル 4 1 を配置する領域を再度指定する。操作端末 1 2 0 は、複数の第 1 のタップセル 4 1 を配置する領域を指定する新たな配置情報をレイアウト設計装置 1 1 0 に出力する。それにより、ステップ S 8 において、レイアウト設計装置 1 1 0 の処理部 1 1 1 が、複数の第 1 のタップセル 4 1 を配置する領域を指定する新たな配置情報を操作端末 1 2 0 から入力する。

10

## 【 0 0 8 8 】

その後、処理がステップ S 4 に戻り、レイアウト設計装置 1 1 0 の処理部 1 1 1 が、ステップ S 4 ~ S 7 を繰り返す。それにより、最初に入力された配置情報に基づいてレイアウトを完成できなかった場合においても、新たな配置情報に基づいてレイアウトを完成することが可能となる。

## 【 0 0 8 9 】

本実施形態によれば、第 1 の方向に長手方向を有する第 1 のコンタクト領域 5 1 a 及び第 2 のコンタクト領域 5 2 a を含む第 1 のタップセル 4 1 と、第 2 の方向に長手方向を有する第 3 のコンタクト領域 5 6 a 及び第 4 のコンタクト領域 5 7 a を含む第 2 のタップセル 4 2 とが、半導体装置のレイアウト領域に選択的に配置される。

20

## 【 0 0 9 0 】

従って、例えば、複数のセル列が第 1 の方向に延在している場合に、第 1 の方向に延在する信号配線を第 1 のタップセル 4 1 内に通して信号配線のレイアウトを容易にしながら、他の領域の複数のセル列において第 2 のタップセル 4 2 を千鳥配置にして第 2 のタップセル 4 2 の数を減らすことにより、トータルのレイアウト面積を削減することが可能である。

## 【 0 0 9 1 】

以上の実施形態においては、半導体装置が少なくとも 1 つのマクロセルを含む場合について説明したが、本発明は、マクロセルを含まない半導体装置にも適用することが可能である。このように、本発明は、以上説明した実施形態に限定されるものではなく、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。

30

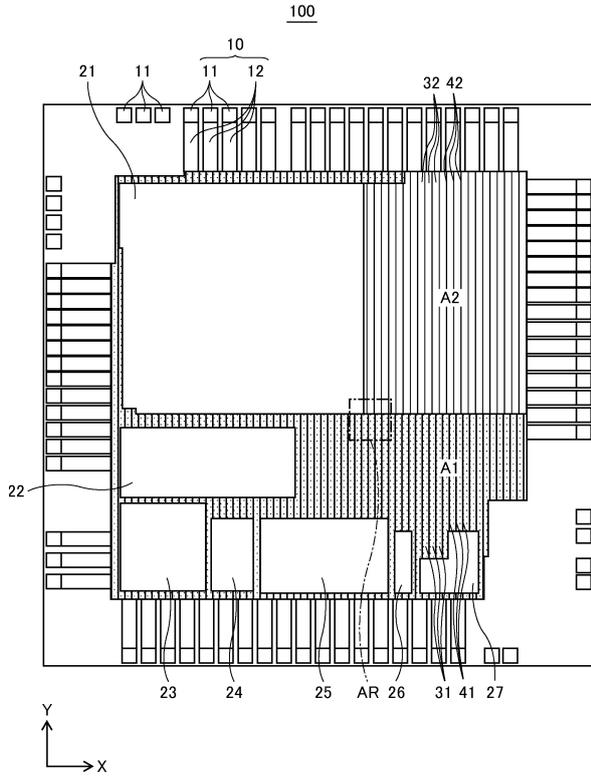
## 【 符号の説明 】

## 【 0 0 9 2 】

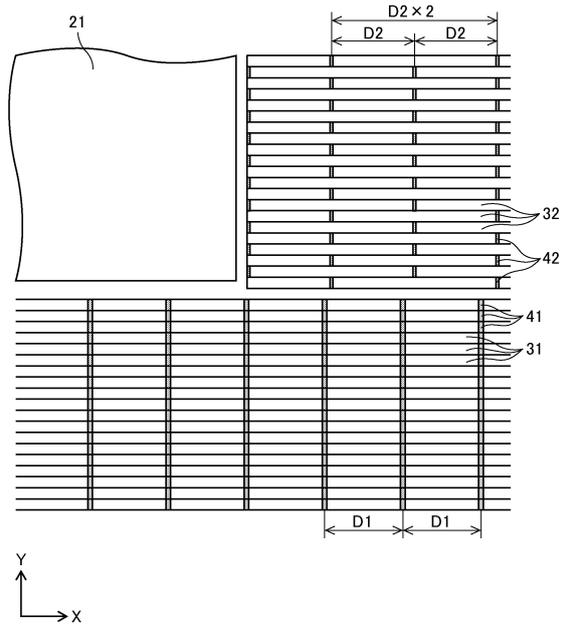
1 0 ... 入出力セル、 1 1 ... 端子、 1 2 ... 入出力回路、 2 1 ~ 2 7 ... マクロセル、 3 1、 3 2 ... スタンダードセル、 4 1 ... 第 1 のタップセル、 4 2 ... 第 2 のタップセル、 5 0 ... 半導体基板、 5 1、 5 6 ... N ウェル、 5 1 a ... 第 1 のコンタクト領域、 5 2、 5 7 ... P ウェル、 5 2 a ... 第 2 のコンタクト領域、 5 3 ... 層間絶縁膜、 5 4 ... 第 1 の電源配線、 5 5 ... 第 2 の電源配線、 5 6 a ... 第 3 のコンタクト領域、 5 7 a ... 第 4 のコンタクト領域、 5 8 ... 第 3 の電源配線、 5 9 ... 第 4 の電源配線、 1 0 0 ... 半導体チップ、 1 1 0 ... レイアウト設計装置、 1 1 1 ... 処理部、 1 1 2 ... 格納部、 1 2 0 ... 操作端末、 Q P 1、 Q P 2 ... P チャネル MOS トランジスター、 Q N 1、 Q N 2 ... N チャネル MOS トランジスター

40

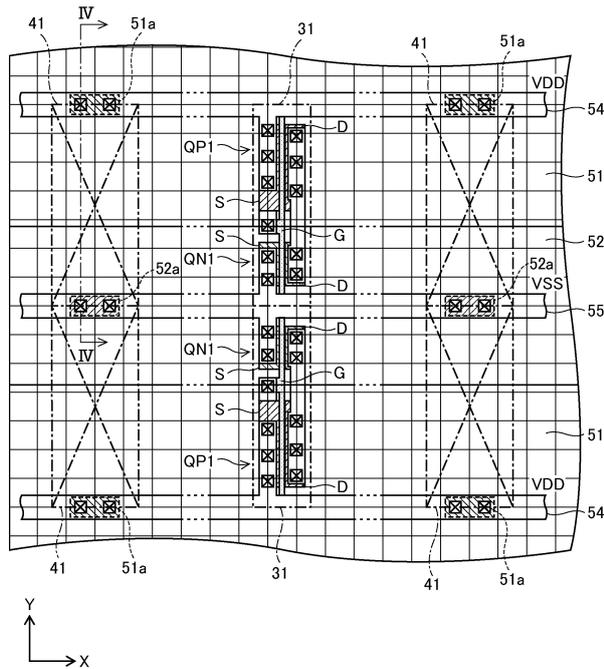
【図1】



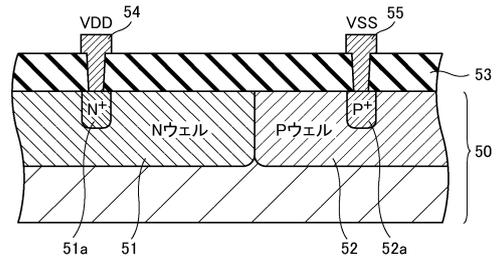
【図2】



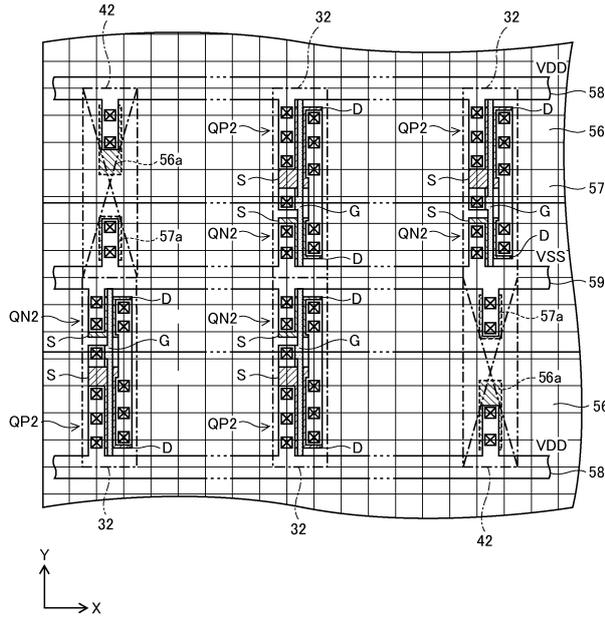
【図3】



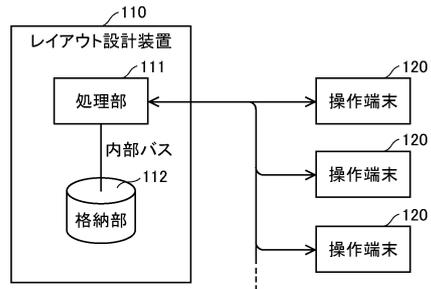
【図4】



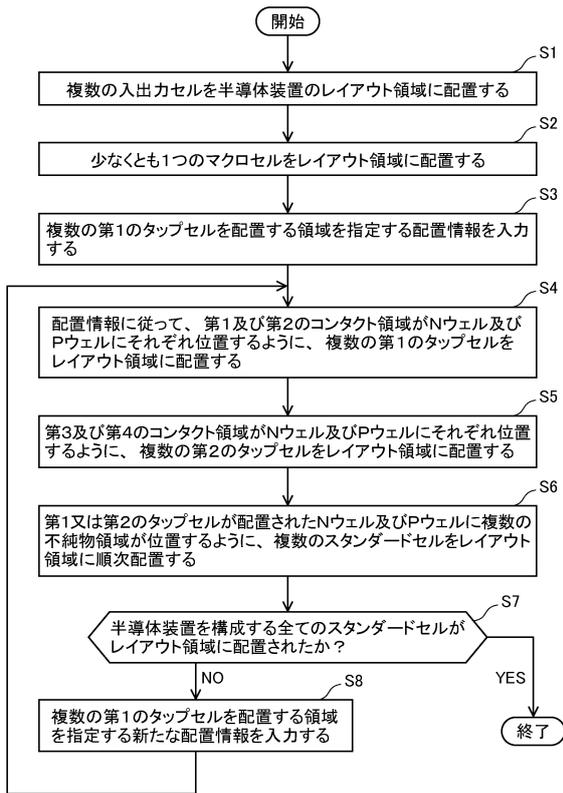
【図5】



【図6】



【図7】



---

フロントページの続き

(56)参考文献 米国特許出願公開第2014/0183602(US, A1)

特開平02-185056(JP, A)  
特開平01-232741(JP, A)  
特開平03-209745(JP, A)  
特開2009-289917(JP, A)  
特開2006-173478(JP, A)  
特開2001-176980(JP, A)  
特開2008-270429(JP, A)  
特開2006-196872(JP, A)  
特開2004-319855(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82  
H01L 21/822  
H01L 27/04