

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0112853
H01L 21/336 (2006.01) (43) 공개일자 2006년11월02일

(21) 출원번호 10-2005-0035530
(22) 출원일자 2005년04월28일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 서원선
경기도 이천시 부발읍 아미리 산136-1
(74) 대리인 특허법인태평양
이정훈

심사청구 : 없음

(54) 반도체 소자의 형성방법

요약

본 발명은 반도체 소자의 형성 방법에 관한 것으로, 특히 DRAM의 Fin형FET(Field Effect Transistor)의 핀(Fin)형 활성 영역으로 인하여 후속의 게이트 패터닝 공정이 어려워지는 문제와, 스토리지 노드 콘택 및 비트라인 콘택 영역 확보가 어려운 문제를 해결하기 위하여, 핀형 활성영역을 게이트 예정 영역에만 형성 하는 반도체 소자의 형성함으로써, 게이트 패터닝을 용이하게 하고, 스토리지 노드 콘택 및 비트라인 콘택 영역을 충분히 확보할 수 있도록 하여 반도체 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 형성 방법에 관한 것이다.

대표도

도 2f

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 반도체 소자를 도시한 사시도.

도 2a 내지 도 2g는 본 발명의 제 1 실시예에 따른 반도체 소자의 형성방법을 도시한 단면도 및 평면도들.

도 3a 내지 도 3c는 본 발명의 제 2 실시예에 따른 반도체 소자의 형성방법을 도시한 단면도 및 평면도들.

도 4는 본 발명의 제 3 실시예에 따른 반도체 소자의 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 형성 방법에 관한 것으로, 특히 DRAM의 Fin형FET(Field Effect Transistor)의 핀(Fin)형 활성영역으로 인하여 후속의 게이트 패터닝 공정이 어려워지는 문제와, 스토리지 노드 콘택 및 비트라인 콘택 영역 확보가 어려운 문제를 해결하기 위하여, 핀형 활성영역을 게이트 예정 영역에만 형성하는 반도체 소자의 형성 방법에 관한 것이다.

도 1은 종래 기술에 따른 반도체 소자를 도시한 사시도이다.

반도체 기판 상에 활성영역을 정의하는 트렌치형 소자분리막(30)을 형성한 후 활성영역과 게이트와의 접촉면적을 증가시키기 위하여 소자분리막(30)을 소정 깊이 식각하여, 활성영역이 반도체 기판으로부터 돌출된 핀(Fin)형 구조를 형성한다.

다음에는, 핀형 활성영역에 게이트 산화막(40)을 형성한 후 게이트 전극(50)을 형성한다. 이때, 돌출된 형태를 따라서 게이트를 패터닝 하는데 핀형의 높이에 때문에 게이트 마스크 공정의 어려움이 있고, 게이트 식각 공정에서 게이트 마스크와 반도체 기판 사이에 유격이 발생하므로 활성영역이 손실될 수 있다. 이를 방지하기 위해서 활성영역이 손실되지 않을 정도로 식각공정을 조절하여야 하는데, 그렇게 되면 게이트 예정 영역 이외의 핀형 돌출부 하부에 게이트 전극층 잔류하게 되는 문제가 발생한다.

상술한 바와 같이, 활성영역 전체를 핀형으로 형성할 경우 스토리지 노드 콘택(Storage Node Contact) 및 비트라인 콘택(Bit Line Contact) 영역을 구성하는 소오스/드레인 영역을 충분하게 확보할 수 없게 되며, 게이트 간의 브릿지(Bridge) 문제 및 게이트와 콘택 간의 브릿지 문제를 유발할 우려가 있고, 콘택 영역이 충분하지 않아 트랜지스터의 동작 전류가 감소하는 등 반도체 소자의 전기적 특성이 떨어지는 현상이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 핀형 활성영역을 게이트 예정 영역에만 형성한다. 또한, 활성영역과 게이트가 중첩되는 부분의 활성영역만 요부 또는 철부로 형성함으로써 게이트와의 접촉면적을 효과적으로 증가시키면서도 스토리지 노드 콘택 및 비트라인 콘택 영역을 충분히 확보하고 반도체 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 형성 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

이상의 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 소자의 형성 방법은,

- (a) 반도체 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계와,
- (b) 소자분리영역으로 예정된 부분의 패드 질화막, 패드 산화막 및 소정 두께의 반도체 기판을 식각하여 트렌치를 형성하고, 활성영역을 정의하는 단계와,
- (c) 상기 활성영역 상부에 잔류하는 상기 패드 질화막의 측벽을 소정 두께 식각하는 단계와,
- (d) 상기 트렌치를 매립하는 산화막을 상기 패드 질화막의 높이까지 형성하는 단계와,
- (e) 게이트 예정 영역의 상기 패드 질화막을 제거하는 단계와,
- (f) 상기 노출된 패드 산화막 및 그 하부의 반도체 기판을 소정 깊이 식각하여 리세스 영역을 형성하는 단계와,
- (g) 게이트 예정 영역의 상기 산화막을 소정 두께 식각하여 게이트 예정 영역의 활성영역이 이중 핀 모양이 되도록 하는 단계 및
- (h) 게이트 예정 영역에 게이트 산화막 및 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 본 발명의 제 2 실시예에 따른 반도체 소자의 형성 방법은,

- (a) 반도체 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계와,
- (b) 소자분리영역으로 예정된 부분의 패드 질화막, 패드 산화막 및 소정 두께의 반도체 기판을 식각하여 트렌치를 형성하고, 활성영역을 정의하는 단계와,
- (c) 상기 활성영역 상부에 잔류하는 상기 패드 질화막의 측벽을 소정 두께 식각하는 단계와,
- (d) 상기 트렌치를 매립하는 산화막을 상기 패드 질화막의 높이까지 형성하는 단계와,
- (e) 게이트 예정 영역의 상기 산화막을 상기 패드 산화막이 노출될 때까지 식각하는 단계와,
- (f) 상기 노출된 패드 산화막 및 그 하부의 반도체 기판을 소정 깊이 식각하여 핀형 활성영역을 형성하는 단계와,
- (g) 상기 패드 질화막을 적어도 소정 두께 제거하는 단계 및
- (h) 상기 게이트 예정 영역에 게이트 산화막 및 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명에 대하여 상세히 설명하면 다음과 같다.

도 2a 내지 도 2g는 본 발명의 제 1 실시예에 따른 반도체 소자의 형성방법을 도시한 단면도 및 평면도들로서, 도 2a 내지 도 2g의 (ii)는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 평면도이며, (i)는 (ii)의 AA'방향을 따른 단면을 도시한 것이다.

도 2a를 참조하면, 반도체 기판(100) 상에 패드 산화막(110) 및 패드 질화막(120)을 형성하고, 소자분리영역으로 예정된 부분의 패드 질화막(120), 패드 산화막(110) 및 소정 두께의 반도체 기판(100)을 식각하여 트렌치를 형성한다.

도 2b를 참조하면, 상기 활성영역의 상부에 잔류하는 패드 질화막(120)의 측벽을 소정 두께 식각하여 활성영역을 핀형으로 형성하기 위한 마스크 패턴을 형성한다.

도 2c를 참조하면, 트렌치를 매립하는 소자분리 산화막(130)을 형성한다. 이때, 산화막(130)은 HDP(High Density Plasma) 산화막을 이용하여 형성하는 것이 바람직하며, 패드 질화막(120) 패턴이 노출되도록 상부를 평탄화하는 공정을 수행한다.

도 2d를 참조하면, 게이트 예정 영역의 패드 질화막(120)을 제거하여 패드 산화막(110)을 노출시킨다. 이때, 게이트 마스크(미도시)를 이용하며 패드 질화막(120)만을 선택적 식각한다.

도 2e를 참조하면, 게이트 예정 영역의 패드 산화막(110) 및 반도체 기판(100)을 식각하여 리세스 영역을 형성한다. 그 결과, 게이트 예정 영역의 활성영역에 있어서 패드 질화막이 제거된 부분이 요(凹)부가 되고, 이에 따라 활성영역의 나머지 부분이 철(凸)부가 되어 게이트 예정 영역의 활성영역이 이중 핀(Dual Fin)형 구조가 되도록 형성한다.

도 2f를 참조하면, 게이트 예정 영역의 산화막(130)을 소정 두께 식각한다. 이때, 산화막(130)의 두께를 도 2e에서 형성한 리세스 영역의 두께와 실질적으로 동일하게 조절하는 것이 바람직하다.

다음에는, 활성영역 상부의 패드 산화막(110) 상에 잔류하는 패드 질화막(120) 패턴을 모두 제거한다.

도 2g를 참조하면, 게이트 예정 영역에 게이트 산화막(140) 및 게이트 전극(150)을 형성 한다. 이때, 게이트 예정 영역의 활성영역이 이중 핀 구조로 형성되어 그 측벽 및 옆면도 모두 채널 영역으로 확보되므로 게이트의 전기적 특성이 더 향상된다.

도 3a 내지 도 3c는 본 발명의 제 2 실시예에 따른 반도체 소자의 형성방법을 도시한 단면도 및 평면도들로서, 도 3a 내지 도 3c의 (ii)는 본 발명에 따른 반도체 소자의 형성 방법을 도시한 평면도이며, (i)는 (ii)의 BB'방향을 따른 단면을 도시한 것이다.

먼저, 도 2a 내지 도 2c에 도시된 공정을 수행한다.

도 3a를 참조하면, 게이트 예정 영역의 소자분리 산화막(130)을 식각하여 패드 산화막(110)을 노출시킨다. 이때, 패드 산화막(110)의 중심부에는 패드 질화막(120)이 남아 있도록 하는 것이 바람직하다.

도 3b를 참조하면, 게이트 마스크(미도시)를 이용하며 사이 게이트 예정 영역의 패드 산화막(110) 및 그 하부의 반도체 기판(100)을 식각하여 리세스 영역을 형성한다. 그 결과, 게이트 예정 영역의 활성영역은 패드 질화막이 존재하는 부분이 철(凸)부가 되고 양 측벽이 요(凹)부가 되는 핀형 구조를 형성 된다.

도 3c를 참조하면, 패드 산화막(110) 상에 잔류하는 패드 질화막(120) 패턴을 모두 제거하고, 게이트 예정 영역에 게이트 산화막(140) 및 게이트 전극(150)을 형성 한다.

도 4는 본 발명의 제 3 실시예에 따른 반도체 소자의 단면도이다.

도 4를 참조하면, 먼저 도 2a 내지 도 2c 의 공정을 수행한 후 도 3a 및 도 3b의 공정을 수행한다.

다음에는, 패드 질화막(120)을 소정두께 남기고 게이트 산화막(140) 및 게이트 전극(150)을 형성한다. 이와 같이 패드 질화막(120)을 잔류시킴으로써, 핀 영역의 상부면을 채널 영역으로 이용하지 않을 수 있고 누설 전류를 안정적으로 차단할 수 있게 된다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체 소자의 형성 방법은, 핀 형 활성영역을 게이트 예정 영역에만 형성한다. 또한, 활성영역의 중심부를 요부 또는 철부로 형성함으로써 게이트와의 접촉면적을 효과적으로 증가시키면서도 스토리지 노드 콘택 및 비트라인 콘택 영역을 충분히 확보하고 반도체 소자의 전기적 특성, 리프레쉬 특성 및 신뢰성을 향상 시킬 수 있는 효과를 제공한다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

- (a) 반도체 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계;
- (b) 소자분리영역으로 예정된 부분의 패드 질화막, 패드 산화막 및 소정 두께의 반도체 기판을 식각하여 트렌치를 형성하고, 활성영역을 정의하는 단계;
- (c) 상기 활성영역 상부에 잔류하는 상기 패드 질화막의 측벽을 소정 두께 식각하는 단계;
- (d) 상기 트렌치를 매립하는 산화막을 상기 패드 질화막의 높이까지 형성하는 단계;
- (e) 게이트 예정 영역의 상기 패드 질화막을 제거하는 단계;
- (f) 상기 노출된 패드 산화막 및 그 하부의 반도체 기판을 소정 깊이 식각하여 리세스 영역을 형성하는 단계;

(g) 게이트 예정 영역의 상기 산화막을 소정 두께 식각하여 게이트 예정 영역의 활성영역이 이중 핀 모양이 되도록 하는 단계 및

(h) 게이트 예정 영역에 게이트 산화막 및 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 (g) 단계에서 식각되는 산화막의 두께는 상기 리세스의 깊이와 실질적으로 동일한 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 3.

(a) 반도체 기판 상에 패드 산화막 및 패드 질화막을 형성하는 단계;

(b) 소자분리영역으로 예정된 부분의 패드 질화막, 패드 산화막 및 소정 두께의 반도체 기판을 식각하여 트렌치를 형성하고, 활성영역을 정의하는 단계;

(c) 상기 활성영역 상부에 잔류하는 상기 패드 질화막의 측벽을 소정 두께 식각하는 단계;

(d) 상기 트렌치를 매립하는 산화막을 상기 패드 질화막의 높이까지 형성하는 단계;

(e) 게이트 예정 영역의 상기 산화막을 상기 패드 산화막이 노출될 때까지 식각하는 단계;

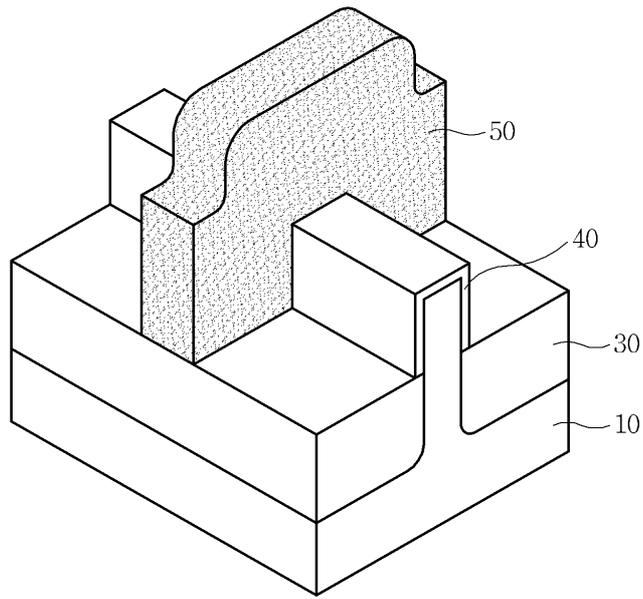
(f) 상기 노출된 패드 산화막 및 그 하부의 반도체 기판을 소정 깊이 식각하여 핀형 활성영역을 형성하는 단계;

(g) 상기 패드 질화막을 적어도 소정 두께 제거하는 단계; 및

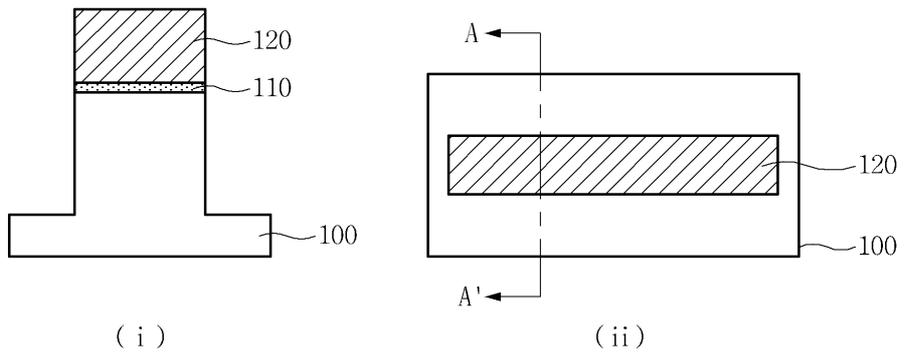
(h) 상기 게이트 예정 영역에 게이트 산화막 및 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

도면

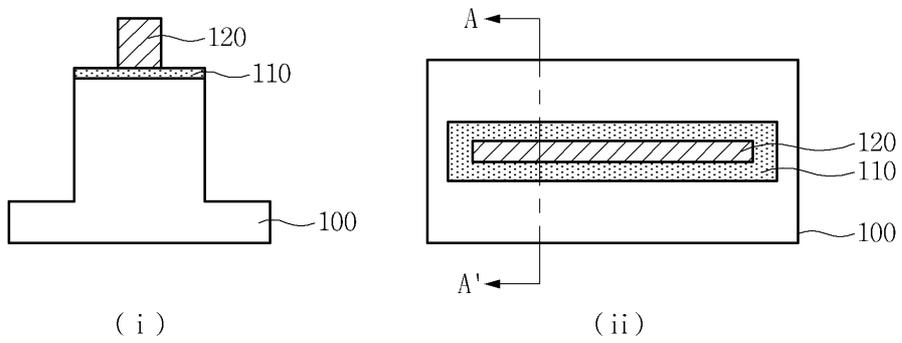
도면1



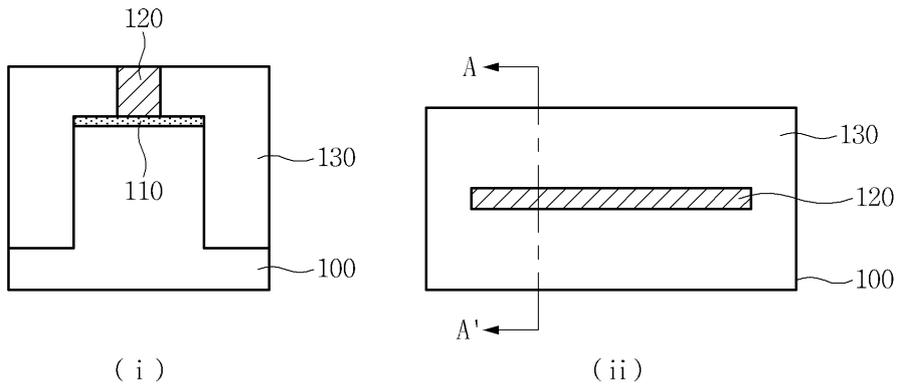
도면2a



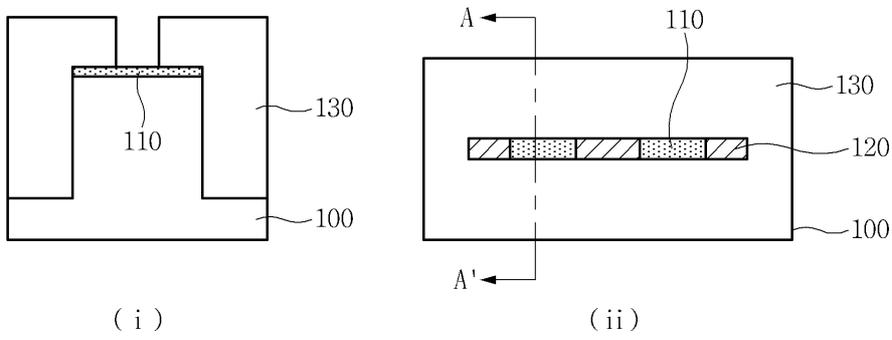
도면2b



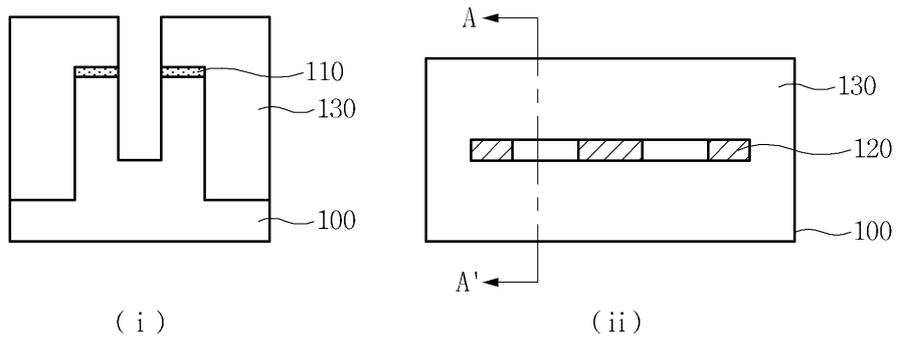
도면2c



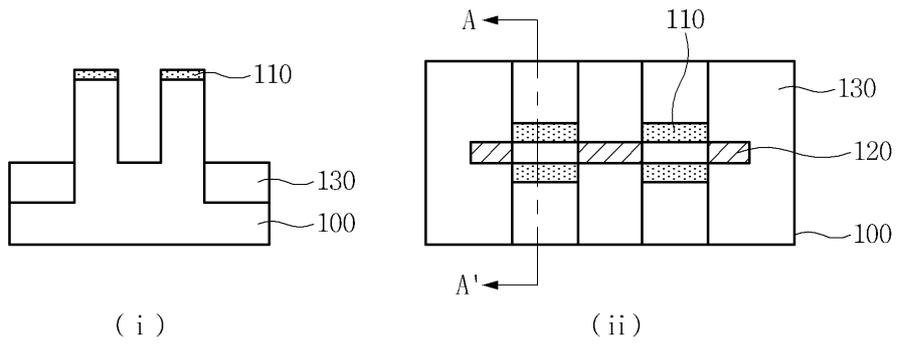
도면2d



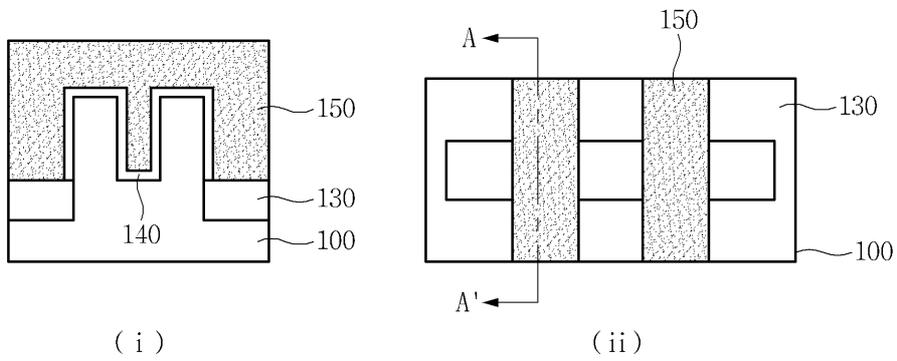
도면2e



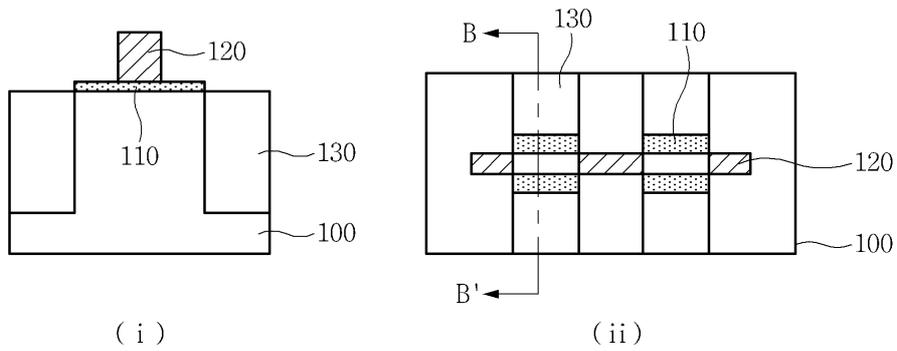
도면2f



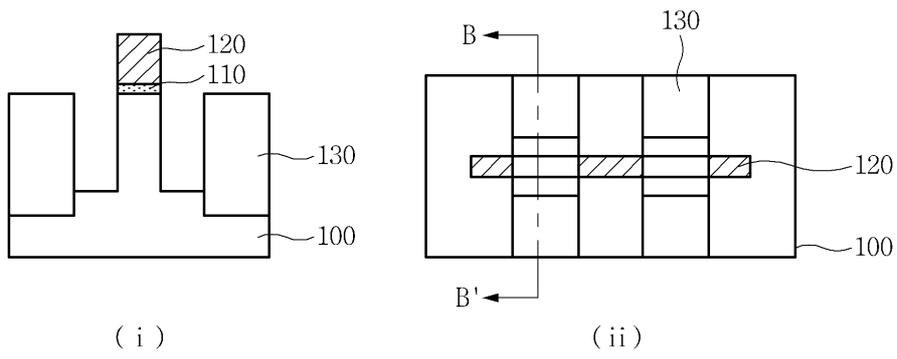
도면2g



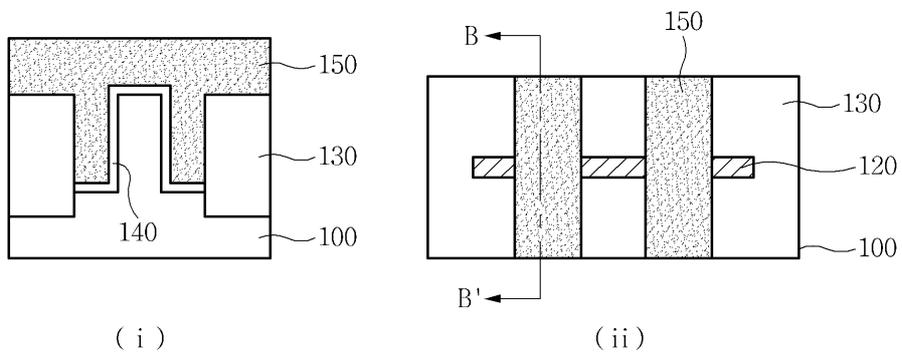
도면3a



도면3b



도면3c



도면4

