

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-225649  
(P2016-225649A)

(43) 公開日 平成28年12月28日(2016.12.28)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 21/8236 (2006.01)	HO 1 L 27/08 3 1 1 A	2 H 0 9 2
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 1 8 B	2 H 1 9 2
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 B	3 K 1 0 7
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 A	5 F 0 4 8
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F 1 1 0

審査請求 有 請求項の数 2 O L (全 51 頁) 最終頁に続く

(21) 出願番号 特願2016-174728 (P2016-174728)  
 (22) 出願日 平成28年9月7日(2016.9.7)  
 (62) 分割の表示 特願2015-15263 (P2015-15263)  
 の分割  
 原出願日 平成21年10月1日(2009.10.1)  
 (31) 優先権主張番号 特願2008-259064 (P2008-259064)  
 (32) 優先日 平成20年10月3日(2008.10.3)  
 (33) 優先権主張国 日本国(JP)  
 (31) 優先権主張番号 特願2009-150998 (P2009-150998)  
 (32) 優先日 平成21年6月25日(2009.6.25)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 秋元 健吾  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 梅崎 敦司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H092 GA29 GA43 GA59 GA60 JA26  
 JA46 JB69 MA04 MA05 NA27  
 PA06

最終頁に続く

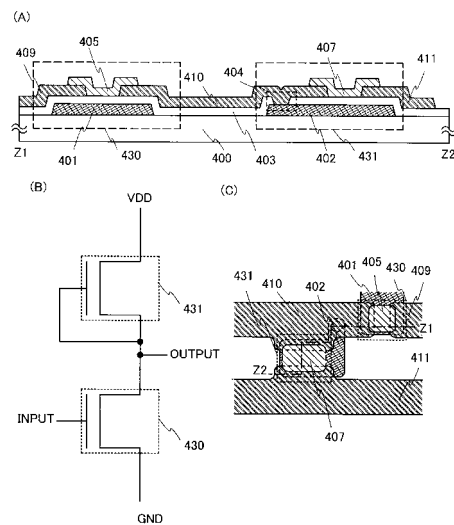
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示装置の高精細化に伴い、画素数が増加し、ゲート線数、及び信号線数が増加する。ゲート線数、及び信号線数が増加すると、それらを駆動するための駆動回路を有するICチップをボンディング等により実装することが困難となり、製造コストが増大するという問題がある。

【解決手段】 同一基板上に画素部と、画素部を駆動する駆動回路とを有し、画素部に酸化物半導体を用いた薄膜トランジスタを用い、さらに駆動回路の少なくとも一部の回路も酸化物半導体を用いた薄膜トランジスタで構成する。同一基板上に画素部に加え、駆動回路を設けることによって製造コストを低減する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

画素部と、駆動回路部と、を有し、  
 前記画素部は、第 1 のトランジスタを有し、  
 前記第 1 のトランジスタは、第 1 の酸化物半導体膜を有し、  
 前記駆動回路部は、第 2 のトランジスタと、第 3 のトランジスタと、を有し、  
 前記第 2 のトランジスタは、  
 第 1 のゲート電極と、  
 前記第 1 のゲート電極上の、ゲート絶縁膜と、  
 前記ゲート絶縁膜を介して、前記第 1 のゲート電極と重なる領域を有する第 2 の酸化  
 物半導体膜と、を有し、  
 前記第 3 のトランジスタは、  
 第 2 のゲート電極と、  
 前記第 2 のゲート電極上の、前記ゲート絶縁膜と、  
 前記ゲート絶縁膜を介して、前記第 2 のゲート電極と重なる領域を有する第 3 の酸化  
 物半導体膜と、を有し、  
 前記ゲート絶縁膜は、コンタクトホールを有し、  
 前記コンタクトホールを介して、前記第 2 のゲート電極と電氣的に接続された第 1 の配  
 線を有し、  
 前記ゲート絶縁膜を介して、前記第 1 のゲート電極と、前記第 2 のゲート電極とに重な  
 る領域を有する第 2 の配線を有し、  
 前記第 2 の配線は、前記第 2 の酸化物半導体層と接する領域を有し、  
 前記第 2 の配線は、前記第 3 の酸化物半導体膜と接する領域を有することを特徴とする  
 表示装置。

## 【請求項 2】

画素部と、駆動回路部と、を有し、  
 前記画素部は、第 1 のトランジスタを有し、  
 前記第 1 のトランジスタは、第 1 の酸化物半導体膜を有し、  
 前記駆動回路部は、第 2 のトランジスタと、第 3 のトランジスタと、を有し、  
 前記第 2 のトランジスタは、  
 第 1 のゲート電極と、  
 前記第 1 のゲート電極上の、ゲート絶縁膜と、  
 前記ゲート絶縁膜を介して、前記第 1 のゲート電極と重なる領域を有する第 2 の酸化  
 物半導体膜と、を有し、  
 前記第 3 のトランジスタは、  
 第 2 のゲート電極と、  
 前記第 2 のゲート電極上の、前記ゲート絶縁膜と、  
 前記ゲート絶縁膜を介して、前記第 2 のゲート電極と重なる領域を有する第 3 の酸化  
 物半導体膜と、を有し、  
 前記ゲート絶縁膜は、コンタクトホールを有し、  
 前記コンタクトホールを介して、前記第 2 のゲート電極と電氣的に接続された第配線を  
 有し、  
 前記配線は、前記第 1 の酸化物半導体膜と接する領域を有し、  
 前記配線は、前記第 2 の酸化物半導体膜と接する領域を有することを特徴とする表示装  
 置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、酸化物半導体を用いる表示装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の面積化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の面積化には必ずしも適応しないといった特性を有している。

## 【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、 $In-Ga-Zn-O$ 系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

10

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-096055号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

酸化物半導体にチャンネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって300以下の温度で膜形成が可能であり、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。

20

## 【0006】

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等の表示装置への応用が期待されている。

## 【0007】

表示装置の高精細化に伴い、画素数が増加し、ゲート線数、及び信号線数が増加する。ゲート線数、及び信号線数が増加すると、それらを駆動するための駆動回路を有するICチップをボンディング等により実装することが困難となり、製造コストが増大する。

30

## 【0008】

そこで、画素部を駆動する駆動回路の少なくとも一部の回路を酸化物半導体を用いて、製造コストを低減することを課題とする。

## 【0009】

また、駆動回路において、高速駆動を図るために、素子間を繋ぐ配線間の接触抵抗などを低減することも課題とする。例えば、ゲート配線と上層配線との接触抵抗が高いと、入力された信号が歪む恐れがある。

## 【0010】

また、コンタクトホール数を少なくし、駆動回路の占有面積を縮小化できる表示装置の構造を提供することも課題とする。

40

## 【課題を解決するための手段】

## 【0011】

本発明の一実施の形態は、同一基板上に画素部と、画素部を駆動する駆動回路の少なくとも一部の回路を酸化物半導体を用いた薄膜トランジスタで構成する。同一基板上に画素部に加え、駆動回路を設けることによって製造コストを低減する。

## 【0012】

本明細書中で用いる酸化物半導体は、 $InMO_3(ZnO)_m$  ( $m > 0$ ) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは

50

、Ga (ガリウム)、Fe (鉄)、Ni (ニッケル)、Mn (マンガン)、及びCo (コバルト) から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においてはこの薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

## 【0013】

ICP-MS (Inductively Coupled Plasma Mass Spectrometry: 誘導結合プラズマ質量分析法) の分析による代表的な測定例を表1に示す。In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1としたターゲット(In:Ga:Zn=1:1:0.5)を用い、スパッタ法でのアルゴンガス流量を40sccmとした条件1で得られる酸化物半導体膜は、InGa<sub>0.95</sub>Zn<sub>0.41</sub>O<sub>3.33</sub>である。また、スパッタ法でのアルゴンガス流量を10sccm、酸素を5sccmとした条件2で得られる酸化物半導体膜は、InGa<sub>0.94</sub>Zn<sub>0.40</sub>O<sub>3.31</sub>である。

10

## 【0014】

## 【表1】

流量比	組成(atomic%)				組成式
	Ar/O <sub>2</sub>	In	Ga	Zn	
40/0	17.6	16.7	7.2	58.6	InGa <sub>0.95</sub> Zn <sub>0.41</sub> O <sub>3.33</sub>
10/5	17.7	16.7	7	58.6	InGa <sub>0.94</sub> Zn <sub>0.40</sub> O <sub>3.31</sub>

20

## 【0015】

また、測定方法をRBS (Rutherford Backscattering Spectrometry: ラザフォード後方散乱分析法) に変えて定量化した結果を表2に示す。

## 【0016】

## 【表2】

流量比	組成(atomic%)					組成式
	Ar/O <sub>2</sub>	In	Ga	Zn	O	
40/0	17	15.8	7.5	59.4	0.3	InGa <sub>0.93</sub> Zn <sub>0.44</sub> O <sub>3.49</sub>
10/5	16	14.7	7.2	61.7	0.4	InGa <sub>0.92</sub> Zn <sub>0.45</sub> O <sub>3.86</sub>

30

## 【0017】

条件1の試料をRBS分析で測定した結果、酸化物半導体膜は、InGa<sub>0.93</sub>Zn<sub>0.44</sub>O<sub>3.49</sub>である。また、条件2の試料をRBS分析で測定した結果、酸化物半導体膜は、InGa<sub>0.92</sub>Zn<sub>0.45</sub>O<sub>3.86</sub>である。

## 【0018】

In-Ga-Zn-O系非単結晶膜の結晶構造は、アモルファス構造がXRD (X線回折) 測定では観察される。なお、測定したサンプルのIn-Ga-Zn-O系非単結晶膜はスパッタ法で成膜した後、加熱処理を200~500、代表的には300~400で10分~100分を行っている。また、薄膜トランジスタの電気特性もゲート電圧±20Vにおいて、オンオフ比が10<sup>9</sup>以上、移動度が10以上のものを作製することができる。

40

## 【0019】

このような電気特性を有する薄膜トランジスタを駆動回路に用いることは有用である。例えば、ゲート線駆動回路は、ゲート信号を順次転送するシフトレジスタ回路と、バッファ回路などで構成され、ソース線駆動回路は、ゲート信号を順次転送するシフトレジスタ回路と、バッファ回路と、画素への映像信号の転送のオンオフを切り替えるアナログスイッ

50

チなどにより構成される。アモルファスシリコンを用いたTFTに比べ高い移動度を有する酸化物半導体膜を用いたTFTは、シフトレジスタ回路を高速駆動させることができる。

#### 【0020】

また、画素部を駆動する駆動回路の少なくとも一部の回路を酸化物半導体を用いた薄膜トランジスタで構成する場合、全てnチャネル型TFTで形成され、図1(B)に示した回路を基本単位として形成する。また、駆動回路において、ゲート電極とソース配線、或いはドレイン配線を直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。駆動回路において、ゲート電極とソース配線、或いはドレイン配線を他の導電膜、例えば透明導電膜を介して接続する場合、コンタクトホール数の増加、コンタクトホール数の増加による占有面積の増大、または接触抵抗及び配線抵抗の増大、さらには工程の複雑化を招く恐れがある。

10

#### 【0021】

本明細書で開示する発明の構成は、画素部と駆動回路とを有し、画素部は、少なくとも第1の酸化物半導体層を有する第1の薄膜トランジスタを有し、駆動回路は、少なくとも第2の酸化物半導体層を有する第2の薄膜トランジスタと、第3の酸化物半導体層を有する第3の薄膜トランジスタとを有し、第2の酸化物半導体層の下方に設けられた第2の薄膜トランジスタのゲート電極と直接接する配線は、第3の酸化物半導体層と電氣的に接続する第3の薄膜トランジスタのソース配線、或いはドレイン配線であり、第3の酸化物半導体層は、配線上に直接接する表示装置である。

20

#### 【0022】

本発明の一実施の形態は、上記課題の少なくとも一つを解決する。

#### 【0023】

また、上記構成において、第2の薄膜トランジスタのゲート電極は、ゲート電極を覆うゲート絶縁層に形成されたコンタクトホールを介して配線と電氣的に接続されている。また、上記構成において、画素部と駆動回路は、同一基板上に設けることで製造コストを低減する。

#### 【0024】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

30

#### 【0025】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

#### 【0026】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を直接接続させる箇所を有している。

40

#### 【0027】

また、作製方法も本発明の一実施の形態の一つであり、その構成は、基板上に、第1のゲート電極と、第2のゲート電極とを形成し、第1のゲート電極及び第2のゲート電極を覆うゲート絶縁層を形成し、ゲート絶縁層を選択的にエッチングして第2のゲート電極に達するコンタクトホールを形成し、コンタクトホールを介して第2のゲート電極と直接接する第1の配線と、第1のゲート絶縁層を介して第1のゲート電極及び第2のゲート電極の両方と重なる第2の配線とを形成し、ゲート絶縁層上に第1のゲート電極と重なる第1の酸化物半導体層と、ゲート絶縁層上に第2のゲート電極と重なる第2の酸化物半導体層とを形成し、第2の酸化物半導体層は、第1の配線及び第2の配線上に接することを特徴と

50

する。上記作製方法の構成により、駆動回路の基本単位であるインバータ回路を作製することができる。

【0028】

勿論、駆動回路に加えて画素部の薄膜トランジスタも同一基板上に作製することができる。

【0029】

また、上記作製工程において、第1の酸化物半導体層及び第2の酸化物半導体層の形成前にゲート絶縁層表面にプラズマ処理、具体的には逆スパッタを行うことによって表面のゴミなどを除去することが好ましい。また、第1の配線及び第2の配線の形成前にゲート絶縁層表面及びコンタクトホール底面に露呈している第2のゲート電極表面にプラズマ処理、具体的には逆スパッタを行い、表面のゴミなどを除去することが好ましい。

10

【0030】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【発明の効果】

【0031】

ゲート線駆動回路またはソース線駆動回路で酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減する。そして駆動回路に用いる薄膜トランジスタのゲート電極とソース配線、或いはドレイン配線を直接接続させることでコンタクトホールの数を少なくし、駆動回路の占有面積を縮小化できる表示装置を提供することができる。

20

【図面の簡単な説明】

【0032】

【図1】(A)本発明の一実施の形態の半導体装置の断面図、(B)等価回路図、(C)上面図。

【図2】(A)本発明の一実施の形態の半導体装置の等価回路図、(B)上面図。

【図3】本発明の一実施の形態の半導体装置の工程断面図。

【図4】本発明の一実施の形態の半導体装置の工程断面図。

【図5】本発明の一実施の形態の半導体装置の工程断面図。

【図6】本発明の一実施の形態の半導体装置の上面図。

30

【図7】本発明の一実施の形態の半導体装置の上面図。

【図8】本発明の一実施の形態の半導体装置の上面図。

【図9】本発明の一実施の形態の半導体装置の上面図。

【図10】本発明の一実施の形態の半導体装置の端子部の上面図及び断面図。

【図11】本発明の一実施の形態の半導体装置の画素上面図。

【図12】電子ペーパーの断面図。

【図13】半導体装置のブロック図を説明する図。

【図14】ソース線駆動回路の構成を説明する図。

【図15】ソース線駆動回路の動作を説明するタイミングチャート。

【図16】ソース線駆動回路の動作を説明するタイミングチャート。

40

【図17】シフトレジスタの構成を説明する図。

【図18】図17に示すフリップフロップの接続構成を説明する図。

【図19】本発明の一実施の形態の半導体装置を説明する上面図及び断面図。

【図20】本発明の一実施の形態の半導体装置を説明する断面図。

【図21】本発明の一実施の形態の半導体装置の画素等価回路を説明する図。

【図22】本発明の一実施の形態の半導体装置を説明する図。

【図23】本発明の一実施の形態の半導体装置を説明する上面図及び断面図。

【図24】電子ペーパーの使用形態の例を説明する図。

【図25】電子書籍の一例を示す外観図。

【図26】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

50

【図27】遊技機の例を示す外観図。

【図28】携帯電話機の一例を示す外観図。

【図29】TFTの電気特性である $V_G - I_D$ 曲線を示す図。

【図30】シフトレジスタの44段目、43段目、及び42段目の出力波形の出力波形を表示したオシロスコープでの測定結果を示す図。

【図31】最大駆動周波数の時のドライバ出力波形を表示したオシロスコープでの測定結果を示す図。

【図32】液晶ディスプレイの表示の様子を示す図。

【発明を実施するための形態】

【0033】

本発明の実施形態について、以下に説明する。

【0034】

(実施の形態1)

ここでは、2つのnチャンネル型の薄膜トランジスタを用いてインバータ回路を構成する例を基に本発明の一実施の形態を以下に説明する。

【0035】

画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つのnチャンネル型TFTを組み合わせる場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせる場合(以下、EDMOS回路という)と、エンハンスメント型TFT同士で形成する場合(以下、EEMOS回路という)がある。なお、nチャンネル型TFTのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャンネル型TFTのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

【0036】

画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスメント型トランジスタを用いて画素電極への電圧印加のオンオフを切り替える。この画素部に配置するエンハンスメント型トランジスタは、酸化半導体を用いており、その電気特性は、ゲート電圧 $\pm 20V$ において、オンオフ比が $10^9$ 以上であるため、リーク電流が少なく、低消費電力駆動を実現することができる。

【0037】

駆動回路のインバータ回路の断面構造を図1(A)に示す。図1(A)において、基板400上に第1のゲート電極401及び第2のゲート電極402を設ける。第1のゲート電極401及び第2のゲート電極402の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0038】

例えば、第1のゲート電極401及び第2のゲート電極402の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。三層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

【0039】

また、第1のゲート電極401及び第2のゲート電極402を覆うゲート絶縁層403上には、第1配線409、第2配線410、及び第3配線411を設け、第2の配線410は、ゲート絶縁層403に形成されたコンタクトホール404を介して第2のゲート電極402と直接接続する。

【0040】

10

20

30

40

50

また、第1のゲート電極401と重なる位置に第1配線409及び第2配線410上に接する第1の酸化物半導体層405と、第2のゲート電極402と重なる位置に第2配線410及び第3配線411上に接する第2の酸化物半導体層407とを設ける。なお、第1の酸化物半導体層405または第2の酸化物半導体層407を形成する前に、ゲート絶縁層403の表面にプラズマ処理を行うことが好ましい。例えば、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層403の表面及びコンタクトホール404の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 $N_2O$ などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に $Cl_2$ 、 $CF_4$ などを加えた雰囲気で行ってもよい。

10

#### 【0041】

第1の薄膜トランジスタ430は、第1のゲート電極401と、ゲート絶縁層403を介して第1のゲート電極401と重なる第1の酸化物半導体層405とを有し、第1配線409は、接地電位の電源線（接地電源線）である。この接地電位の電源線は、負の電圧V<sub>DL</sub>が印加される電源線（負電源線）としてもよい。

#### 【0042】

また、第2の薄膜トランジスタ431は、第2のゲート電極402と、ゲート絶縁層403を介して第2のゲート電極402と重なる第2の酸化物半導体層407とを有し、第3配線411は、正の電圧V<sub>DD</sub>が印加される電源線（正電源線）である。

20

#### 【0043】

図1(A)に示すように、第1の酸化物半導体層405と第2の酸化物半導体層407の両方に電氣的に接続する第2の配線410は、ゲート絶縁層403に形成されたコンタクトホール404を介して第2の薄膜トランジスタ431の第2のゲート電極402と直接接続する。第2の配線410と第2のゲート電極402とを直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。第2のゲート電極402と第2配線410を他の導電膜、例えば透明導電膜を介して接続する場合に比べて、コンタクトホールの数の低減、コンタクトホールの数の低減による占有面積の縮小を図ることができる。

30

#### 【0044】

また、駆動回路のインバータ回路の上面図を図1(C)に示す。図1(C)において、鎖線Z1-Z2で切断した断面が図1(A)に相当する。

#### 【0045】

また、EDMOS回路の等価回路を図1(B)に示す。図1(A)及び図1(C)示す回路接続は、図1(B)に相当し、第1の薄膜トランジスタ430をエンハンスメント型のnチャネル型トランジスタとし、第2の薄膜トランジスタ431をデプレッション型のnチャネル型トランジスタとする例である。

#### 【0046】

同一基板上にエンハンスメント型のnチャネル型トランジスタとデプレッション型のnチャネル型トランジスタとを作製する方法は、例えば、第1の酸化物半導体層405と第2の酸化物半導体層407とを異なる材料や異なる成膜条件を用いて作製する。また、酸化物半導体層の上下にゲート電極を設けてしきい値制御を行い、一方のTFTがノーマリーオンとなるようにゲート電極に電圧をかけ、もう一方のTFTがノーマリーオフとなるようにしてEDMOS回路を構成してもよい。

40

#### 【0047】

##### （実施の形態2）

実施の形態1は、EDMOS回路の例を示したが、本実施の形態では、EEMOS回路の等価回路を図2(A)に示す。図2(A)の等価回路においては、どちらもエンハンスメント型のnチャネル型トランジスタとする組み合わせでもよいし、第1の薄膜トランジスタ

50



タ460をエンハンスメント型のnチャンネル型トランジスタとし、もう一方のトランジスタである第2の薄膜トランジスタ461をデプレッション型のnチャンネル型トランジスタとする組み合わせでもよく、どちらの組み合わせを用いても駆動回路を構成することができる。

【0048】

どちらも同じエンハンスメント型のnチャンネル型トランジスタとする組み合わせで作製できる図2(A)の回路構成を駆動回路に用いることは、画素部に用いるトランジスタも同じエンハンスメント型のnチャンネル型トランジスタとするため作製工程が増大せず、好ましいと言える。また、上面図を図2(B)に示す。

【0049】

また、インバータ回路の作製工程の一例を図3(A)、図3(B)、及び図3(C)に示す。なお、図2(B)中の鎖線Y1-Y2で切断した断面が図3(C)に相当する。

【0050】

基板440上に、スパッタ法により第1の導電膜を形成し、第1のフォトマスクを用いて選択的に第1の導電膜のエッチングを行い、第1のゲート電極441及び第2のゲート電極442を形成する。次いで、第1のゲート電極401及び第2のゲート電極442を覆うゲート絶縁層443をプラズマCVD法またはスパッタ法を用いて形成する。ゲート絶縁層443は、CVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層又は窒化酸化シリコン層を単層で又は積層して形成することができる。また、ゲート絶縁層443として、有機シランガスを用いたCVD法により酸化シリコン層を形成することも可能である。有機シランガスとしては、珪酸エチル(TEOS:化学式 $Si(O C_2 H_5)_4$ )、テトラメチルシラン(TMS:化学式 $Si(CH_3)_4$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $SiH(O C_2 H_5)_3$ )、トリスジメチルアミノシラン( $SiH(N(CH_3)_2)_3$ )等のシリコン含有化合物を用いることができる。

【0051】

次いで、第2のフォトマスクを用いてゲート絶縁層443を選択的にエッチングして第2のゲート電極442に達するコンタクトホール444を形成する。ここまでの段階での断面図が図3(A)に相当する。

【0052】

次いで、ゲート絶縁層443上にスパッタ法により第2の導電膜を形成し、第3のフォトマスクを用いて選択的に第2の導電膜のエッチングを行い、第1配線449、第2配線450、及び第3配線451を形成する。第3配線451は、コンタクトホール444を介して第2のゲート電極442と直接接する。なお、第2の導電膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層443の表面、及びコンタクトホール444の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 $N_2O$ などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に $Cl_2$ 、 $CF_4$ などを加えた雰囲気で行ってもよい。

【0053】

次いで、酸化物半導体膜をスパッタ法により成膜する。

【0054】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0055】

10

20

30

40

50

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0056】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0057】

スパッタチャンバーとしては、上述した様々なスパッタ法を適宜用いる。

【0058】

また、成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0059】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層443の表面及び第1配線449、第2配線450、及び第3配線451に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 $N_2O$ などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に $Cl_2$ 、 $CF_4$ などを加えた雰囲気で行ってもよい。

【0060】

次いで、第4のフォトリソマスクを用いて選択的に、酸化物半導体膜エッチングを行う。このエッチングが終了した段階で第1の薄膜トランジスタ460と第2の薄膜トランジスタ461が完成する。ここまでの段階での断面図が図3(B)に相当する。

【0061】

次いで大気雰囲気下または窒素雰囲気下で200～600の加熱処理を行う。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体膜の成膜後であればいつ行ってもよい。

【0062】

次いで、保護層452を形成し、第5のフォトリソマスクを用いて保護層452を選択的にエッチングしてコンタクトホールを形成した後、第3の導電膜を形成する。最後に第6のフォトリソマスクを用いて第3の導電膜を選択的にエッチングして第2配線450と電氣的に接続する接続配線453を形成する。ここまでの段階での断面図が図3(C)に相当する。

【0063】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においても、ある一つの薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を直接接続させるためのコンタクトホールを有している。このコンタクト部は、第2のフォトリソマスクを用いてゲート絶縁層にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0064】

また、液晶表示装置や電子ペーパーにおいては、FPCなどの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第2のフォトリソマスクを用いてゲート絶縁層にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0065】

(実施の形態3)

本実施の形態では実施の形態1または実施の形態2に示した駆動回路と同一基板上に形成できる画素部の薄膜トランジスタ、及び端子部の作製工程について図4、図5、図6、図

10

20

30

40

50

7、図8、図9、図10、及び図11を用いて詳細に説明する。

【0066】

図4(A)において、透光性を有する基板100にはコーニング社の7059ガラスや1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0067】

次いで、導電層を基板100全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極101を含むゲート配線、容量配線108、及び第1の端子121)を形成する。このとき少なくともゲート電極101の端部にテーパー形状が形成されるようにエッチングする。この段階での断面図を図4(A)に示した。なお、この段階での上面図が図6に相当する。

10

【0068】

ゲート電極101を含むゲート配線と容量配線108、端子部の第1の端子121は、アルミニウム(Al)や銅(Cu)などの低抵抗導電性材料で形成することが望ましいが、Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物が用いられる。

20

【0069】

次いで、ゲート電極101上にゲート絶縁層102を全面に成膜する。ゲート絶縁層102はPCVD法またはスパッタ法などを用い、膜厚を50~250nmとする。

【0070】

例えば、ゲート絶縁層102としてPCVD法またはスパッタ法により酸化シリコン膜を用い、100nmの厚さで形成する。勿論、ゲート絶縁層102はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0071】

次いで、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してゲート電極と同じ材料の配線や電極に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路において、ゲート電極とソース電極或いはドレイン電極と直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。

30

【0072】

次いで、金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。ここではTi膜、Ndを含むアルミニウム膜、Ti膜の3層構造とする。導電膜の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、導電膜は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜は、シリコンを含むアルミニウム膜の単層構造や、チタン膜の単層構造としてもよい。

40

【0073】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してソース電極層105a及びドレイン電極層105b、接続電極120を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。ここでは、Ti膜のエッチャントとしてアンモニア過水(過酸化水素:アンモニア:水=5:2:2)を用い、Ndを含むアルミニウム膜のエッチングには燐酸と酢酸と硝酸を混ぜた溶液を用いてそれぞれエッチングを行う。このウェットエッチン

50

グにより、Ti膜とAl-Nd膜とTi膜を順次積層した導電膜をエッチングしてソース電極層105a及びドレイン電極層105bを形成する。この段階での断面図を図4(B)に示した。なお、この段階での上面図が図7に相当する。

【0074】

端子部において、接続電極120は、ゲート絶縁層に形成されたコンタクトホールを介して端子部の第1の端子121と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線或いはドレイン配線とゲート電極が直接接続される。

【0075】

次に、レジストマスクを除去した後、プラズマ処理を行う。この段階での断面図を図4(C)に示す。ここではアルゴンガスを導入してRF電源によりプラズマを発生させる逆スパッタを行い、露出しているゲート絶縁層にプラズマ処理を行う。

10

【0076】

次いで、プラズマ処理後、大気に曝すことなく酸化半導体膜を成膜する。プラズマ処理後、大気に曝すことなく酸化半導体膜を成膜することは、ゲート絶縁層と酸化半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径8インチのIn、Ga、及びZnを含む酸化半導体ターゲット( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ )を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。酸化半導体膜の膜厚は、5nm~200nmとする。本実施の形態では酸化半導体膜の膜厚は、100nmとする。

20

【0077】

酸化半導体膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、大気に曝すことなく成膜できるのであれば、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0078】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して酸化半導体層103を形成する。ここではITO07N(関東化学社製)を用いたウェットエッチングにより、不要な部分を除去して酸化半導体層103を形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。その後、レジストマスクを除去する。

30

【0079】

次いで、200~600、代表的には300~500の熱処理を行うことが好ましい。例えば炉に入れ、窒素雰囲気下または大気雰囲気下で350、1時間の熱処理を行う。以上の工程で酸化半導体層103をチャンネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図5(A)に示した。なお、この段階での上面図が図8に相当する。また、図5(A)の断面図は、実施の形態2に示した駆動回路の作製工程における図3(B)と対応する。なお、熱処理を行うタイミングは、酸化半導体膜の成膜後であれば特に限定されず、例えば保護絶縁膜形成後に行ってもよい。

40

【0080】

次いで、酸化半導体層103を覆う保護絶縁膜107を形成する。保護絶縁膜107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。また、保護絶縁膜107を形成する前に酸素ラジカル処理を酸化半導体層103表面に行うことが好ましい。酸化半導体層103表面の酸素ラジカル処理としては、プラズマ処理や逆スパッタを行えばよい。逆スパッタとは、ターゲット側に電圧を印加せずに、酸素、又は酸素及びアルゴン雰囲気下で基板側に電圧を印加して基板にプラズマを形成して表面を改質する方法である。酸素ラジカル処理を酸化半導体層103表面に行うことにより、薄膜トランジスタ170のしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチ

50

ング素子を実現できる。薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャンネルが形成されることが表示装置には望ましい。なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

【0081】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁膜107のエッチングによりドレイン電極層105bに達するコンタクトホール125を形成する。その後レジストマスクを除去する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127も形成する。なお、マスク数を削減するため、同じレジストマスクを用いてさらにゲート絶縁層をエッチングして接続電極120に達するコンタクトホール126も同じレジストマスクで形成することが好ましい。この段階での断面図を図5(B)に示す。

10

【0082】

次いで、保護絶縁膜107上に透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム( $\text{In}_2\text{O}_3$ )や酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3$   $\text{ZnO}$ )を用いても良い。

20

【0083】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極110を形成する。

【0084】

また、この第6のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び保護絶縁膜107を誘電体として、容量配線108と画素電極110とで保持容量が形成される。

【0085】

また、この第6のフォトリソグラフィ工程において、第1の端子及び第2の端子の上方をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第1の端子121と直接接続された接続電極120上に形成された透明導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極となる。

30

【0086】

次いで、レジストマスクを除去し、この段階での断面図を図5(C)に示す。なお、この段階での上面図が図9に相当する。また、図5(C)の断面図は、実施の形態2に示した駆動回路の作製工程における図3(C)と対応する。

【0087】

また、図10(A1)、図10(A2)は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図10(A1)は図10(A2)中のC1-C2線に沿った断面図に相当する。図10(A1)において、保護絶縁膜154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図10(A1)において、端子部では、ゲート配線と同じ材料で形成される第1の端子151と、ソース配線と同じ材料で形成される接続電極153とがゲート絶縁層152を介して重なり、ゲート絶縁層152に設けられたコンタクトホールを介して直接接して導通させている。また、接続電極153と透明導電膜155が保護絶縁膜154に設けられたコンタクトホールを介して直接接して導通させている。

40

【0088】

また、図10(B1)、及び図10(B2)は、ソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図10(B1)は図10(B2)中のG1-G2線に沿っ

50

た断面図に相当する。図10(B1)において、保護絶縁膜154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図10(B1)において、端子部では、ゲート配線と同じ材料で形成される電極156が、ソース配線と電氣的に接続される第2の端子150の下方にゲート絶縁層152を介して重なる。電極156は第2の端子150とは電氣的に接続しておらず、電極156を第2の端子150と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子150は、保護絶縁膜154を介して透明導電膜155と電氣的に接続している。

【0089】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

10

【0090】

こうして6回のフォトリソグラフィ工程により、6枚のフォトマスクを使用して、ボトムゲート型の薄膜トランジスタ170を有する画素部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0091】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

20

【0092】

また、本実施の形態は、図9の画素構成に限定されず、図9とは異なる上面図の例を図11に示す。図11では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第3の端子は省略することができる。なお、図11において、図9と同じ部分には同じ符号を用いて説明する。

30

【0093】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0094】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

40

【0095】

また、垂直周期を通常の垂直周期の1.5倍以上(好ましくは2倍以上)にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0096】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED(発光ダイオード)光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム基板内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して

50

複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0097】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0098】

本実施の形態で得られるnチャンネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜をチャンネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

10

【0099】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

【0100】

本実施の形態は実施の形態1、又は実施の形態2と自由に組み合わせることができる。

【0101】

（実施の形態4）

本実施の形態では、本発明の一実施の形態である半導体装置として電子ペーパーの例を示す。

20

【0102】

図12は、本発明の一実施の形態を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態3で示す薄膜トランジスタ170と同様に作製でき、ゲート絶縁層、ソース電極層、及びドレイン電極層上に酸化物半導体層を有する電気特性の高い薄膜トランジスタである。

【0103】

図12の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用い、電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

30

【0104】

薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている（図12参照。）。本実施の形態においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。

40

【0105】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m～200 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要で

50

あり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0106】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0107】

本実施の形態は、実施の形態1乃至3のいずれか一に記載した駆動回路または画素部と適宜組み合わせることで実施することが可能である。

10

【0108】

（実施の形態5）

本実施の形態では、本発明の一実施の形態である半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0109】

画素部に配置する薄膜トランジスタは、実施の形態3に従って形成する。また、実施の形態3示す薄膜トランジスタ170はnチャンネル型TFTであるため、駆動回路のうち、nチャンネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

20

【0110】

本発明の一実施の形態である半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図13(A)に示す。図13(A)に示す表示装置は、基板5300上に表示素子を備えた画素を複数有する画素部5301と、各画素を選択するゲート線駆動回路5302と、選択された画素へのビデオ信号の入力を制御するソース線駆動回路5303とを有する。

【0111】

また、実施の形態3に示す薄膜トランジスタ170は、nチャンネル型TFTであり、nチャンネル型TFTで構成するソース線駆動回路について図14を用いて説明する。

30

【0112】

図14に示すソース線駆動回路は、ドライバIC5601、スイッチ群5602\_\_1~5602\_\_M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_\_1~5621\_\_Mを有する。スイッチ群5602\_\_1~5602\_\_Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

【0113】

画素部5301は、ソース線駆動回路5303から列方向に伸張して配置された複数の信号線S1~Sm（図示せず。）によりソース線駆動回路5303と接続され、ゲート線駆動回路5302から行方向に伸張して配置された複数の走査線G1~Gn（図示せず。）によりゲート線駆動回路5302と接続され、信号線S1~Sm並びに走査線G1~Gnに対応してマトリクス状に配置された複数の画素（図示せず。）を有する。そして、各画素は、信号線Sj（信号線S1~Smのうちいずれか一）、走査線Gi（走査線G1~Gnのうちいずれか一）と接続される。

40

【0114】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621\_\_1~5621\_\_Mに接続される。そして、スイッチ群5602\_\_1~5602\_\_Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602\_\_1~5602\_\_Mそれぞれに対応した配線5621\_\_1~5621\_\_Mに接続される。そして、配線5621\_\_1~5621\_\_Mそれぞれは、第1の

50



薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線に接続される。例えば、J列目の配線5621\_\_J（配線5621\_\_1～配線5621\_\_Mのうちいずれか一）は、スイッチ群5602\_\_Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線S<sub>j</sub>-1、信号線S<sub>j</sub>、信号線S<sub>j</sub>+1に接続される。

【0115】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

【0116】

なお、ドライバIC5601は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群5602\_\_1～5602\_\_Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602\_\_1～5602\_\_MとはFPCなどを介して接続するとよい。

【0117】

次に、図14に示したソース線駆動回路の動作について、図15のタイミングチャートを参照して説明する。なお、図15のタイミングチャートは、i行目の走査線G<sub>i</sub>が選択されている場合のタイミングチャートを示している。さらに、i行目の走査線G<sub>i</sub>の選択期間は、第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>に分割されている。さらに、図14のソース線駆動回路は、他の行の走査線が選択されている場合でも図15と同様の動作をする。

【0118】

なお、図15のタイミングチャートは、J列目の配線5621\_\_Jが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線S<sub>j</sub>-1、信号線S<sub>j</sub>、信号線S<sub>j</sub>+1に接続される場合について示している。

【0119】

なお、図15のタイミングチャートは、i行目の走査線G<sub>i</sub>が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及びJ列目の配線5621\_\_Jに入力される信号5721\_\_Jを示している。

【0120】

なお、配線5621\_\_1～配線5621\_\_Mには第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間T<sub>1</sub>において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>-1に入力され、第2のサブ選択期間T<sub>2</sub>において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>に入力され、第3のサブ選択期間T<sub>3</sub>において配線5621\_\_Jに入力されるビデオ信号は信号線S<sub>j</sub>+1に入力される。さらに、第1のサブ選択期間T<sub>1</sub>、第2のサブ選択期間T<sub>2</sub>及び第3のサブ選択期間T<sub>3</sub>において、配線5621\_\_Jに入力されるビデオ信号をそれぞれData\_\_j-1、Data\_\_j、Data\_\_j+1とする。

【0121】

図15に示すように、第1のサブ選択期間T<sub>1</sub>において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j-1が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j</sub>-1に入力される。第2のサブ選択期間T<sub>2</sub>では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_jが、第2の薄膜トランジスタ5603bを介して信号線S<sub>j</sub>に入力さ

10

20

30

40

50

れる。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j+1が、第3の薄膜トランジスタ5603cを介して信号線Sj+1に入力される。

【0122】

以上のことから、図14のソース線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図14のソース線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図14のソース線駆動回路は、信頼性、歩留まりなどを向上できる。

10

【0123】

なお、図14のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0124】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

20

【0125】

別の例として、図16のタイミングチャートに示すように、1つのゲート選択期間をプリチャージ期間Tp、第1のサブ選択期間T1、第2のサブ選択期間T2、第3のサブ選択期間T3に分割してもよい。さらに、図16のタイミングチャートは、i行目の走査線Giが選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621\_\_Jに入力される信号5821\_\_Jを示している。図16に示すように、プリチャージ期間Tpにおいて第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621\_\_Jに入力されるプリチャージ電圧Vpが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線Sj-1、信号線Sj、信号線Sj+1に入力される。第1のサブ選択期間T1において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j-1が、第1の薄膜トランジスタ5603aを介して信号線Sj-1に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_\_Jに入力されるData\_\_jが、第2の薄膜トランジスタ5603bを介して信号線Sjに入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_\_Jに入力されるData\_\_j+1が、第3の薄膜トランジスタ5603cを介して信号線Sj+1に入力される。

30

40

【0126】

以上のことから、図16のタイミングチャートを適用した図14のソース線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図16において、図15と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

50

## 【0127】

また、ゲート線駆動回路の構成について説明する。ゲート線駆動回路は、シフトレジスタ、またはバッファを有している。また場合によってはレベルシフトを有していても良いし、シフトレジスタのみの構成としてもよい。ゲート線駆動回路において、シフトレジスタにクロック信号（CLK）及びスタートパルス信号（SP）が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

## 【0128】

ゲート線駆動回路の一部に用いるシフトレジスタの一形態について図17及び図18を用いて説明する。

## 【0129】

図17にシフトレジスタの回路構成を示す。図17に示すシフトレジスタは、フリップフロップ5701<sub>i</sub> ~ 5701<sub>n</sub>という複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

## 【0130】

図17のシフトレジスタの接続関係について説明する。図17のシフトレジスタは、i段目のフリップフロップ5701<sub>i</sub>（フリップフロップ5701<sub>1</sub> ~ 5701<sub>n</sub>のうちいずれか）は、図18に示した第1の配線5501が第7の配線5717<sub>i-1</sub>に接続され、図18に示した第2の配線5502が第7の配線5717<sub>i+1</sub>に接続され、図18に示した第3の配線5503が第7の配線5717<sub>i</sub>に接続され、図18に示した第6の配線5506が第5の配線5715に接続される。

## 【0131】

また、図18に示した第4の配線5504が奇数段目のフリップフロップでは第2の配線5712に接続され、偶数段目のフリップフロップでは第3の配線5713に接続され、図18に示した第5の配線5505が第4の配線5714に接続される。

## 【0132】

ただし、1段目のフリップフロップ5701<sub>1</sub>の図18に示す第1の配線5501は第1の配線5711に接続され、n段目のフリップフロップ5701<sub>n</sub>の図18に示す第2の配線5502は第6の配線5716に接続される。

## 【0133】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

## 【0134】

次に、図17に示すフリップフロップの詳細について、図18に示す。図18に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧（V<sub>gs</sub>）がしきい値電圧（V<sub>th</sub>）を上回ったとき導通状態になるものとする。

## 【0135】

図18において、第3の薄膜トランジスタ5573のゲート電極は、電源線と電氣的に接

10

20

30

40

50

続されている。また、第3の薄膜トランジスタ5573と第4の薄膜トランジスタ5574の接続させた回路(図18中鎖線で囲んだ回路)は、図2(A)に示す回路構成に相当すると言える。ここでは全ての薄膜トランジスタは、エンハンスメント型のnチャネル型トランジスタとする例を示すが、特に限定されず、例えば、第3の薄膜トランジスタ5573は、デプレッション型のnチャネル型トランジスタを用いても駆動回路を駆動させることもできる。

【0136】

次に、図18に示すフリップフロップの接続構成について、以下に示す。

【0137】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

10

【0138】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572の第2の電極が第3の配線5503に接続される。

【0139】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

20

【0140】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

【0141】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

30

【0142】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

【0143】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

40

【0144】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第

50

2の電極の接続箇所をノード5544とする。

【0145】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

【0146】

また、ソース線駆動回路及びゲート線駆動回路を実施の形態3に示すnチャンネル型TF Tのみで作製することも可能である。実施の形態3に示すnチャンネル型TF Tはトランジスタの移動度が大きいいため、駆動回路の駆動周波数を高くすることが可能となる。例えば、実施の形態3に示すnチャンネル型TF Tを用いたゲート線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

10

【0147】

さらに、ゲート線駆動回路のトランジスタのチャンネル幅を大きくすることや、複数のゲート線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数のゲート線駆動回路を配置する場合は、偶数行の走査線を駆動する為のゲート線駆動回路を片側に配置し、奇数行の走査線を駆動するためのゲート線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。また、複数のゲート線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

20

【0148】

また、本発明の一実施の形態である半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、ゲート線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図13(B)に示す。

【0149】

図13(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1のゲート線駆動回路5402及び第2のゲート線駆動回路5404と、選択された画素へのビデオ信号の入力を制御するソース線駆動回路5403とを有する。

30

【0150】

図13(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0151】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

40

【0152】

なお、図13(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TF Tを配置する場合、一方のスイッチング用TF Tのゲート配線である第1の走査線に入力される信号を第1のゲート線駆動回路5402で生成し、他方のスイッチング用TF Tのゲート配線である第2の走査線に入力される信号を第2のゲート線駆動回路5404で生成

50

している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つのゲート線駆動回路で生成するようにしても良い。また、例えば、1つの画素が有するスイッチング用TFTの数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て1つのゲート線駆動回路で生成しても良いし、複数の各ゲート線駆動回路で生成しても良い。

【0153】

また、発光表示装置においても、駆動回路のうち、nチャンネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、ソース線駆動回路及びゲート線駆動回路を実施の形態3に示すnチャンネル型TFTのみで作製することも可能である。

10

【0154】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0155】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

20

【0156】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

30

【0157】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0158】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態3の薄膜トランジスタと、実施の形態2に示す駆動回路によって得られるアクティブマトリクス基板を用いることができる。

40

【0159】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0160】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【0161】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

## 【0162】

(実施の形態6)

酸化物半導体層を用いて薄膜トランジスタを作製し、その薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、実施の形態1または実施の形態2に示すインバータ回路を駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

## 【0163】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

10

## 【0164】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一実施の形態は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

20

## 【0165】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

## 【0166】

本実施の形態では、本発明の一実施の形態である半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図19を用いて説明する。図19は、第1の基板4001上に形成されたゲート絶縁層、ソース電極層、及びドレイン電極層上に酸化物半導体層を有する電気特性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図19(B)は、図19(A1)(A2)のM-Nにおける断面図に相当する。

30

## 【0167】

第1の基板4001上に設けられた画素部4002と、ゲート線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、ゲート線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、ゲート線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成されたソース線駆動回路4003が実装されている。

40

## 【0168】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図19(A1)は、COG方法によりソース線駆動回路4003を実装する例であり、図19(A2)は、TAB方法によりソース線駆動回路4003を実装する例である。

50

## 【0169】

また第1の基板4001上に設けられた画素部4002と、ゲート線駆動回路4004は、薄膜トランジスタを複数有しており、図19(B)では、画素部4002に含まれる薄膜トランジスタ4010と、ゲート線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

## 【0170】

薄膜トランジスタ4010、4011は、ゲート絶縁層、ソース電極層、及びドレイン電極層上に酸化物半導体層を含む電気特性の高い薄膜トランジスタに相当し、実施の形態3に示す薄膜トランジスタ170を適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

10

## 【0171】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

## 【0172】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

20

## 【0173】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。

## 【0174】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{s}$ ~ $100\mu\text{s}$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

30

## 【0175】

なお本実施の形態は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

40

## 【0176】

また、本実施の形態の液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

## 【0177】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態3で得られた薄膜トランジスタ170を保護膜や平坦化絶縁膜として機能する絶縁層(絶縁層4020、絶縁層4021)で覆う構

50



成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0178】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法またはプラズマCVD法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

10

【0179】

また、保護膜の二層目として絶縁層を形成する。ここでは、ここでは、絶縁層4020の二層目として、プラズマCVD法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等のイオンが半導体領域中に侵入して、TFETの電気特性を変化させることを抑制することができる。

【0180】

また、保護膜を形成した後に、酸化物半導体層のアニール(300 ~ 400)を行ってもよい。

【0181】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(Low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。シロキサン系樹脂は、置換基として有機基(例えばアルキル基やアリアル基)やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

20

【0182】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。

30

【0183】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、酸化物半導体層のアニール(300 ~ 400)を行ってもよい。絶縁層4021の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0184】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

40

【0185】

また、画素電極層4030、対向電極層4031として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗

50

率が0.1・cm以下であることが好ましい。

【0186】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0187】

また別途形成されたソース線駆動回路4003と、ゲート線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0188】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

10

【0189】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0190】

また図19においては、ソース線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。ゲート線駆動回路を別途形成して実装しても良いし、ソース線駆動回路の一部またはゲート線駆動回路の一部のみを別途形成して実装しても良い。

20

【0191】

図20は、本発明の一実施の形態を適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0192】

図20は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

30

【0193】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

40

【0194】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0195】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

## 【0196】

(実施の形態7)

本実施の形態では、本発明の一実施の形態の半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

## 【0197】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

## 【0198】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

20

## 【0199】

図21は、本発明の一実施の形態を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

## 【0200】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

## 【0201】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに直接接続されている。なお、第2電極が駆動用トランジスタ6402のゲートに直接接続するためのコンタクトホールは、実施の形態2に示したゲート絶縁層へのエッチングにより形成することができるため、トータルのフォトリソマスク数は増加しない。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。

30

## 【0202】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

40

## 【0203】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャンネル領域

50

とゲート電極との間で容量が形成されていてもよい。

【0204】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402の $V_{th}$ )以上の電圧をかける。

【0205】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図21と同じ画素構成を用いることができる。

10

【0206】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の $V_{th}$ 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

20

【0207】

なお、図21に示す画素構成は、これに限定されない。例えば、図21に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0208】

次に、発光素子の構成について、図22を用いて説明する。ここでは、駆動用TFTがエンハンスメント型の場合を例に挙げて、画素の断面構造について説明する。図22(A)、図22(B)、図22(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態3で示す薄膜トランジスタと同様に作製でき、ゲート絶縁層、ソース電極層、及びドレイン電極層上に酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

30

【0209】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成は、どの射出構造の発光素子にも適用することができる。

【0210】

上面射出構造の発光素子について図22(A)を用いて説明する。

【0211】

図22(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図22(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むイン

40

50

ジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

【0212】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図22(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0213】

次に、下面射出構造の発光素子について図22(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図22(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図22(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5nm～30nm程度）とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図22(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図22(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

10

20

【0214】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図22(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0215】

次に、両面射出構造の発光素子について、図22(C)を用いて説明する。図22(C)では、駆動用TFT7021と電氣的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図22(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極7023として用いることができる。そして発光層7024は、図22(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図22(A)と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

30

【0216】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図22(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

40

【0217】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0218】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0219】

50

なお本実施の形態で示す半導体装置は、図 2 2 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0220】

次に、本発明の半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 2 3 を用いて説明する。図 2 3 は、第 1 の基板上に形成されたゲート絶縁層、ゲート絶縁層上にソース電極層及びドレイン電極層、ソース電極層及びドレイン電極層上に酸化物半導体層を含む電気特性の高い薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 2 3 ( B ) は、図 2 3 ( A ) の H - I における断面図に相当する。

【0221】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、ソース線駆動回路 4 5 0 3 a、4 5 0 3 b、及びゲート線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、ソース線駆動回路 4 5 0 3 a、4 5 0 3 b、及びゲート線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、ソース線駆動回路 4 5 0 3 a、4 5 0 3 b、及びゲート線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0222】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、ソース線駆動回路 4 5 0 3 a、4 5 0 3 b、及びゲート線駆動回路 4 5 0 4 a、4 5 0 4 b は、薄膜トランジスタを複数有しており、図 2 3 ( B ) では、画素部 4 5 0 2 に含まれる薄膜トランジスタ 4 5 1 0 と、ソース線駆動回路 4 5 0 3 a に含まれる薄膜トランジスタ 4 5 0 9 とを例示している。

【0223】

薄膜トランジスタ 4 5 0 9、4 5 1 0 は、ゲート絶縁層、ソース電極層、及びドレイン電極層上に酸化物半導体層を含む電気特性の高い薄膜トランジスタに相当し、実施の形態 3 に示す薄膜トランジスタ 1 7 0 を適用することができる。本実施の形態において、薄膜トランジスタ 4 5 0 9、4 5 1 0 は n チャネル型薄膜トランジスタである。

【0224】

また 4 5 1 1 は発光素子に相当し、発光素子 4 5 1 1 が有する画素電極である第 1 の電極層 4 5 1 7 は、薄膜トランジスタ 4 5 1 0 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4 5 1 1 の構成は、第 1 の電極層 4 5 1 7、電界発光層 4 5 1 2、第 2 の電極層 4 5 1 3 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4 5 1 1 から取り出す光の方向などに合わせて、発光素子 4 5 1 1 の構成は適宜変えることができる。

【0225】

隔壁 4 5 2 0 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4 5 1 7 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0226】

電界発光層 4 5 1 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0227】

発光素子 4 5 1 1 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 5 1 3 及び隔壁 4 5 2 0 上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、D L C 膜等を形成することができる。

【0228】

また、ソース線駆動回路 4 5 0 3 a、4 5 0 3 b、ゲート線駆動回路 4 5 0 4 a、4 5 0 4 b、または画素部 4 5 0 2 に与えられる各種信号及び電位は、F P C 4 5 1 8 a、4 5

10

20

30

40

50

18bから供給されている。

【0229】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0230】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0231】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

10

【0232】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0233】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ / 4板、 / 2板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

20

【0234】

ソース線駆動回路4503a、4503b、及びゲート線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、ソース線駆動回路のみ、或いは一部、又はゲート線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図23の構成に限定されない。

【0235】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

30

【0236】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0237】

（実施の形態8）

本発明の一実施の形態の半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図24、図25に示す。

40

【0238】

図24（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一実施の形態を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0239】

また、図24（B）は、電車などの乗り物の車内広告2632を示している。広告媒体が

50

紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明の一実施の形態を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【0240】

また、図25は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

【0241】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図25では表示部2705)に文章を表示し、左側の表示部(図25では表示部2707)に画像を表示することができる。

【0242】

また、図25では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

20

【0243】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0244】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0245】

(実施の形態9)

本発明の一実施の形態に係る半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

40

【0246】

図26(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0247】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機

50



9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0248】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0249】

図26(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

10

【0250】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0251】

また、デジタルフォトフレーム9700は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

20

【0252】

図27(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図27(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明の一実施の形態に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図27(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図27(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【0253】

図27(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本発明の一実施の形態に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

40

【0254】

図28(A)は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

【0255】

図28(A)に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部

50

1002を指などで触れることにより行うことができる。

【0256】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0257】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0258】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き(縦か横か)を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

【0259】

また、画面モードの切り替えは、表示部1002を触れること、又は筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0260】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0261】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0262】

図28(B)も携帯電話機の一例である。図28(B)の携帯電話機は、筐体9411に、表示部9412、及び操作ボタン9413を含む表示装置9410と、筐体9401に操作ボタン9402、外部入力端子9403、マイク9404、スピーカ9405、及び着信時に発光する発光部9406を含む通信装置9400とを有しており、表示機能を有する表示装置9410は電話機能を有する通信装置9400と矢印の2方向に脱着可能である。よって、表示装置9410と通信装置9400の短軸同士を取り付けることも、表示装置9410と通信装置9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置9400より表示装置9410を取り外し、表示装置9410を単独で用いることもできる。通信装置9400と表示装置9410とは無線通信又は有線通信により画像又は入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

【0263】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0264】

(実施の形態10)

本実施の形態では、4-inchのQVGAの液晶表示パネルを実際に作製した例を示す。

【0265】

実施の形態3に示すプロセスで得られるボトムゲートボトムコンタクト型のTFEは、ゲート絶縁膜上のソースドレイン電極配線のパターンニングをフォトリソグラフィ技術とド

10

20

30

40

50

ライエッチングで規定したサイズに形成できるため、チャンネル長の制御も微細化もでき、生産性向上とソース線駆動回路の高速動作に有利である。また、図5(C)に示すように、液晶表示装置の画素に配置する保持容量 $C_s$ は容量配線と、ゲート絶縁層と、保護絶縁膜と、画素電極とで作ることができ、酸化物半導体層(In-Ga-Zn-O系非単結晶膜)を介さないため小さな面積で容量の確保が可能となり、表示規格QVGAの4-inchパネルの場合、開口率を4%向上できる。また、ソース電極またはドレイン電極をゲート絶縁膜に形成したコンタクトホールを介して直接ゲート電極と電氣的に接続する構造(ダイレクトコンタクト構造とも呼ぶ)の使用により、シフトレジスタのコンタクトの数を低減することができる。コンタクトの数を減らすことによって歩留まり向上を図ることができる。

10

**【0266】**

実施の形態3に示すプロセスに従って、実際に作製したTF T(同一基板上の任意の32個のTF T)の測定結果を図29に示す。TF Tの条件は、ゲート酸化膜(比誘電率4.1)の膜厚200[nm]、チャンネル長 $L = 4 \mu\text{m}$ 、チャンネル幅 $W = 20 \mu\text{m}$ であり、同一基板上の任意の32個のTF Tをそれぞれ測定した。図29において、同一基板上の任意の32個のTF Tの $V_G - I_D$ 曲線はほとんど重なっており、ばらつきが少ないTF Tが得られている。図29の $V_G - I_D$ 曲線より電界効果移動度(Field effect mobility)  $\mu\text{FE}$ を算出した。算出方法は、Gradual Channel近似を仮定し、飽和領域( $V_{ds} = 10 [\text{V}]$ )において、32個のうち、電界効果移動度( $\mu\text{FE}$ )の最大値を示したTF Tの値は $11.3 [\text{cm}^2/\text{Vs}]$ である。

20

**【0267】**

図17及び図18に示したように、複数段のシフトレジスタは、ドライバ回路に用いられる。駆動電圧16[V]で設計し、電源は正電源2つと負電源1つを必要とする。ドライバ回路のTF Tのチャンネル長は $L = 10 [\mu\text{m}]$ 、チャンネル幅 $W = 50 \mu\text{m}$ である。また、ドライバ回路のシフトレジスタの段数は44段とした。実際に作製したドライバ回路のオシロスコープでの測定結果を図30に示す。図30において、一番上の波形は、シフトレジスタの最終段(44段)の出力波形で、その下が43段目、さらに下が42段目の出力波形となる。駆動電圧は16[V]である。この時の消費電流は $0.57 [\text{mA}]$ である。図30の一番下の波形は4相クロックの中の1つの波形で、この一部がシフトレジスタの42段より出力されている。ゲート線駆動回路として使用する場合、表示規格QVGAのパネルでのドライバ駆動周波数は、 $3.66 \text{kHz}$ 、ゲート選択期間は $68.31 [\mu\text{s}]$ 以下、表示規格VGAのパネルならゲート選択期間 $34.44 [\mu\text{s}]$ 以下が求められる。本実施の形態のドライバ回路は、上記仕様を満足していることがわかる。

30

**【0268】**

次に、最大駆動周波数( $606.2 \text{kHz}$ )の時のドライバ出力波形を図31に示す。4段目の波形は、4相クロックの一つで、この一部がドライバ回路の42段より出力されている。表示規格QVGAのパネルの場合、ドライバ駆動周波数は、 $234.24 \text{kHz}$ であり、ドライバ出力波形より、このドライバ回路を用いてビデオ書込みを行うと、書込み期間は $1.07 [\mu\text{s}]$ となる。この結果より、ビデオ信号の本数を増やし、分割入力してパネルにビデオデータを送ることで、同一基板の上に画素部と、ゲート線駆動回路と、ソース線駆動回路とを実装することが可能である。本実施の形態では、ビデオ信号の本数を16本とする。

40

**【0269】**

上記シフトレジスタを含む駆動回路と画素部と同一基板の上に形成し、4-inchフルカラー液晶ディスプレイを作製した。そのディスプレイの仕様を表3に示す。

**【0270】**

【表 3】

Items	Specification
Diagonal size	4.015inch
No. of pixels	320xRGBx240(QVGA)
Resolution	99.6dpi
Panel size	8.74cmx9.94cm
Driver	Integration
Aperture ratio	41.8%

10

## 【0271】

作製したディスプレイの画素数は320xRGBx240(QVGA)で、画素密度は99.6dpiである。そして、ソース線駆動回路及びゲート線駆動回路を内蔵したディスプレイである。

## 【0272】

ゲート線駆動回路は、クロック周波数3.66[kHz]、ゲート選択期間を68.31[μs]とした。ビデオ信号は、16本同時にアナログ入力を行い、スイッチを介してパネルに書込まれる。ビデオ書込み期間は1.07[μs]とし、ソース線駆動回路の駆動周波数を234.24[kHz]とした。4.015-inchのフルカラー表示アクティブマトリックス液晶ディスプレイを試作した。図32にその図を示す。同一基板上に表示部と駆動回路を形成しているため、図32に示すように表示領域の周辺にソース線駆動回路201、及びゲート線駆動回路202を有する。

20

## 【符号の説明】

## 【0273】

- 100 基板
- 101 ゲート電極
- 102 ゲート絶縁層
- 103 酸化物半導体層
- 105 a ソース電極層
- 105 b ドレイン電極層
- 107 保護絶縁膜
- 108 容量配線
- 109 酸化物半導体膜
- 110 画素電極
- 111 酸化物半導体膜
- 120 接続電極
- 121 端子
- 122 端子
- 125 コンタクトホール
- 126 コンタクトホール
- 127 コンタクトホール
- 128 透明導電膜
- 129 透明導電膜
- 131 レジストマスク
- 132 導電膜
- 150 端子
- 151 端子
- 152 ゲート絶縁層
- 153 接続電極
- 154 保護絶縁膜

30

40

50

1 5 5	透明導電膜	
1 5 6	電極	
1 7 0	薄膜トランジスタ	
2 0 1	ソース線駆動回路	
2 0 2	ゲート線駆動回路	
4 0 0	基板	
4 0 1	ゲート電極	
4 0 2	ゲート電極	
4 0 3	ゲート絶縁層	
4 0 4	コンタクトホール	10
4 0 5	酸化物半導体層	
4 0 7	酸化物半導体層	
4 0 9	配線	
4 1 0	配線	
4 1 1	配線	
4 3 0	薄膜トランジスタ	
4 3 1	薄膜トランジスタ	
4 4 0	基板	
4 4 1	ゲート電極	
4 4 2	ゲート電極	20
4 4 3	ゲート絶縁層	
4 4 4	コンタクトホール	
4 4 5	酸化物半導体層	
4 4 7	酸化物半導体層	
4 4 9	第 1 配線	
4 5 0	第 2 配線	
4 5 1	第 3 配線	
4 5 2	保護層	
4 5 3	接続配線	
4 6 0	薄膜トランジスタ	30
4 6 1	薄膜トランジスタ	
5 8 1	薄膜トランジスタ	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャビティ	
5 9 5	充填材	40
1 0 0 0	携帯電話機	
1 0 0 1	筐体	
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	50

2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	10
2 6 1 3	拡散板	
2 6 3 1	ポスター	
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	20
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	ソース線駆動回路	
4 0 0 4	ゲート線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	30
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	40
4 0 3 2	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a、	4 5 0 3 b	ソース線駆動回路
4 5 0 4 a、	4 5 0 4 b	ゲート線駆動回路
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	50

4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a、4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 3 0 0	基板	10
5 3 0 1	画素部	
5 3 0 2	ゲート線駆動回路	
5 3 0 3	ソース線駆動回路	
5 4 0 0	基板	
5 4 0 1	画素部	
5 4 0 2	ゲート線駆動回路	
5 4 0 3	ソース線駆動回路	
5 4 0 4	ゲート線駆動回路	
5 5 0 1	第 1 の配線	
5 5 0 2	第 2 の配線	20
5 5 0 3	第 3 の配線	
5 5 0 4	第 4 の配線	
5 5 0 5	第 5 の配線	
5 5 0 6	第 6 の配線	
5 5 4 3	ノード	
5 5 4 4	ノード	
5 5 7 1	第 1 の薄膜トランジスタ	
5 5 7 2	第 2 の薄膜トランジスタ	
5 5 7 3	第 3 の薄膜トランジスタ	
5 5 7 4	第 4 の薄膜トランジスタ	30
5 5 7 5	第 5 の薄膜トランジスタ	
5 5 7 6	第 6 の薄膜トランジスタ	
5 5 7 7	第 7 の薄膜トランジスタ	
5 5 7 8	第 8 の薄膜トランジスタ	
5 6 0 1	ドライバ I C	
5 6 0 2	スイッチ群	
5 6 0 3 a	第 1 の薄膜トランジスタ	
5 6 0 3 b	第 2 の薄膜トランジスタ	
5 6 0 3 c	第 3 の薄膜トランジスタ	
5 6 1 1	第 1 の配線	40
5 6 1 2	第 2 の配線	
5 6 1 3	第 3 の配線	
5 6 2 1 __ 1 ~ 5 6 2 1 __ M	配線	
5 7 0 1 __ 1 ~ 5 7 0 1 __ n	フリップフロップ	
5 7 0 1 __ i	フリップフロップ	
5 7 0 3 a	第 1 の薄膜トランジスタのオン・オフのタイミング	
5 7 0 3 b	第 2 の薄膜トランジスタのオン・オフのタイミング	
5 7 0 3 c	第 3 の薄膜トランジスタのオン・オフのタイミング	
5 8 0 3 a	第 1 の薄膜トランジスタのオン・オフのタイミング	
5 8 0 3 b	第 2 の薄膜トランジスタのオン・オフのタイミング	50

5 8 0 3 c	第 3 の薄膜トランジスタのオン・オフのタイミング	
5 7 1 1	第 1 の配線	
5 7 1 2	第 2 の配線	
5 7 1 3	第 3 の配線	
5 7 1 4	第 4 の配線	
5 7 1 5	第 5 の配線	
5 7 1 6	第 6 の配線	
5 7 1 7	第 7 の配線	
5 7 2 1	信号	
5 8 2 1	信号	10
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	20
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	30
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 4 0 0	通信装置	40
9 4 0 1	筐体	
9 4 0 2	操作ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	50

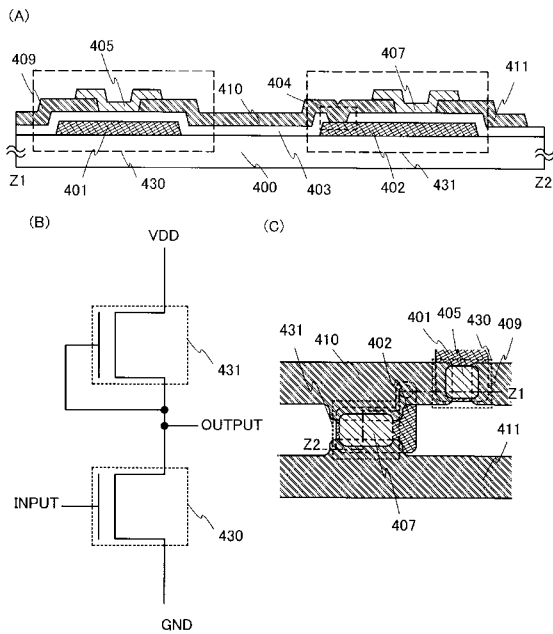


- 9 6 0 0    テレビジョン装置
- 9 6 0 1    筐体
- 9 6 0 3    表示部
- 9 6 0 5    スタンド
- 9 6 0 7    表示部
- 9 6 0 9    操作キー
- 9 6 1 0    リモコン操作機
- 9 7 0 0    デジタルフォトフレーム
- 9 7 0 1    筐体
- 9 7 0 3    表示部
- 9 8 8 1    筐体
- 9 8 8 2    表示部
- 9 8 8 3    表示部
- 9 8 8 4    スピーカ部
- 9 8 8 5    操作キー
- 9 8 8 6    記録媒体挿入部
- 9 8 8 7    接続端子
- 9 8 8 8    センサ
- 9 8 8 9    マイクロフォン
- 9 8 9 0    LEDランプ
- 9 8 9 1    筐体
- 9 8 9 3    連結部
- 9 9 0 0    スロットマシン
- 9 9 0 1    筐体
- 9 9 0 3    表示部

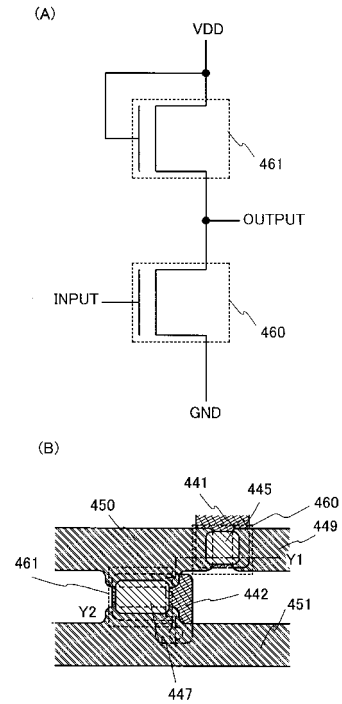
10

20

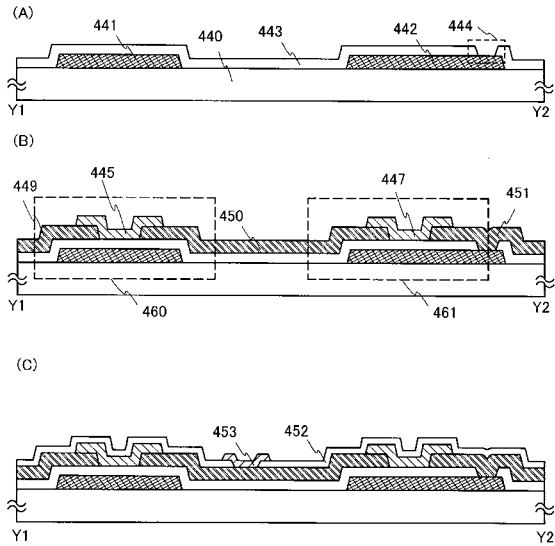
【 図 1 】



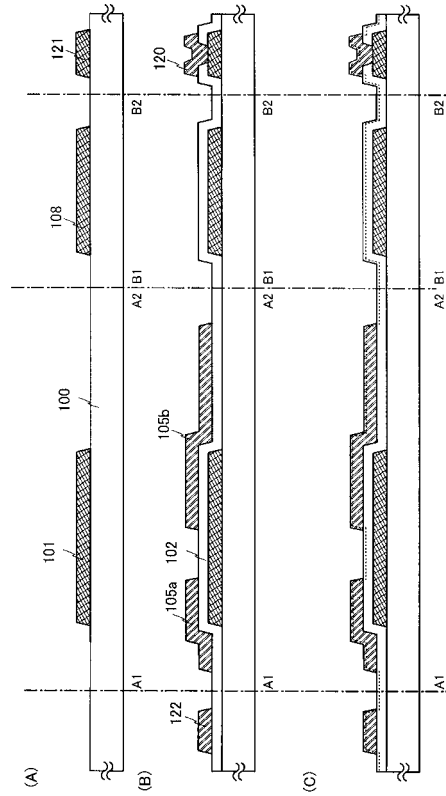
【 図 2 】



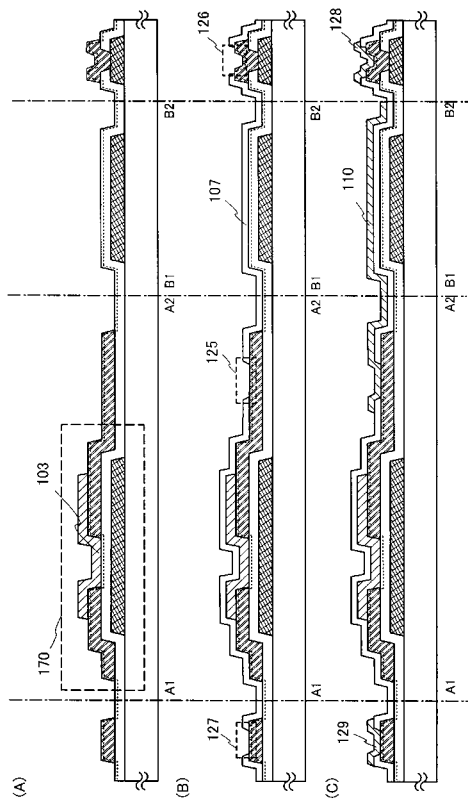
【 図 3 】



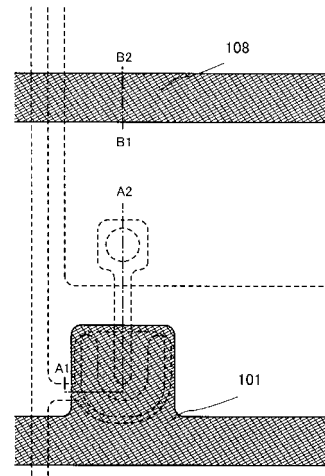
【 図 4 】



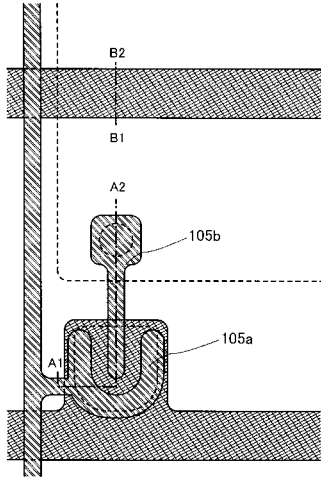
【 図 5 】



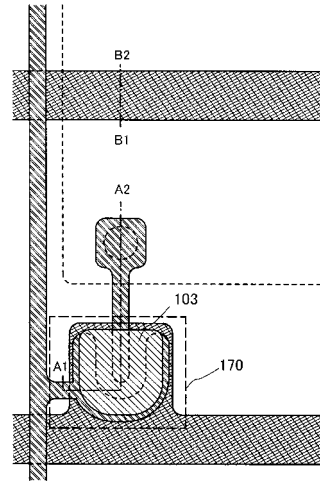
【 図 6 】



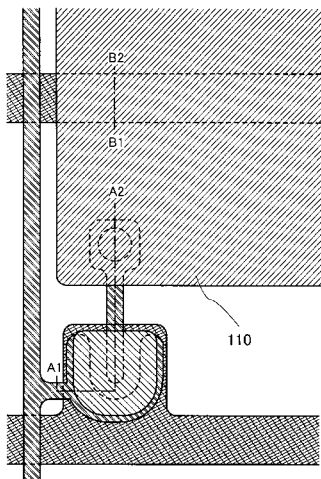
【 図 7 】



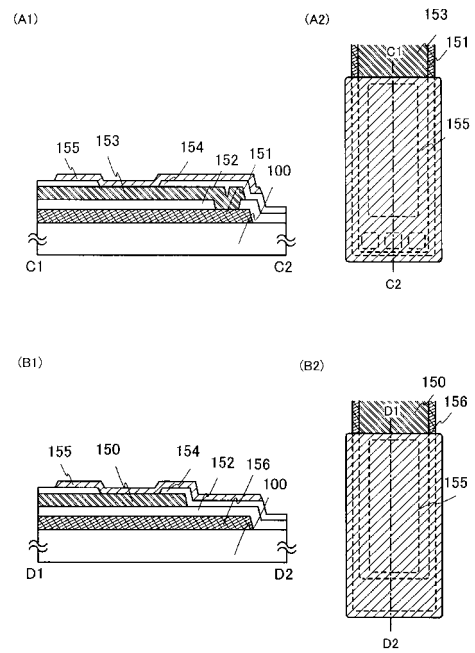
【 図 8 】



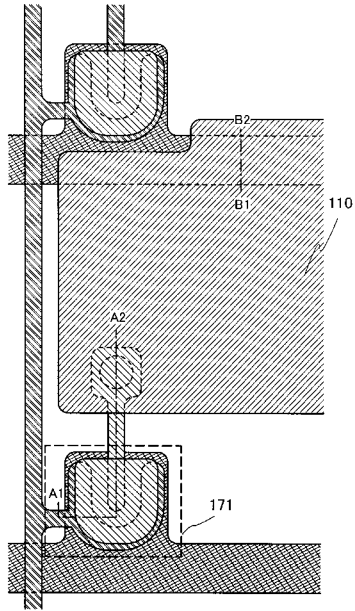
【 図 9 】



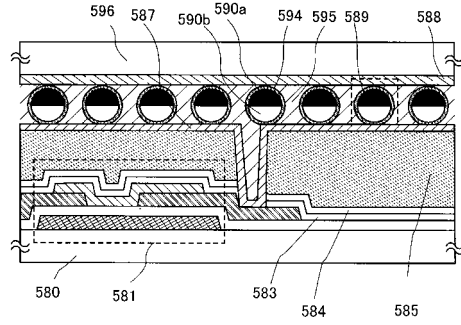
【 図 10 】



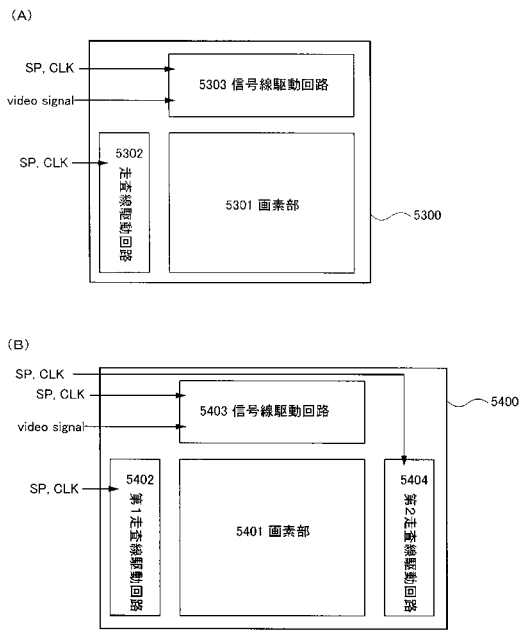
【 図 1 1 】



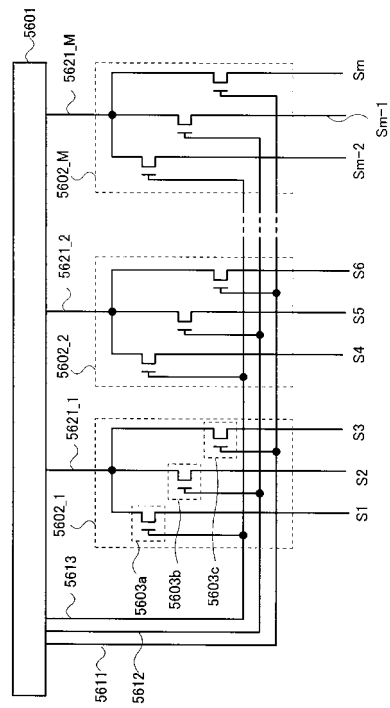
【 図 1 2 】



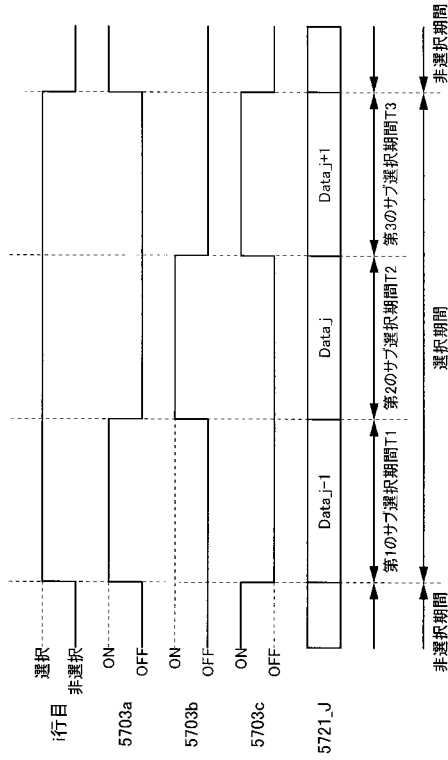
【 図 1 3 】



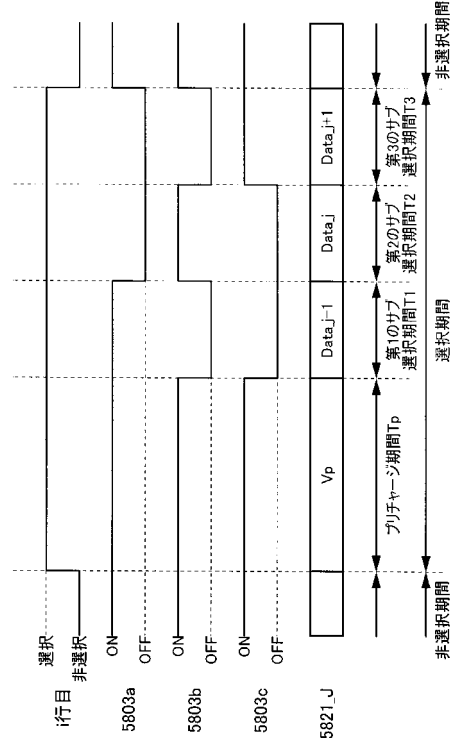
【 図 1 4 】



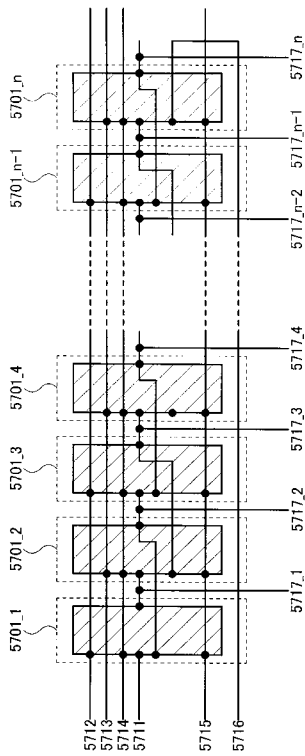
【 図 1 5 】



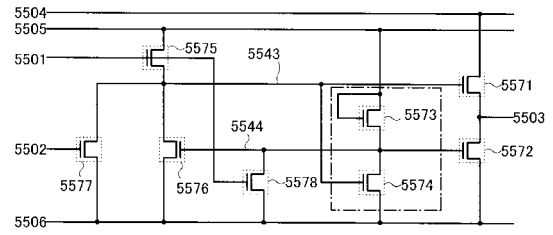
【 図 1 6 】



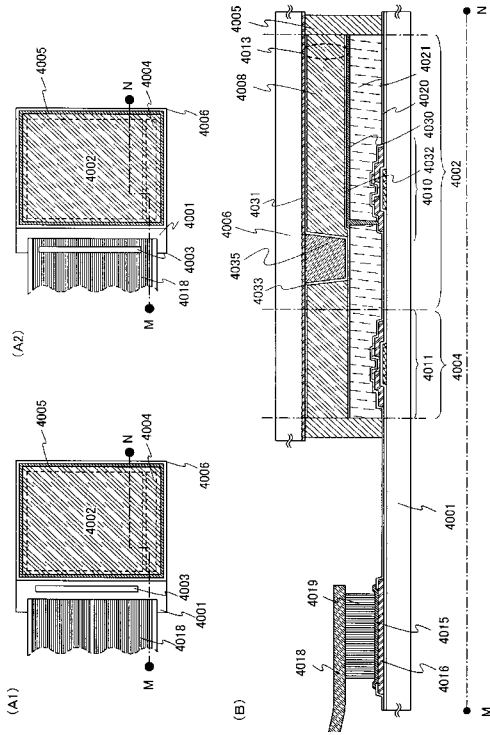
【 図 1 7 】



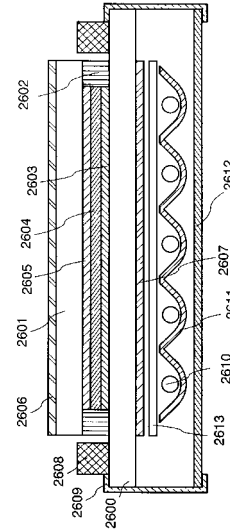
【 図 1 8 】



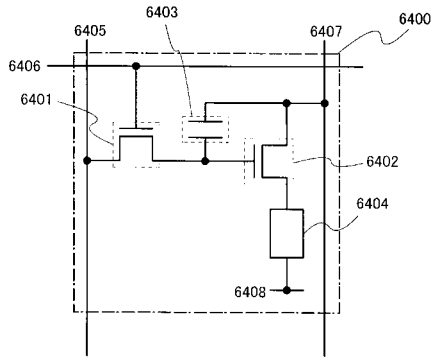
【 図 19 】



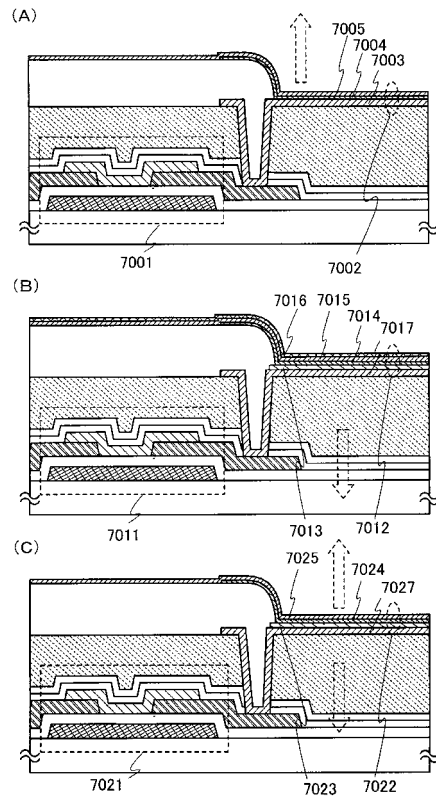
【 図 20 】



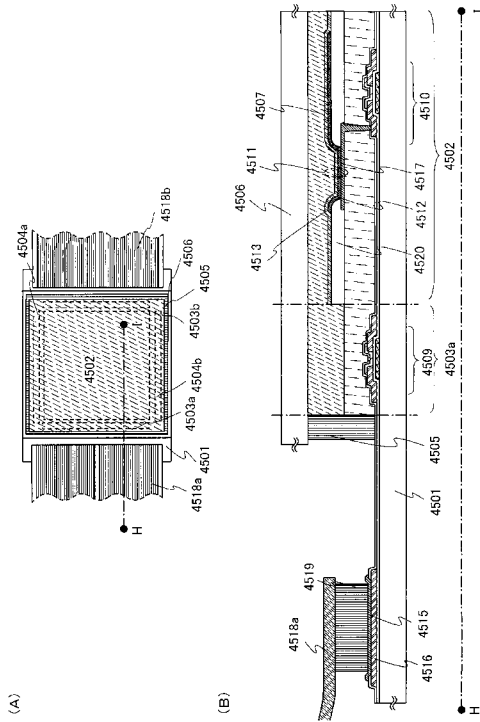
【 図 21 】



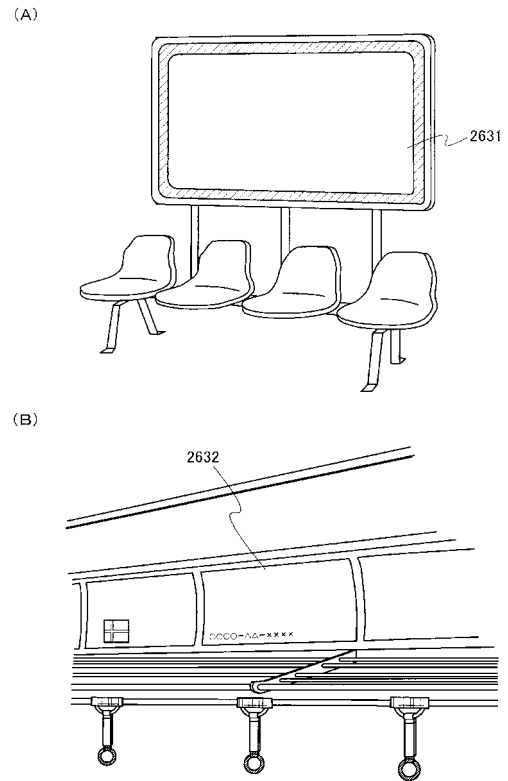
【 図 22 】



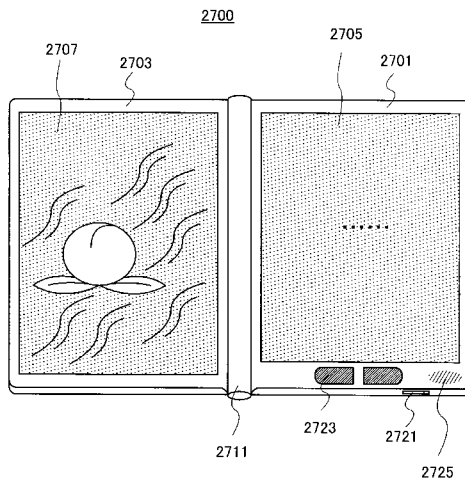
【 図 2 3 】



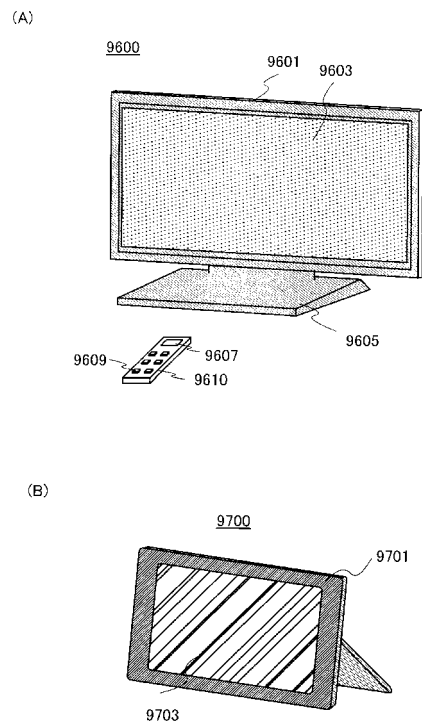
【 図 2 4 】



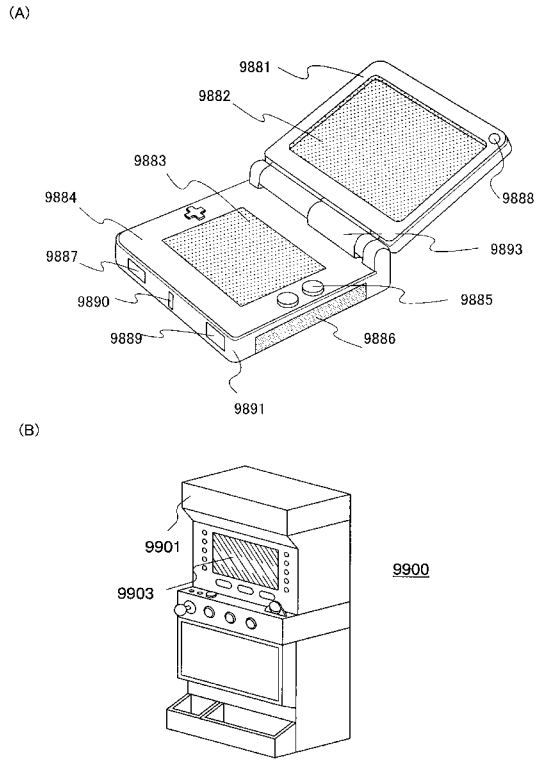
【 図 2 5 】



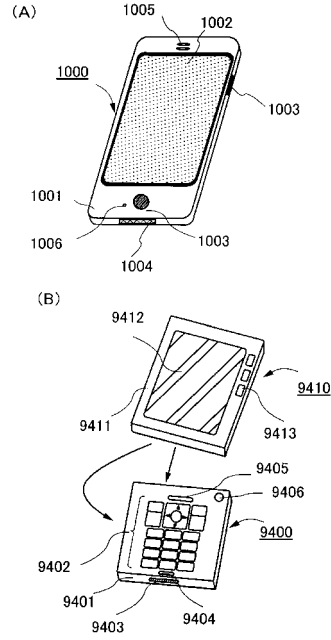
【 図 2 6 】



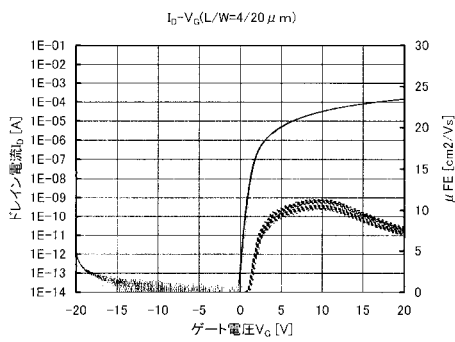
【 図 2 7 】



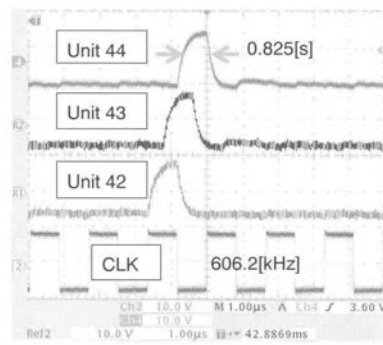
【 図 2 8 】



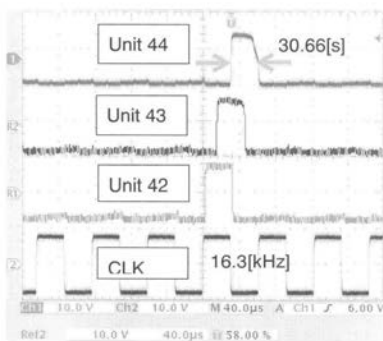
【 図 2 9 】



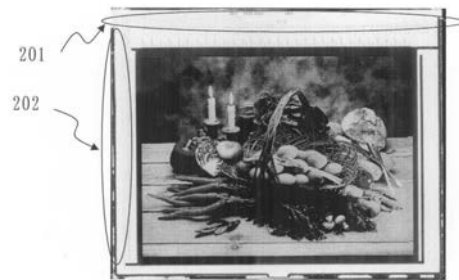
【 図 3 1 】



【 図 3 0 】



【 図 3 2 】





## 【手続補正書】

【提出日】平成28年9月27日(2016.9.27)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素部と、駆動回路部と、を有し、  
前記画素部は、第1のトランジスタを有し、  
前記第1のトランジスタは、第1の酸化物半導体膜を有し、  
前記駆動回路部は、第2のトランジスタと、第3のトランジスタと、を有し、  
前記第2のトランジスタは、  
第1のゲート電極と、  
前記第1のゲート電極上の、ゲート絶縁膜と、  
前記ゲート絶縁膜を介して、前記第1のゲート電極と重なる領域を有する第2の酸化物半導体膜と、を有し、  
前記第3のトランジスタは、  
第2のゲート電極と、  
前記第2のゲート電極上の、前記ゲート絶縁膜と、  
前記ゲート絶縁膜を介して、前記第2のゲート電極と重なる領域を有する第3の酸化物半導体膜と、を有し、  
前記ゲート絶縁膜は、コンタクトホールを有し、  
前記コンタクトホールを介して、前記第2のゲート電極と電氣的に接続された第1の配線を有し、  
前記ゲート絶縁膜を介して、前記第1のゲート電極と、前記第2のゲート電極とに重なる領域を有する第2の配線を有し、  
前記第2の配線は、前記第2の酸化物半導体膜と接する領域を有し、  
前記第2の配線は、前記第3の酸化物半導体膜と接する領域を有することを特徴とする表示装置。

【請求項2】

画素部と、駆動回路部と、を有し、  
前記画素部は、第1のトランジスタを有し、  
前記第1のトランジスタは、第1の酸化物半導体膜を有し、  
前記駆動回路部は、第2のトランジスタと、第3のトランジスタと、を有し、  
前記第2のトランジスタは、  
第1のゲート電極と、  
前記第1のゲート電極上の、ゲート絶縁膜と、  
前記ゲート絶縁膜を介して、前記第1のゲート電極と重なる領域を有する第2の酸化物半導体膜と、を有し、  
前記第3のトランジスタは、  
第2のゲート電極と、  
前記第2のゲート電極上の、前記ゲート絶縁膜と、  
前記ゲート絶縁膜を介して、前記第2のゲート電極と重なる領域を有する第3の酸化物半導体膜と、を有し、  
前記ゲート絶縁膜は、コンタクトホールを有し、  
前記コンタクトホールを介して、前記第2のゲート電極と電氣的に接続された配線を有し、  
前記配線は、前記第2の酸化物半導体膜と接する領域を有し、

前記配線は、前記第3の酸化物半導体膜と接する領域を有することを特徴とする表示装置。

## フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
<b>G 0 2 F 1/1368 (2006.01)</b>	G 0 2 F	1/1368	
<b>G 0 2 F 1/1345 (2006.01)</b>	G 0 2 F	1/1345	
<b>H 0 1 L 51/50 (2006.01)</b>	H 0 5 B	33/14	A
<b>H 0 5 B 33/14 (2006.01)</b>	H 0 5 B	33/14	Z

Fターム(参考)	2H192	AA24	BC31	CB06	CB37	CC42	DA12	FA65	FB05	FB15	FB27
			FB33	HA13							
	3K107	AA01	AA05	BB01	CC11	CC35	CC42	CC43	CC45	EE03	
	5F048	AA01	AB10	AC01	AC02	BA14	BA16	BB09	BB11	BB12	BB13
			BF02	BF07	BF11	BF12					
	5F110	AA03	AA04	BB02	CC03	DD02	EE01	EE02	EE03	EE04	EE06
		EE14	EE15	EE23	EE38	EE44	FF01	FF02	FF03	FF04	FF09
		FF28	FF29	FF30	GG01	GG19	GG24	GG25	GG43	GG57	GG58
		HK03	HK04	HK06	HK21	HK22	HK32	HK33	HK41	HL07	HL22
		HL23	HM04	HM12	HM17	NN03	NN22	NN23	NN24	NN25	NN27
		NN34	NN35	NN36	NN39	NN40	NN71	NN72	NN73	NN78	QQ19