



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 국제특허분류(Int. Cl.)

H01J 37/153 (2006.01) **H01J 37/317** (2006.01)

(52) CPC특허분류

H01J 37/153 (2013.01) **H01J 37/3174** (2013.01)

(21) 출원번호

10-2021-0172575

(22) 출원일자 2021년 12월 06일 심사청구일자 2021년12월06일

(30) 우선권주장

JP-P-2020-207702 2020년12월15일 일본(JP)

(11) 공개번호 10-2022-0085718

(43) 공개일자 2022년06월22일

(71) 출원인

가부시키가이샤 뉴플레어 테크놀로지

일본국 카나가와켄 요코하마시 이소고쿠 신스기타 쵸 8-1

(72) 발명자

마에카와 유이치

일본 가나가와켄 요코하마시 이소고쿠 신스기타쵸 8-1 가부시키가이샤 뉴플레어 테크놀로지 내

이노우에 가즈히코

일본 가나가와켄 요코하마시 이소고쿠 신스기타쵸 8-1 가부시키가이샤 뉴플레어 테크놀로지 내

(74) 대리인

장수길, 박충범

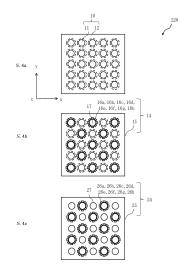
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **수차 보정기**

(57) 요 약

본 발명의 일 양태의 수차 보정기는, 멀티 전자 빔이 통과하는 복수의 제1 통과 구멍이 형성된 제1 전극 기판과, 제1 전극 기판의 하부측에 배치되며, 멀티 전자 빔이 통과하는 복수의 제2 통과 구멍이 형성되고, 복수의 제2 통 과 구멍 중 일부의 제2 통과 구멍의 주위 상면에 제2 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제1 전 극이 배치된 제2 전극 기판과, 제2 전극 기판의 하부측에 배치되며, 멀티 전자 빔이 통과하는 복수의 제3 통과 구멍이 형성되고, 복수의 제3 통과 구멍 중 복수의 제1 전극이 배치되어 있지 않은 잔부의 제2 통과 구멍에 대응 하는, 일부의 제3 통과 구멍의 주위 상면에 제3 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제2 전극이 배치된 제3 전극 기판을 구비한 것을 특징으로 한다.

대 표 도 - 도4



(52) CPC특허분류 *H01J 2237/032* (2013.01) *H01J 2237/1534* (2013.01)

명 세 서

청구범위

청구항 1

멀티 전자 빔이 통과하는 복수의 제1 통과 구멍이 형성되고, 상기 복수의 제1 통과 구멍의 내벽에 실드 전극이 배치된 제1 전극 기판과.

상기 제1 전극 기판의 하부측에 배치되며, 상기 멀티 전자 빔이 통과하는 복수의 제2 통과 구멍이 형성되고, 상기 복수의 제2 통과 구멍의 내벽에 실드 전극이 배치되고, 상기 복수의 제2 통과 구멍 중 일부의 제2 통과 구멍의 주위 상면에 제2 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제1 전극이 배치된 제2 전극 기판과,

상기 제2 전극 기판의 하부측에 배치되며, 상기 멀티 전자 빔이 통과하는 복수의 제3 통과 구멍이 형성되고, 상기 복수의 제3 통과 구멍 중 상기 복수의 제1 전극이 배치되어 있지 않은 잔부의 제2 통과 구멍에 대응하는, 일부의 제3 통과 구멍의 주위 상면에 제3 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제2 전극이 배치된 제3 전극 기판

을 구비하고,

상기 복수의 제1 전극이 배치되는 상기 일부의 제2 통과 구멍은, 제1 구멍 직경으로 형성되고, 상기 제1 전극기판의 상기 복수의 제1 통과 구멍 중 상기 일부의 제2 통과 구멍 위에 위치하는 일부의 제1 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 제2 구멍 직경이 되고, 상기 도중부터 상기 제1 전극 기판의 이면까지 상기 제1 구멍 직경과 제2 구멍 직경보다 큰 제3 구멍 직경으로 형성되고,

상기 복수의 제2 전극이 배치되는 상기 일부의 제3 통과 구멍은, 상기 제1 구멍 직경으로 형성되고, 상기 제2 전극 기판의 상기 복수의 제2 통과 구멍 중 상기 일부의 제3 통과 구멍 위에 위치하는 잔부의 제2 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 상기 제2 구멍 직경이 되고, 상기 도중부터 상기 제2 전극 기판의 이면까지 상기 제1 구멍 직경과 제2 구멍 직경보다 큰 상기 제3 구멍 직경으로 형성되는 것을 특징으로 하는, 수차 보정기.

청구항 2

제1항에 있어서,

상기 복수의 제1 전극에 접속되는 복수의 제1 배선은, 상기 복수의 제1 전극이 배치되는 전극 기판과 동일한 전 극 기판에 교차하지 않고 배치되고,

상기 복수의 제2 전극에 접속되는 복수의 제2 배선은, 상기 복수의 제2 전극이 배치되는 전극 기판과 동일한 전 극 기판에 교차하지 않고 배치되는 것을 특징으로 하는, 수차 보정기.

청구항 3

제1항에 있어서,

상기 일부의 제1 통과 구멍의 상기 제3 구멍 직경으로 형성된 부분과 인접하는 제1 통과 구멍과의 사이의 거리를, 상기 제1 전극 기판과 제2 전극 기판 사이의 간극으로 나눈 값이 역치 이상이 되도록 형성되는 것을 특징으로 하는, 수차 보정기.

청구항 4

제1항에 있어서,

상기 제1 전극 기판의 두께 중 상기 제3 구멍 직경으로 상기 일부의 제1 통과 구멍이 형성된 부분의 두께가, 상기 제1 전극 기판과 제2 전극 기판 사이의 간극보다 커지도록 상기 제1 전극 기판과 제2 전극 기판이 배치되는 것을 특징으로 하는, 수차 보정기.

청구항 5

멀티 전자 빔이 통과하는 복수의 제1 통과 구멍이 형성되고, 상기 복수의 제1 통과 구멍 중 일부의 제1 통과 구멍의 주위 이면에 제1 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제1 전극이 배치된 제1 전극 기판과,

상기 제1 전극 기판의 하부측에 배치되며, 상기 멀티 전자 빔이 통과하는 복수의 제2 통과 구멍이 형성되고, 상기 복수의 제2 통과 구멍 중 상기 복수의 제1 전극이 배치되어 있지 않은 잔부의 제1 통과 구멍에 대응하는, 일부의 제2 통과 구멍의 주위 상면에 제2 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제2 전극이 배치된 제2 전극 기판

을 구비한 것을 특징으로 하는, 수차 보정기.

청구항 6

제5항에 있어서,

상기 복수의 제2 전극이 배치되는 상기 일부의 제2 통과 구멍은, 제1 구멍 직경으로 형성되고, 상기 제1 전극 기판의 상기 복수의 제1 통과 구멍 중 상기 일부의 제2 통과 구멍 위에 위치하는 잔부의 제1 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 제2 구멍 직경이 되고, 상기 도중부터 상기 제1 전극 기판의 이면까지 상기 제1 구멍 직경과 제2 구멍 직경보다 큰 제3 구멍 직경으로 형성되고,

상기 복수의 제1 전극이 배치되는 상기 일부의 제1 통과 구멍은, 상기 제1 구멍 직경으로 형성되고, 상기 제2 전극 기판의 상기 복수의 제2 통과 구멍 중 상기 일부의 제1 통과 구멍 아래에 위치하는 잔부의 제2 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 상기 제3 구멍 직경이 되고, 상기 도중부터 상기 제2 전극 기판의 이면까지 상기 제2 구멍 직경으로 형성되는 것을 특징으로 하는, 수차 보정기.

청구항 7

제5항에 있어서,

상기 복수의 제1 전국에 접속되는 복수의 제1 배선은, 상기 복수의 제1 전국이 배치되는 전국 기판과 동일한 전 국 기판에 교차하지 않고 배치되고.

상기 복수의 제2 전극에 접속되는 복수의 제2 배선은, 상기 복수의 제2 전극이 배치되는 전극 기판과 동일한 전 극 기판에 교차하지 않고 배치되는 것을 특징으로 하는, 수차 보정기.

청구항 8

제5항에 있어서.

상기 제1 전극 기판과 제2 전극 기판 사이에 배치되며, 상기 멀티 전자 빔이 통과하는 복수의 제3 통과 구멍이 형성된 제3 전극 기판을 더 구비하고,

상기 복수의 제1 통과 구멍은, 제1 구멍 직경으로 형성되고,

상기 복수의 제3 통과 구멍 중 상기 복수의 제1 전극이 배치되지 않는 상기 잔부의 제1 통과 구멍 아래에 위치하는 잔부의 제3 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 제2 구멍 직경이 되고, 상기 도중부터 상기 제3 전극 기판의 이면까지 상기 제1 구멍 직경과 제2 구멍 직경보다 큰 제3 구멍 직경으로 형성되고,

상기 복수의 제3 통과 구멍 중 상기 복수의 제1 전극이 배치되는 상기 일부의 제1 통과 구멍 아래에 위치하는 일부의 제3 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 상기 제3 구멍 직경이 되고, 상기 도중부터 상기 제3 전극 기판의 이면까지 상기 제2 구멍 직경으로 형성되는 것을 특징으로 하는, 수차 보정기.

청구항 9

제1항에 있어서,

상기 복수의 제2 통과 구멍 중 상기 복수의 제1 전극이 배치된 상기 일부의 제2 통과 구멍과, 상기 복수의 제1 전극이 배치되지 않는 상기 잔부의 제2 통과 구멍이 교호로 배치되는 것을 특징으로 하는, 수차 보정기.

청구항 10

제5항에 있어서,

상기 복수의 제1 통과 구멍 중 상기 복수의 제1 전극이 배치된 상기 일부의 제1 통과 구멍과, 상기 복수의 제1 전극이 배치되지 않는 상기 잔부의 제1 통과 구멍이 교호로 배치되는 것을 특징으로 하는, 수차 보정기.

발명의 설명

기술분야

- [0001] 본 명세서는, 일본에서 2020년 12월 15일자로 출원된 일본 특허 출원 제2020-207702호에 기초하고 그 우선권의 이익을 주장하며, 그 전체 내용은 본 명세서에 참조로 포함된다.
- [0002] 본 발명은, 수차 보정기에 관한 것이다. 예를 들어, 멀티 전자 빔의 수차를 보정하는 다극자 렌즈 어레이 및 멀티 전자 빔을 조사하는 장치에 사용되는 수차 보정기에 관한 것이다.

배경기술

- [0003] 근년, 대규모 집적 회로(LSI)의 고집적화 및 대용량화에 수반하여, 반도체 소자에 요구되는 회로 선폭은 점점 좁아지고 있다. 그리고 다대한 제조 비용이 드는 LSI의 제조에 있어서, 수율의 향상은 불가결하다. 그러나 1 기가비트급의 DRAM(랜덤 액세스 메모리)로 대표되는 바와 같이, LSI를 구성하는 패턴은, 서브미크론 내지 나노미터 오더로 되어 있다. 근년, 반도체 웨이퍼 위에 형성되는 LSI 패턴 치수의 미세화에 수반하여, 패턴 결함으로서 검출해야 할 치수도 매우 작은 것으로 되어 있다. 따라서, 반도체 웨이퍼 위에 전사된 초미세 패턴의 결함을 검사하는 패턴 검사 장치의 고정밀도화가 필요하다.
- [0004] 검사 방법으로서는, 반도체 웨이퍼나 리소그래피 마스크 등의 기판 위에 형성되어 있는 패턴을 촬상한 측정 화상과, 설계 데이터, 혹은 기판 상의 동일 패턴을 촬상한 측정 화상과 비교함으로써 검사를 행하는 방법이 알려져 있다. 예를 들어, 패턴 검사 방법으로서, 동일 기판 상의 다른 장소의 동일 패턴을 촬상한 측정 화상 데이터끼리를 비교하는 「die to die(다이-다이) 검사」나, 패턴 설계된 설계 데이터를 기초로 설계 화상 데이터(참조 화상)를 생성하여, 그것과 패턴을 촬상한 측정 데이터가 되는 측정 화상을 비교하는 「die to database(다이-데이터베이스) 검사」가 있다. 촬상된 화상은 측정 데이터로서 비교 회로로 보내진다. 비교 회로에서는, 화상끼리의 위치 정렬 후, 측정 데이터와 참조 데이터를 적절한 알고리즘에 따라서 비교하고, 일치하지 않는 경우에는 패턴 결함 있음이라고 판정한다.
- [0005] 상술한 패턴 검사 장치에는, 레이저광을 검사 대상 기판에 조사하여, 그 투과상 혹은 반사상을 촬상하는 장치외에, 검사 대상 기판 위를 전자 범으로 주사(스캔)하여, 전자 범의 조사에 수반하여 검사 대상 기판으로부터 방출되는 2차 전자를 검출하여, 패턴상을 취득하는 검사 장치의 개발도 진행되고 있다. 전자 범을 사용한 검사 장치에서는 또한, 멀티 범을 사용한 장치의 개발도 진행되고 있다. 멀티 범을 사용한 전자 광학계에서는, 축외 비점이나 디스토션(왜곡 수차)과 같은 수차가 발생할 수 있다. 전자 범을 사용한 검사 장치에서는, 검사를 행하기 위해 고정밀도의 화상을 취득할 필요가 있다. 이러한 수차의 보정은, 멀티 범의 각 범을 개별적으로 궤도 보정할 필요가 있다. 예를 들어, 각 범 독립의 다극자 렌즈를 어레이상으로 배치하는 것을 들 수 있다.

발명의 내용

해결하려는 과제

- [0006] 여기서, 다극자 렌즈를 어레이상으로 배치하기 위해서는, 각 범용의 다극자에 접속되는 각 배선을 기판 위에 배치하는 것이 필요해진다. 그러나 범간 피치가 좁은 상태에서 범 수가 많아지면, 각 범용의 다극자에 접속되는 복수의 배선을 기판 위에 배치하는 것이, 배선 스페이스상 곤란해진다. 그 때문에, 다극자가 배치되는 기판 내에 다층 배선을 형성하는 것도 생각할 수 있지만, 다층 배선으로 하면 전극과의 콘택트 불량이나 배선의 단선 불량과 같은 배선 불량 등이 발생하기 쉬워진다고 하는 문제가 있었다.
- [0007] 여기서, 2극의 전극으로 구성되는 블랭킹 편향기 어레이를 2매의 기판으로 분산하고, 2매의 전극용 기판을 다충 배선이 형성된 2매의 배선용 기판 사이에 끼워 넣어, 각 전극과 콘택트하는 편향기 어레이가 개시되어 있다(예를 들어, 일본 특허 공개 제2008-041870호 공보 참조).

과제의 해결 수단

[0008] 본 발명의 일 양태의 수차 보정기는,

- [0009] 멀티 전자 빔이 통과하는 복수의 제1 통과 구멍이 형성되고, 복수의 제1 통과 구멍의 내벽에 실드 전극이 배치된 제1 전극 기판과,
- [0010] 제1 전극 기판의 하부측에 배치되며, 멀티 전자 빔이 통과하는 복수의 제2 통과 구멍이 형성되고, 복수의 제2 통과 구멍이 내벽에 실드 전극이 배치되고, 복수의 제2 통과 구멍 중 일부의 제2 통과 구멍의 주위 상면에 제2 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제1 전극이 배치된 제2 전극 기판과,
- [0011] 제2 전극 기판의 하부측에 배치되며, 멀티 전자 빔이 통과하는 복수의 제3 통과 구멍이 형성되고, 복수의 제3 통과 구멍 중 복수의 제1 전극이 배치되어 있지 않은 잔부의 제2 통과 구멍에 대응하는, 일부의 제3 통과 구멍 의 주위 상면에 제3 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제2 전극이 배치된 제3 전극 기판
- [0012] 을 구비하고,
- [0013] 복수의 제1 전극이 배치되는 일부의 제2 통과 구멍은, 제1 구멍 직경으로 형성되고, 제1 전극 기판의 복수의 제 1 통과 구멍 중 일부의 제2 통과 구멍 위에 위치하는 일부의 제1 통과 구멍은, 상면으로부터 이면을 향하는 도 중까지 제2 구멍 직경이 되고, 도중부터 제1 전극 기판의 이면까지 제1과 제2 구멍 직경보다 큰 제3 구멍 직경으로 형성되고,
- [0014] 복수의 제2 전극이 배치되는 일부의 제3 통과 구멍은, 제1 구멍 직경으로 형성되고, 제2 전극 기판의 복수의 제2 통과 구멍 중 일부의 제3 통과 구멍 위에 위치하는 잔부의 제2 통과 구멍은, 상면으로부터 이면을 향하는 도중까지 상기 제2 구멍 직경이 되고, 도중부터 제2 전극 기판의 이면까지 제1과 제2 구멍 직경보다 큰 제3 구멍 직경으로 형성되는 것을 특징으로 한다.
- [0015] 본 발명의 다른 양태의 수차 보정기는,
- [0016] 멀티 전자 빔이 통과하는 복수의 제1 통과 구멍이 형성되고, 복수의 제1 통과 구멍 중 일부의 제1 통과 구멍의 주위 이면에 제1 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제1 전극이 배치된 제1 전극 기판과.
- [0017] 제1 전극 기판의 하부측에 배치되며, 멀티 전자 빔이 통과하는 복수의 제2 통과 구멍이 형성되고, 복수의 제2 통과 구멍 중 복수의 제1 전극이 배치되어 있지 않은 잔부의 제1 통과 구멍에 대응하는, 일부의 제2 통과 구멍 의 주위 상면에 제2 통과 구멍마다 개별적으로 각각 4극 이상의 복수의 제2 전극이 배치된 제2 전극 기판
- [0018] 을 구비한 것을 특징으로 한다.

도면의 간단한 설명

[0019] 도 1은 실시 형태 1에 있어서의 패턴 검사 장치의 구성을 도시하는 구성도이다.

도 2는 실시 형태 1에 있어서의 성형 애퍼처 어레이 기판의 구성을 도시하는 개념도이다.

도 3은 실시 형태 1의 비교예 1이 되는 수차 보정기의 단면 구성의 일례를 도시하는 도면이다.

도 4a 내지 도 4c는 실시 형태 1에 있어서의 수차 보정기의 각 전극 기판의 구성의 일례를 도시하는 상면도이다.

도 5는 실시 형태 1에 있어서의 수차 보정기의 2단째의 기판 위에 배치되는 다극자의 배선의 일례를 도시하는 상면도이다.

도 6은 실시 형태 1에 있어서의 수차 보정기의 3단째의 기판 위에 배치되는 다극자의 배선의 일례를 도시하는 상면도이다.

도 7은 실시 형태 1에 있어서의 수차 보정기의 구성의 일례를 도시하는 단면도이다.

도 8은 실시 형태 1에 있어서의 수차 보정기의 하나의 빔용의 전극 사이에 발생하는 전기장의 일례를 도시하는 도면이다.

도 9a와 도 9b는 실시 형태 1에 있어서의 전기장의 감쇠를 설명하기 위한 도면이다.

도 10은 실시 형태 1과 비교예 2에 있어서의 편향량과 인가 전위의 관계의 일례를 도시하는 도면이다.

도 11a와 도 11b는 실시 형태 1에 있어서의 왜곡 수차(디스토션)의 일례를 도시하는 도면이다.

도 12a와 도 12b는 실시 형태 1에 있어서의 비점의 일례를 도시하는 도면이다.

- 도 13a와 도 13b는 실시 형태 1에 있어서의 비점의 다른 일례를 도시하는 도면이다.
- 도 14는 실시 형태 1에 있어서의 반도체 기판에 형성되는 복수의 칩 영역의 일례를 도시하는 도면이다.
- 도 15는 실시 형태 1에 있어서의 멀티 빔의 스캔 동작을 설명하기 위한 도면이다.
- 도 16은 실시 형태 1에 있어서의 비교 회로 내의 구성의 일례를 도시하는 구성도이다.
- 도 17a와 도 17b는 실시 형태 2에 있어서의 수차 보정기의 각 전극 기관의 구성의 일례를 도시하는 상면도이다.
- 도 18은 실시 형태 2에 있어서의 수차 보정기의 구성의 일례를 도시하는 단면도이다.
- 도 19a와 도 19b는 실시 형태 3에 있어서의 수차 보정기의 제1과 제3 전극 기판의 구성의 일례를 도시하는 상면 도이다.
- 도 20은 실시 형태 3에 있어서의 수차 보정기의 구성의 일례를 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 실시 형태에서는, 배선 불량을 저감시키는 것이 가능한, 멀티 전자 빔용의 다극자 렌즈를 어레이 배치하는 수차 보정기를 설명한다.
- [0021] 또한, 이하, 실시 형태에서는, 멀티 전자 빔 조사 장치의 일례로서, 멀티 전자 빔 검사 장치에 대해 설명한다. 단, 멀티 전자 빔 조사 장치는, 검사 장치에 한정되는 것은 아니며, 묘화 장치 등, 예를 들어 전자 광학계를 사용하여 멀티 전자 빔을 조사하는 장치이면 상관없다.
- [0022] 실시 형태 1.
- [0023] 도 1은 실시 형태 1에 있어서의 패턴 검사 장치의 구성을 도시하는 구성도이다. 도 1에 있어서, 기관에 형성된 패턴을 검사하는 검사 장치(100)는, 멀티 전자 빔 검사 장치의 일례이다. 검사 장치(100)는, 화상 취득 기구(150), 및 제어계 회로(160)를 구비하고 있다. 화상 취득 기구(150)는, 전자 빔 칼럼(102)(전자 경통) 및 검사실(103)을 갖고 있다. 전자 빔 칼럼(102) 내에는, 전자총(201), 전자 렌즈(202), 성형 애퍼처 어레이 기판(203), 전자 렌즈(205), 수차 보정기(220), 정전 렌즈 어레이(221), 일괄 블랭킹 편향기(212), 제한 애퍼처 기판(213), 전자 렌즈(206), 전자 렌즈(207)(대물 렌즈), 주편향기(208), 부편향기(209), 빔 세퍼레이터(214), 편향기(218), 전자 렌즈(224), 및 멀티 검출기(222)가 배치되어 있다. 전자총(201), 전자 렌즈(202), 성형 애퍼처 어레이 기판(203), 전자 렌즈(205), 수차 보정기(220), 정전 렌즈 어레이(221), 일괄 블랭킹 편향기(212), 제한 애퍼처 기판(213), 전자 렌즈(206), 전자 렌즈(207)(대물 렌즈), 주편향기(208), 및 부편향기(209)에 의해 1차 전자 광학계를 구성한다. 또한, 전자 렌즈(207), 빔 세퍼레이터(214), 편향기(218), 및 전자 렌즈(224)에 의해 2차 전자 광학계를 구성한다.
- [0024] 검사실(103) 내에는, 적어도 XY 방향으로 이동 가능한 스테이지(105)가 배치된다. 스테이지(105) 위에는, 검사 대상이 되는 기판(101)(시료)이 배치된다. 기판(101)에는, 노광용 마스크 기판, 및 실리콘 웨이퍼 등의 반도체 기판이 포함된다. 기판(101)이 반도체 기판인 경우, 반도체 기판에는 복수의 칩 패턴(웨이퍼 다이)이 형성되어 있다. 기판(101)이 노광용 마스크 기판인 경우, 노광용 마스크 기판에는 칩 패턴이 형성되어 있다. 칩 패턴은, 복수의 도형 패턴에 의해 구성된다. 이러한 노광용 마스크 기판에 형성된 칩 패턴이 반도체 기판 위에 복수 회 노광 전사됨으로써, 반도체 기판에는 복수의 칩 패턴(웨이퍼 다이)이 형성되게 된다. 이하, 기판(101)이 반도체 기판인 경우를 주로 설명한다. 기판(101)은, 예를 들어 패턴 형성면을 상측을 향하게 하여 스테이지(105)에 배치된다. 또한, 스테이지(105) 위에는, 검사실(103)의 외부에 배치된 레이저 측장 시스템(122)으로 부터 조사되는 레이저 측장용의 레이저광을 반사하는 미러(216)가 배치되어 있다. 멀티 검출기(222)는, 전자 빔 칼럼(102)의 외부에서 검출 회로(106)에 접속된다. 검출 회로(106)는, 칩 패턴 메모리(123)에 접속된다.
- [0025] 제어계 회로(160)에서는, 검사 장치(100) 전체를 제어하는 제어 계산기(110)가, 버스(120)를 통해, 위치 회로 (107), 비교 회로(108), 참조 화상 작성 회로(112), 스테이지 제어 회로(114), 수차 보정 회로(121), 렌즈 제어 회로(124), 블랭킹 제어 회로(126), 편향 제어 회로(128), 자기 디스크 장치 등의 기억 장치(109), 모니터 (117), 메모리(118), 및 프린터(119)에 접속되어 있다. 또한, 편향 제어 회로(128)는, DAC(디지털 아날로그 변환) 증폭기(144, 146, 148)에 접속된다. DAC 증폭기(146)는 주편향기(208)에 접속되고, DAC 증폭기(144)는 부편향기(209)에 접속된다. DAC 증폭기(148)는 편향기(218)에 접속된다.
- [0026] 또한, 칩 패턴 메모리(123)는, 비교 회로(108)에 접속되어 있다. 또한, 스테이지(105)는, 스테이지 제어 회로

(114)의 제어 하에서 구동 기구(142)에 의해 구동된다. 구동 기구(142)에서는, 예를 들어 스테이지 좌표계에 있어서의 X 방향, Y 방향, Θ 방향으로 구동하는 3축(X-Y- Θ) 모터와 같은 구동계가 구성되어, XY Θ 방향으로 스테이지(105)가 이동 가능하게 되어 있다. 이들, 도시하지 않은 X축 모터, Y축 모터, Θ 축 모터는, 예를 들어 스텝 모터를 사용할 수 있다. 스테이지(105)는, XY Θ 각 축의 모터에 의해 수평 방향 및 회전 방향으로 이동 가능하다. 그리고 스테이지(105)의 이동 위치는 레이저 측장 시스템(122)에 의해 측정되어, 위치 회로(107)에 공급된다. 레이저 측장 시스템(122)은, 미러(216)로부터의 반사광을 수광함으로써, 레이저 간섭법의 원리로 스테이지(105)의 위치를 측장한다. 스테이지 좌표계는, 예를 들어 멀티 1차 전자 빔(20)의 광축에 직교하는 면에 대해 X 방향, Y 방향, Θ 방향이 설정된다.

- [0027] 전자 렌즈(202), 전자 렌즈(205), 전자 렌즈(206), 전자 렌즈(207)(대물 렌즈), 전자 렌즈(224), 및 빔 세퍼레이터(214)는, 렌즈 제어 회로(124)에 의해 제어된다. 또한, 일괄 블랭킹 편향기(212)는, 2극 이상의 전극에 의해 구성되고, 전극마다 도시하지 않은 DAC 증폭기를 통해 블랭킹 제어 회로(126)에 의해 제어된다. 수차 보정기(220)는, 후술하는 바와 같이 3단 이상의 전극 기판에 의해 구성되고, 수차 보정 회로(121)에 의해 제어된다. 정전 렌즈 어레이(221)는, 3단 이상의 전극 기판에 의해 구성되고, 수차 보정 회로(121)에 의해 제어된다. 부편향기(209)는, 4극 이상의 전극에 의해 구성되고, 전극마다 DAC 증폭기(144)를 통해 편향 제어 회로(128)에 의해 제어된다. 주편향기(208)는, 4극 이상의 전극에 의해 구성되고, 전극마다 DAC 증폭기(146)를 통해 편향 제어 회로(128)에 의해 제어된다. 편향기(218)는, 4극 이상의 전극에 의해 구성되고, 전극마다 DAC 증폭기(148)를 통해 편향 제어 회로(128)에 의해 제어된다.
- [0028] 전자총(201)에는, 도시하지 않은 고압 전원 회로가 접속되고, 전자총(201) 내의 도시하지 않은 필라멘트(캐소드)와 인출 전극(애노드) 사이로의 고압 전원 회로로부터의 가속 전압의 인가와 함께, 다른 인출 전극(웨넬트)의 전압의 인가와 소정의 온도의 캐소드의 가열에 의해 캐소드로부터 방출된 전자군이 가속되어, 전자 빔(200)이 되어 방출된다.
- [0029] 여기서, 도 1에서는, 실시 형태 1을 설명하는 데 있어서 필요한 구성을 기재하고 있다. 검사 장치(100)에 있어서, 통상 필요한 그 밖의 구성을 구비하고 있어도 상관없다.
- [0030] 도 2는 실시 형태 1에 있어서의 성형 애퍼처 어레이 기판의 구성을 도시하는 개념도이다. 도 2에 있어서, 성형 애퍼처 어레이 기판(203)에는, 2차원상의 가로(x 방향) m₁열×세로(y 방향) n₁단(m₁, n₁은 2 이상의 정수)의 구 명(개구부)(22)이 x, y 방향으로 소정의 배열 피치로 형성되어 있다. 도 2의 예에서는, 23×23의 구멍(개구부)(22)이 형성되어 있는 경우를 도시하고 있다. 각 구멍(22)은, 모두 동일한 치수 형상의 직사각형으로 형성된다. 혹은, 동일한 외경의 원형이어도 상관없다. 이들 복수의 구멍(22)을 전자 범(200)의 일부가 각각 통과함으로써, 멀티 범(20)이 형성되게 된다. 여기서는, 가로 세로(x, y 방향)가 모두 2열 이상의 구멍(22)이 배치된 예를 나타냈지만, 이것에 한정되는 것은 아니다. 예를 들어, 가로 세로(x, y 방향) 어느 한쪽이 복수 열이고 다른 쪽은 1열뿐이어도 상관없다. 또한, 구멍(22)의 배열 방법은, 도 2와 같이 가로 세로가 격자상으로 배치되는 경우에 한정되는 것은 아니다. 예를 들어, 세로 방향(y 방향) k단째의 열과, k+1단째의 열의 구멍끼리가, 가로 방향(x 방향)으로 치수 a만큼 어긋나 배치되어도 된다. 마찬가지로, 세로 방향(y 방향) k+1단째의 열과, k+2단째의 열의 구멍끼리가, 가로 방향(x 방향)으로 치수 b만큼 어긋나 배치되어도 된다.
- [0031] 다음으로, 검사 장치(100)에 있어서의 화상 취득 기구(150)의 동작에 대해 설명한다.
- [0032] 전자총(201)(방출원)으로부터 방출된 전자 빔(200)은, 전자 렌즈(202)에 의해 굴절되어, 성형 애퍼처 어레이 기판(203) 전체를 조명한다. 성형 애퍼처 어레이 기판(203)에는, 도 2에 도시하는 바와 같이, 복수의 구멍(22)(개구부)이 형성되고, 전자 빔(200)은 모든 복수의 구멍(22)이 포함되는 영역을 조명한다. 복수의 구멍(22)의 위치에 조사된 전자 빔(200)의 각 일부가, 이러한 성형 애퍼처 어레이 기판(203)의 복수의 구멍(22)을 각각 통과함으로써 멀티 빔(20)(멀티 1차 전자 빔)이 형성된다.
- [0033] 형성된 멀티 빔(20)은, 전자 렌즈(205), 및 전자 렌즈(206)에 의해 각각 굴절되어, 중간상 및 크로스오버를 반복하면서 멀티 빔(20)의 각 빔의 크로스오버 위치에 배치된 빔 세퍼레이터(214)를 통과하여 전자 렌즈(207)(대물 렌즈)로 진행한다. 이 동안에, 수차 보정기(220)에 의해, 비점 및/또는 왜곡 수차(디스토션)와 같은 수차가보정된다. 또한, 수차 보정기(220)에 의한 보정에 의해 빔의 초점 위치의 어긋남이 발생한 경우에 정전 렌즈어레이(221)에 의해, 이러한 빔마다 개별적으로 초점 위치의 어긋남이 보정된다. 도 1의 예에서는, 수차 보정기(220)가 전자 렌즈(205)의 자장 중에 배치되는 경우를 도시하고 있다. 전자 렌즈(205)의 자장 중에 배치함으로써, 수차 보정기(220)의 제어 전국에 인가하는 전위를 자장 밖에 배치하는 경우에 비해 작게 할 수 있다. 예를 들어, 1/100 정도로 작게 할 수 있다. 단, 이것에 한정되는 것은 아니다. 수차 보정기(220)는, 성형 애퍼

처 어레이 기판(203)과 빔 세퍼레이터(214) 사이에 배치되어 있으면 된다.

- [0034] 멀티 범(20)이 전자 렌즈(207)(대물 렌즈)에 입사하면, 전자 렌즈(207)는 멀티 범(20)을 기판(101)에 포커싱한다. 바꾸어 말하면, 전자 렌즈(207)(전자 광학계의 일례)는, 수차 보정기(220)에 의해 비점 및 왜곡 수차 중적어도 한쪽이 보정되어 멀티 범(20)을 기판(101)으로 유도한다. 대물 렌즈(207)에 의해 기판(101)(시료)면 위에 초점이 맞추어진(합초된) 다멀티 범(20)은, 주편향기(208) 및 부편향기(209)에 의해 일괄하여 편향되어, 각범의 기판(101) 상의 각각의 조사 위치에 조사된다. 또한, 일괄 블랭킹 편향기(212)에 의해 멀티 범(20) 전체가 일괄하여 편향된 경우에는, 제한 애퍼처 기판(213)의 중심의 구멍으로부터 위치가 벗어나, 제한 애퍼처 기판(213)에 의해 멀티 범(20) 전체가 차폐된다. 한편, 일괄 블랭킹 편향기(212)에 의해 편향되지 않은 멀티 범(20)은, 도 1에 나타내는 바와 같이 제한 애퍼처 기판(213)의 중심의 구멍을 통과한다. 이러한 일괄 블랭킹 편향기(212)의 0N/0FF에 의해 블랭킹 제어가 행해져, 범의 0N/0FF가 일괄 제어된다. 이와 같이, 제한 애퍼처 기판(213)은, 일괄 블랭킹 편향기(212)에 의해 범 0FF의 상태가 되도록 편향된 멀티 범(20)을 차폐한다. 그리고 범 0N이 되고 나서 범 0FF가 될 때까지 형성된, 제한 애퍼처 기판(213)을 통과한 범 군에 의해 검사용(화상 취득용)의 멀티 범(20)이 형성된다.
- [0035] 기판(101)의 원하는 위치에 멀티 빔(20)이 조사되면, 이러한 멀티 빔(20)이 조사된 것에 기인하여 기판(101)으로부터 멀티 빔(20)(멀티 1차 전자 빔)의 각 빔에 대응하는, 반사 전자를 포함하는 2차 전자의 다발(멀티 2차 전자 빔(300))이 방출된다.
- [0036] 기판(101)으로부터 방출된 멀티 2차 전자 빔(300)은, 전자 렌즈(207)를 통해 빔 세퍼레이터(214)로 진행한다.
- [0037] 여기서, 빔 세퍼레이터(214)는, 코일을 사용한 2극 이상의 복수의 자극과, 2극 이상의 복수의 전극을 갖는다. 그리고 이러한 복수의 자극에 의해 지향성의 자계를 발생시킨다. 마찬가지로, 복수의 전극에 의해 지향성의 전계를 발생시킨다. 구체적으로는, 빔 세퍼레이터(214)는, 멀티 빔(20)의 중심 빔이 진행하는 방향(궤도 중심축)에 직교하는 면 위에 있어서 전계와 자계를 직교하는 방향으로 발생시킨다. 전계는 전자의 진행 방향에 관계없이 동일한 방향으로 힘을 미친다. 이에 비해, 자계는 플레밍의 왼손 법칙에 따라서 힘을 미친다. 그 때문에 전자의 침입 방향에 의해 전자에 작용하는 힘의 방향을 변화시킬 수 있다. 빔 세퍼레이터(214)에 상측으로 부터 침입해 오는 멀티 빔(20)에는, 전계에 의한 힘과 자계에 의한 힘이 서로 상쇄하여 멀티 빔(20)은 하방으로 직진한다. 이에 비해, 빔 세퍼레이터(214)에 하측으로부터 침입해 오는 멀티 2차 전자 빔(300)에는, 전계에 의한 힘과 자계에 의한 힘이 모두 동일한 방향으로 작용하여, 멀티 2차 전자 빔(300)은 비스듬히 상방으로 구부러져, 멀티 빔(20)으로부터 분리된다.
- [0038] 비스듬히 상방으로 구부러져, 멀티 빔(20)으로부터 분리된 멀티 2차 전자 빔(300)은, 편향기(218)에 의해 더 구부러지고, 전자 렌즈(224)에 의해 굴절되면서 멀티 검출기(222)에 투영된다. 멀티 검출기(222)는, 투영된 멀티 2차 전자 빔(300)을 검출한다. 멀티 검출기(222)는, 예를 들어 도시하지 않은 다이오드형의 2차원 센서를 갖는다. 그리고 멀티 빔(20)의 각 빔에 대응하는 다이오드형의 2차원 센서 위치에 있어서, 멀티 2차 전자 빔(300)의 각 2차 전자가 다이오드형의 2차원 센서에 충돌하여 전자를 발생시키고, 2차 전자 화상 데이터를 화소마다생성한다. 멀티 검출기(222)에서 검출된 강도 신호는, 검출 회로(106)에 출력된다.
- 도 3은 실시 형태 1의 비교예 1이 되는 수차 보정기의 단면 구성의 일례를 도시하는 도면이다. 도 3에 있어서, [0039] 실시 형태 1의 비교예 1이 되는 수차 보정기(320)는 제1 전극 기판(310)과 제2 전극 기판(314)으로 구성된다. 제1 전극 기판(310)은 기판 본체(312)에 멀티 빔이 통과하는 복수의 통과 구멍(311)이 형성되고, 기판 본체 (312)의 노출면 전체가 실드막(344)으로 덮여 있다. 제2 전극 기판(314)은, 기판 본체(315)에 멀티 빔이 통과 하는 제1 전극 기판(310)과 동일한 구멍 직경 사이즈의 복수의 통과 구멍(311)이 형성된다. 그리고 기판 본체 (315) 위에는 통과 구멍(311)을 둘러싸도록 다극자가 되는 복수의 전극(316)이 절연층(340)을 개재하여 배치된 다. 또한, 기판 본체(315)의 통과 구멍 내벽, 저면, 및 측면에는 실드막(342)이 형성된다. 비점이나 디스토션 (왜곡 수차)과 같은 수차의 보정은, 멀티 범의 각 범을 개별적으로 궤도 보정할 필요가 있다. 그 때문에, 제2 전극 기판(314)에는, 통과 구멍(311)을 둘러싸도록 다극자가 되는 복수의 전극(316)이 배치된다. (311)을 사이에 두고 대향하는 전극(316) 사이에 형성되는 전기장 E는, 제1 전극 기판(310)에 의해 상방으로는 확대되지 않으므로, 대향하는 전극(316) 사이에서 평행하게 작용한다. 그 때문에, 대향하는 전극(316) 사이에 형성되는 전기장 E는, 전극(316) 자체의 두께 M에 의해 결정되어 버린다. 그 때문에, 수차를 보정하는 만큼의 편향량을 각 전자 빔에 부여하기 위해서는, 다극자 렌즈의 각 전극(316) 자체의 두께 M이 수 10㎞ 정도, 예를 들어 50μm는 필요해져 버린다. 빔간 피치 P가 좁아지는 것에 수반하여, 도 3에 도시하는 바와 같이, 인접하는 빔용의 전극끼리 사이의 간극이 좁아진다. 인접하는 빔용의 전극끼리 사이의 간극이 좁아지면 인접하는 빔용의

전극끼리 사이에서도 전자의 이동이 발생해 버린다. 이러한 경우에, 인접하는 범용의 전극끼리 사이에서의 전자의 이동량은 전극(316) 자체의 두께에 따라서 증가해 버린다. 그 결과, 각 전기장이 인접 범용의 전위의 영향을 받아 버리는 경우가 있을 수 있다. 따라서, 범간 피치 P가 좁은 상태에서, 수 10μ 의 두께의 전극에서는, 수차 보정기로서의 충분한 성능을 발휘하는 것이 기술적으로 어렵다. 그 때문에, 가능한 한 전극을 얇게 하는 것이 요망된다. 그래서 실시 형태 1에서는, 전극의 상부 공간을 이용함으로써 전극 자체의 두께를 얇게 한다.

- [0040] 도 4a 내지 도 4c는 실시 형태 1에 있어서의 수차 보정기의 각 전극 기판의 구성의 일례를 도시하는 상면도이다.
- [0041] 도 5는 실시 형태 1에 있어서의 수차 보정기의 2단째의 기판 위에 배치되는 다극자의 배선의 일례를 도시하는 상면도이다.
- [0042] 도 6은 실시 형태 1에 있어서의 수차 보정기의 3단째의 기판 위에 배치되는 다극자의 배선의 일례를 도시하는 상면도이다.
- [0043] 도 7은 실시 형태 1에 있어서의 수차 보정기의 구성의 일례를 도시하는 단면도이다.
- [0044] 수차 보정기(220)는, 소정의 간극을 두고 배치되는, 3단 이상의 전극 기판에 의해 구성된다. 도 4a 내지 도 4c 및 도 7의 예에서는, 각 전극 기판 사이에 대해 간극 L2를 두고 배치되는, 예를 들어 3단의 전극 기판이 되는 상단으로부터 제1 전극 기판(10)(제1 전극 기판의 일례)과 제2 전극 기판(14)(제2 전극 기판의 일례)과 제3 전극 기판(24)(제3 전극 기판의 일례)에 의해 구성되는 수차 보정기(220)가 도시되어 있다. 바꾸어 말하면, 제1 전극 기판(10)이 간극 L2를 두고 제2 전극 기판(14) 위에 배치된다. 마찬가지로, 제2 전극 기판(14)이 간극 L2를 두고 제3 전극 기판(24) 위에 배치된다. 또한, 도 4a 내지 도 4c, 도 5 및 도 6의 예에서는, 5×5개의 멀티 범(20)을 사용하는 경우에 대해 도시하고 있다. 도 7에서는, 5×5개의 멀티 범(20) 중 일부의 범이 통과하는 영역을 포함하는 부분에 대해 도시하고 있다.
- [0045] 제1 전국 기판(10)에서는, 기판 본체(12)에, 멀티 빔(20)이 통과하는, 복수의 통과 구멍(11)(제1 통과 구멍)이 형성된다. 도 4a 및 도 7에 도시하는 바와 같이, 제1 전국 기판(10)에서는, 빔간 피치 P의 멀티 빔(20)이 통과하는 위치에 복수의 통과 구멍(11)이 형성된다. 제1 전국 기판(10)의 복수의 통과 구멍(11) 중 미리 설정되는 일부의 빔 어레이가 통과하는 일부의 통과 구멍(11)은, 기판 본체(12)의 상면(빔의 진행 방향의 상류측)으로부터 이면을 향하는 도중까지 구멍 직경 D2(제2 구멍 직경)가 되고, 도중부터 이면까지 구멍 직경 D3(제3 구멍 직경)으로 사이즈가 넓어지도록 형성된다. 또한, 도 7에 도시하는 바와 같이, 기판 본체(12)의 상면, 측면, 저면, 및 복수의 통과 구멍(11) 내벽은, 실드 전국(44)에 의해 덮인다. 적어도 복수의 통과 구멍(11) 내벽에 실드 전국(44)이 배치된다. 복수의 통과 구멍(11) 중 잔부의 통과 구멍(11)은, 기판 본체(12)의 상면으로부터 이면까지 구멍 직경 D2로 형성된다. 단, 이것에 한정되는 것은 아니다. 잔부의 통과 구멍(11)에 대해서도 일부의 통과 구멍(11)과 마찬가지로, 도중부터 사이즈가 넓어지도록 형성되어도 상관없다.
- [0046] 제2 전극 기판(14)은, 제1 전극 기판(10)의 하부측(빔의 진행 방향의 하류측)에 배치된다. 제2 전극 기판(14) 에서는, 기판 본체(15)에, 빔간 피치 P의 멀티 빔(20)이 통과하는, 복수의 통과 구멍(17)(제2 통과 구멍)이 형 성된다. 도 4b 및 도 7에 도시하는 바와 같이, 제2 전극 기판(14)의 복수의 통과 구멍(17) 중 상술한 미리 설 정되는 일부의 빔 어레이가 통과하는 일부의 통과 구멍(17)은, 기판 본체(15)의 상면으로부터 이면까지 구멍 직 경 D1(제1 구멍 직경)로 형성된다. 이러한 일부의 통과 구멍(17)의 주위 상면에 통과 구멍(17)마다 개별적으로 각각 4극 이상의 다극자가 되는 복수의 전극(16(a 내지 h))(제1 전극의 일례)이 배치된다. 도 4b 및 도 7의 예 에서는, 8극의 전극(16(a 내지 h))이 배치되는 경우를 도시하고 있다. 예를 들어, 멀티 범(20)의 왜곡 수차를 보정하는 경우라면, 빆마다, 직교하는 방향(x, v 방향)으로 2극씩 대향하여 배치되는 4극의 전극(16)이어도 된 다. 예를 들어, 멀티 빔(20)의 비점을 보정하는 경우라면, 빔마다, 직교하는 방향(x, y 방향)에 더하여 중간 위상이 되는 45° 및 135° 방향으로 2극씩 대항하여 배치되는 8극의 전극(16)이 배치되면 적합하다. 또한, 비 점의 방향을 알고 있는 경우에는, 직교하는 방향(x, y 방향)으로 2극씩 대향하여 배치되는 4극의 전극(16)이라 도 상관없다. 또한, 제2 전극 기판(14)에서는, 기판 본체(15)와 빔마다의 복수의 전극(16(a 내지 h)) 사이에 절연층(40)이 배치된다. 잔부의 통과 구멍(17)은, 기판 본체(15)의 상면으로부터 이면을 향하는 도중까지 구멍 직경 D2(제2 구멍 직경)가 되고, 도중부터 제2 전극 기판(14)의 이면까지 구멍 직경 D3(제3 구멍 직경)으로 사 이즈가 넓어지도록 형성된다. 또한, 도 7에 도시하는 바와 같이, 기판 본체(15)의 측면, 저면, 및 복수의 통과 구멍(17) 내벽은, 실드 전극(42)에 의해 덮인다.
- [0047] 제3 전극 기판(24)은, 제2 전극 기판(14)의 하부측(빔의 진행 방향의 하류측)에 배치된다. 제3 전극 기판(24)

에서는, 기판 본체(25)에, 빔간 피치 P의 멀티 빔(20)이 통과하는, 복수의 통과 구멍(27)(제3 통과 구멍)이 형 성된다. 도 4c 및 도 7에 도시하는 바와 같이, 복수의 통과 구멍(27) 중, 복수의 전극(16)이 배치되어 있지 않 은 잔부의 통과 구멍(17)에 대응하는, 일부의 통과 구멍(27)의 주위 상면에 통과 구멍(27)마다 개별적으로 각각 4극 이상의 다극자가 되는 복수의 전극(26(a 내지 h))(제2 전극의 일례)이 배치된다. 도 4c 및 도 7의 예에서 는, 8극의 전극(26(a 내지 h))이 배치되는 경우를 도시하고 있다. 복수의 전극(26)에 대해서도 복수의 전극 (16)과 마찬가지로, 예를 들어 멀티 빔(20)의 왜곡 수차를 보정하는 경우라면, 빔마다, 직교하는 방향(x, y 방 향)으로 2극씩 대향하여 배치되는 4극의 전극(16)이어도 된다. 예를 들어, 멀티 빔(20)의 비점을 보정하는 경 우라면, 빔마다, 직교하는 방향(x, y 방향)에 더하여 중간 위상이 되는 45° 및 135° 방향으로 2극씩 대향하여 배치되는 8극의 전극(16)이 배치되면 적합하다. 또한, 비점의 방향을 알고 있는 경우에는, 직교하는 방향(x, y 방향)으로 2극씩 대향하여 배치되는 4극의 전극(26)이라도 상관없다. 또한, 제3 전극 기판(24)에서는, 기판 본 체(25)와 빔마다의 복수의 전극(26(a 내지 h)) 사이에 절연층(41)이 배치된다. 그리고 도 6에 도시하는 바와 같이, 절연층(41) 위에 각 전극(26(V1 내지 V8))용의 배선(28)이 기판 본체(25)의 외주부로 연장되어, 수차 보 정 회로(121)와 커넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제3 전극 기판(24)의 복수의 통과 구멍(27) 중 복수의 전극(26)이 배치되는 일부의 통과 구멍(27)은 기판 본체(25)의 상면으로부터 이면까지 구멍 직경 D1(제1 구멍 직경)로 형성된다. 도 7의 예에서는, 복수의 전극(26)이 배치되지 않는 잔부의 통과 구 멍(27)에 대해서도 기판 본체(25)의 상면으로부터 이면까지 구멍 직경 D1(제1 구멍 직경)로 형성되는 경우를 도 시하고 있다. 또한, 도 7에 도시하는 바와 같이, 기판 본체(25)의 측면, 저면, 및 복수의 통과 구멍(27) 내벽 은 실드 전극(43)에 의해 덮인다.

- [0048] 바꾸어 말하면, 제1 전극 기판(10)의 복수의 통과 구멍(11) 중, 복수의 전극(16)이 배치되는 일부의 통과 구멍 (17) 위에 위치하는 잔부의 통과 구멍(11)은, 상면으로부터 이면을 향하는 도중까지 구멍 직경 D2가 되고, 도중부터 제1 전극 기판(10)의 이면까지 구멍 직경 D1 및 구멍 직경 D2보다 큰 구멍 직경 D3으로 형성된다. 마찬가지로, 제2 전극 기판(14)의 복수의 통과 구멍(17) 중, 복수의 전극(26)이 배치되는 일부의 통과 구멍(17) 위에 위치하는 잔부의 통과 구멍(17)은, 상면으로부터 이면을 향하는 도중까지 구멍 직경 D2가 되고, 도중부터 제1 전극 기판(10)의 이면까지 구멍 직경 D1 및 구멍 직경 D2보다 큰 구멍 직경 D3으로 형성된다. 또한, 구멍 직경 D1 및 구멍 직경 D2는 동일한 사이즈는 다른 사이즈는 상관없다. 도 7의 예에서는, 구멍 직경 D1 및 구멍 직경 D2가 동일한 사이즈인 경우를 도시하고 있다.
- [0049] 미리 설정되는 일부의 빔 어레이가 통과하는 일부의 통과 구멍(17)으로서, 도 5 및 도 7의 예에서는, 5×5개의 멀티 빔(20) 중, x, y 방향으로 1개 간격으로 배열되는 13개의 빔 어레이가 통과하는 제2 전극 기판(14)의 13개의 통과 구멍(17) 위에 복수의 전극(16)이 배치된다. 도 6 및 도 7의 예에서는, 5×5개의 멀티 빔(20) 중, 나머지 12개의 빔 어레이가 통과하는 제3 전극 기판(24)의 12개의 통과 구멍(27) 위에 복수의 전극(26)이 배치된다.
- [0050] 또한, 복수의 전극(16)에 접속되는 복수의 배선(18)(제1 배선)은, 도 5에 도시하는 바와 같이, 복수의 전극(16)이 배치되는 전극 기판과 동일한 제2 전극 기판(14)에 교차하지 않고 배치된다. 그리고 도 5에 도시하는 바와 같이, 절연층(40) 위에 각 전극(16(V1 내지 V8))용의 배선(18)이 기판 본체(15)의 외주부로 연장되어, 수차보정 회로(121)와 도시하지 않은 커넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제2 전극 기판(14) 위에 배치되는 전극수를 멀티 범(20) 전체에 필요한 전극수의 약 50%로 억제할 수 있으므로, 배선수도 50%로 억제할 수 있어, 복수의 배선(18)을 다층화하지 않고 1층으로 배치할 수 있다.
- [0051] 마찬가지로, 복수의 전극(26)에 접속되는 복수의 배선(28)(제2 배선)은, 도 6에 도시하는 바와 같이, 복수의 전극(26)이 배치되는 전극 기판과 동일한 제3 전극 기판(24)에 교차하지 않고 배치된다. 그리고 도 6에 도시하는 바와 같이, 절연층(41) 위에 각 전극(26(V1 내지 V8))용의 배선(28)이 기판 본체(25)의 외주부로 연장되어, 수차 보정 회로(121)와 도시하지 않은 커넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제3 전극기판(24) 위에 배치되는 전극수를 멀티 범(20) 전체에 필요한 전극수의 약 50%로 억제할 수 있으므로, 복수의 배선(28)을 다층화하지 않고 1층으로 배치할 수 있다.
- [0052] 제1 전극 기판(10)의 기판 본체(12)의 재료, 제2 전극 기판(14)의 기판 본체(15)의 재료, 및 제3 전극 기판(24)의 기판 본체(25)의 재료로서, 모두 예를 들어 실리콘(Si)을 사용하면 적합하다. 기판 본체(12, 15, 25)는, 예를 들어 수 100㎞ 정도의 막 두께의 Si 기판이 적합하다. 예를 들어, 200 내지 500㎞ 정도의 막 두께의 Si 기판이 적합하다. 또한, 제2 전극 기판(14)의 빔마다의 복수의 전극(16(a 내지 h)) 및 제3 전극 기판(24)의 빔마다의 복수의 전극(26(a 내지 h))의 재료로서, 예를 들어 알루미늄(Al), 백금(Pt), 티타늄(Ti), 혹은 팔라듐 (Pd) 등의 산화되기 어려운 금속을 사용하면 적합하다. 각 전극(16, 26(a 내지 h))은, 예를 들어 수 ㎞의 막

두께로 형성된다. 예를 들어, 1 내지 10㎞의 막 두께로 각 전극(16, 26(a 내지 h))이 형성된다. 또한, 기관 본체(12)의 상면, 측면, 저면, 및 복수의 통과 구멍(11) 내벽에 형성되는 실드 전극(44)과, 기판 본체(15)의 측면, 저면, 및 복수의 통과 구멍(17) 내벽에 형성되는 실드 전극(42)과, 기판 본체(25)의 측면, 저면, 및 복수의 통과 구멍(27) 내벽에 형성되는 실드 전극(43)은, 모두 수 ㎞의 막 두께로 형성된다. 예를 들어, 1 내지 10㎞의 막 두께의 실드 전극(42, 43, 44)에 의해 덮인다. 실드 전극(42, 43, 44)의 재료로서, 전극(16, 26)과 마찬가지로, 예를 들어 Al, Pt, Ti, 혹은 Pd 등의 산화되기 어려운 금속을 사용하면 적합하다. 바꾸어 말하면, Si재의 기판 본체(12)의 상면, 측면, 저면, 및 복수의 통과 구멍(11) 내벽은, 실드 전극(44)이 되는 예를 들어 Al막에 의해 코팅된다. 마찬가지로, Si재의 기판 본체(15)의 측면, 저면, 및 복수의 통과 구멍(17) 내벽은, 실드 전극(42)이 되는 예를 들어 Al막에 의해 코팅된다. 마찬가지로, Si재의 기판 본체(25)의 측면, 저면, 및 복수의 통과 구멍(27) 내벽은, 실드 전극(43)이 되는 예를 들어 Al막에 의해 코팅된다.

- [0053] 여기서, 도 7에 도시하는 바와 같이, 제2 전극 기판(14)의 복수의 전극(16) 위에 위치하는 제1 전극 기판(10)의 각 통과 구멍(11)의 상부에서는 구멍 직경 D2로 형성되고, 이러한 제1 전극 기판(10)의 각 통과 구멍(11)의 하부에서는 구멍 직경 D2보다 큰 구멍 직경 D3으로 형성된다. 따라서, 제2 전극 기판(14)의 복수의 전극(16) 위에 위치하는 제1 전극 기판(10)의 각 통과 구멍(11)의 상부에는, 통과 구멍(11) 내측으로 연장되는 플랜지 부분이 형성된다. 마찬가지로, 제3 전극 기판(24)의 복수의 전극(26) 위에 위치하는 제2 전극 기판(14)의 각 통과 구멍(17)의 상부에서는 구멍 직경 D2로 형성되고, 이러한 제2 전극 기판(14)의 각 통과 구멍(17)의 하부에서는 구멍 직경 D2보다 큰 구멍 직경 D3으로 형성된다. 따라서, 제3 전극 기판(24)의 복수의 전극(26) 위에 위치하는 제2 전극 기판(14)의 각 통과 구멍(17)의 상부에는, 통과 구멍(17) 내측으로 연장되는 플랜지 부분이 형성된다. 구멍 직경 D3으로서, 통과 구멍(17)의 상부에는, 통과 구멍(17) 내측으로 연장되는 플랜지 부분이 형성된다. 구멍 직경 D3으로서, 통과 구멍(17)을 둘러싸는 대향하는 2개의 전극(16) 위가 통과 구멍(11)으로서 개방되어 있도록, 대향하는 2개의 전극(16)의 x 방향의 사이즈의 합계분 D3이, D1, D2보다 커지도록 형성하면 적합하다. 예를 들어, D1, D2가 수 100㎞ 정도로 형성되는 경우, D3이, D1, D2보다 수 10㎞ 정도(예를 들어 10 내지 50㎞) 커지도록 형성하면 적합하다.
- [0054] 도 8은 실시 형태 1에 있어서의 수차 보정기의 하나의 범용의 전극 사이에 발생하는 전기장의 일례의 도시하는 도면이다. 도 8에서는, 제2 전극 기판(14)에 배치되는 복수의 전극(16)과 그 상방의 제1 전극 기판(10)의 통과 구멍(11)의 관계를 일례로서 도시하고 있다. 제3 전극 기판(24)에 배치되는 복수의 전극(26)과 그 상방의 제2 전극 기판(14)의 통과 구멍(17)의 관계도 마찬가지이다. 하나의 범용의 복수의 전극(16) 중, 대향하는 2개의 전극 중 한쪽에는 +V의 전위가 인가된다. 다른 쪽에는 부호가 역전된 동전위인 -V의 전위가 인가된다. 또한, 실드 전극(42, 44)에는, 접지(GND) 전위가 인가된다. 바꾸어 말하면, 대향하는 2개의 전극 중 한쪽에는 GND 전 위보다 큰 +V의 전위가 인가된다. 다른 쪽에는 GND 전위보다 작은 -V의 전위가 인가된다. 그 때문에, +V의 전위가 인가된 한쪽 전극(16)으로부터 -V의 전위가 인가된 다른 쪽 전극(16)으로 진행하는 전기장(전계) E가 형성된다. GND 전위를 0V로 한 경우, +V로서, 예를 들어 +5 내지 +15V의 전위가 인가된다. -V로서, 예를 들어 -15V 내지 -5의 전위가 인가된다.
- [0055] 여기서, 상술한 도 3에 도시한 비교예 1에서는, 전극(316) 상방이 상부 전극(310)에 의해 막혀 있으므로, 전계가 상부 전극(310)에 흡수(혹은 차단)되어 버린다. 따라서, 대향하는 2개의 전극(316) 사이의 공간에밖에 전기장 E를 발생시킬 수 없다. 그 때문에, 진입해 온 전자 빔이, 대향하는 2개의 전극(316) 사이까지 도달하지 않으면 전계를 작용시킬 수 없다. 그 때문에, 편향 지지점이 전극(316)의 높이 방향(두께 방향)의 중심 위치 부근으로 되어 버린다. 따라서, 두께가 큰 전극(316)이 필요해져 버린다. 이에 비해, 실시 형태 1에 있어서의수차 보정기(220)에서는, 도 8에 도시하는 바와 같이, 제1 전극 기판(10)의 통과 구멍(11)이 제2 전극 기판(14)의 전극(16)이 배치되는 통과 구멍(17)보다 넓게 형성된다. 그 때문에, 전극(16) 상부가 통과 구멍(11)에 의해 개방되어 있다. 그 때문에, 대향하는 2개의 전극(16) 상의 통과 구멍(11) 내의 공간으로도 전기장 E를 확대할수 있다. 또한, 도 8에 도시하는 제1 전극 기판(10)의 통과 구멍(11)의 상부가 플랜지 부분에 의해 구멍 작정 D3으로부터 구멍 직정 D2로 좁아지고 있으므로, 전기력선의 방향을 구부리기 쉽게 할수 있다. 그 때문에,전기장이 상단 전극 기판(10)으로부터 상방으로 발산하지 않고, 대향하는 2개의 전극(16) 상의 통과 구멍(11)내에서 전기장 E를 형성할수 있다. 따라서, 제1 전극 기판(10)의 통과 구멍(11)으로 진입해 온 전자 빔에 대해,통과 구멍(11)을 통과 중에 전계를 작용시킬수 있다. 그 때문에,편향 지지점을 전극(16) 상의 통과 구멍(11)도중에 마련할수 있다. 그만큼,전극(16) 자체의 두께를 작게 할수 있다.
- [0056] 또한, 도 7에 도시하는, 제1 전극 기판(10)의 통과 구멍(11)의 구멍 직경 D3으로 형성된 부분과, 인접하는 통과 구멍(11) 사이의 거리 d를, 제1 전극 기판(10)과 제2 전극 기판(14) 사이의 간극 L2로 나눈 값(d/L2)이 역치 Th 이상이 되도록 수차 보정기(220)는 형성된다. 마찬가지로, 제2 전극 기판(14)의 통과 구멍(17)의 구멍 직경 D3

으로 형성된 부분과, 인접하는 통과 구멍(17) 사이의 거리 d를, 제2 전극 기판(14)과 제3 전극 기판(24) 사이의 간극 L2로 나눈 값(d/L2)이 역치 Th 이상이 되도록 수차 보정기(220)는 형성된다.

- [0057] 도 9a와 도 9b는 실시 형태 1에 있어서의 전기장의 감쇠를 설명하기 위한 도면이다. 도 9a에서는 전기장의 감 쇠를 설명하는 모델을 도시하고 있다. 도 9a에서는, 모델로서, 구멍 직경 L2이고 길이 d인 도파관 내를 전자가 이동하는 경우를 도시하고 있다. 도 9b에서는 종축에 도파관을 통과하는 전자의 비율을 나타내고, 횡축에 도파 관의 길이 d를 구멍 직경 L2로 나눈 애스펙트비를 나타낸다. 도파관의 길이 d를 구멍 직경 L2로 나눈 애스펙트 비가 커짐에 따라서, 도파관을 통과하는 전자의 비율이 감쇠해 가는, 바꾸어 말하면 전자가 통과하기 어려워져, 발생하는 전기장이 감쇠하는 것을 알 수 있다. 이러한 모델을 실시 형태 1에 있어서의 수차 보정기(220)에 적 용하면, 제1 전극 기판(10) 중 구멍 직경 D3으로 복수의 통과 구멍(11)이 형성된 부분과, 인접하는 통과 구멍 (11) 사이의 거리 d를, 제1 전극 기판(10)과 제2 전극 기판(14) 사이의 간극 L2로 나눈 값(d/L2)이 커지는 것에 수반하여, 인접하는 범용의 통과 구멍측으로 전자가 이동하기 어려워진다. 그래서 d/L2≥Th로 설정함으로써, 각 범용에 다극의 전극(16)에 의해 형성되는 전기장이 인접 범용의 전위의 영향을 받지 않도록 할 수 있다. 마 찬가지로, 제2 전극 기판(14) 중 구멍 직경 D3으로 복수의 통과 구멍(17)이 형성된 부분과, 인접하는 통과 구멍 (17) 사이의 거리 d를, 제2 전극 기판(14)과 제3 전극 기판(24) 사이의 간극 L2로 나눈 값(d/L2)이 커지는 것에 수반하여, 인접하는 빔용의 통과 구멍측으로 전자가 이동하기 어려워진다. 그래서 d/L2≥Th로 설정함으로써, 각 빔용에 다극의 전극(26)에 의해 형성되는 전기장이 인접 빔용의 전위의 영향을 받지 않도록 할 수 있다. 예 를 들어, 역치 Th로서, 지수 함수로 정의되는 감쇠 그래프가 수렴되거나, 혹은 수렴에 가까운 통과 전자수가 1 % 이하로 되는 값으로 설정하면 적합하다. 예를 들어, 역치 Th로서, 2 내지 10 정도가 적합하다. 더 상세히 설명하면, 3 내지 7이 보다 적합하다.
- [0058] 또한, 실시 형태 1에 있어서의 수차 보정기(220)에서는, 전극(16, 26)의 두께를 수 때로 얇게 할 수 있으므로, 도 7의 예에서는, 간극 L2를 제1 전극 기판(10)의 하면과 제2 전극 기판(14)의 전극(16) 상면 사이의 간극(및 제2 전극 기판(14)의 하면과 제3 전극 기판(24)의 전극(26) 상면 사이의 간극)으로 정의하고 있다. 실제의 인접 범의 전극(16(26)) 사이의 공간에는 전극(16)의 두께도 포함되므로, 역치 Th 설정에는, 전극(16)의 두께분을 고려하여 설정하면 더욱 적합하다.
- [0059] 또한, 실시 형태 1에서는, 도 8에 도시한 바와 같이, 대향하는 2개의 전극(16(26)) 위에 전기장 E를 형성하므로, 전극(16(26)) 위를 전자가 이동할 수 있을 필요가 있다. 따라서, 제1 전극 기판(10)의 두께 중 구멍 직경 D3으로 통과 구멍(11)이 형성된 부분의 두께 L1은, 적어도 제1 전극 기판(10)과 제2 전극 기판(14) 사이의 간극 L2보다 커지도록 형성된다. 바꾸어 말하면, L1>L2가 되도록 제1 전극 기판(10)과 제2 전극 기판(14)이 배치된다. 마찬가지로, L1>L2가 되도록 제2 전극 기판(14)과 제3 전극 기판(24)이 배치된다. 또한, 전기장이 통과 구멍(11)(통과 구멍(17))의 구멍 직경 D3의 부분 내에서 감쇠하여, 구멍 직경 D2의 부분까지 넓어지지 않는 것이 바람직하다. 그 때문에, 두께 L1은, L1>D3으로 하면 적합하다.
- [0060] 이상과 같이, 실시 형태 1에 있어서의 수차 보정기(220)에서는, D3>D2, L1>L2, 및 d/L2≥Th의 관계가 성립된다. 또한, L1>D3으로 하면 적합하다.
- [0061] 도 10은 실시 형태 1과 비교예 2에 있어서의 편향량과 인가 전위의 관계의 일례를 도시하는 도면이다. 도 10에 있어서, 종축에 빔 편향량을 나타내고, 황축에 대향하는 2개의 전극 중 한쪽에 인가하는 전위를 나타낸다. 도 10에 도시하는 비교예 2에서는, 실시 형태 1의 전극(16(26))과 동일한 두께로 형성되고, 전극(16(26)) 상부가 상부측의 전극 기판에 의해 막힌 수차 보정기를 사용한 경우를 나타내고 있다. 바꾸어 말하면, 비교예 2에서는, D3=D2로 구성된 경우를 나타내고 있다. 도 10에 도시하는 바와 같이, 전극(16(26)) 상부의 공간까지 전기장 E를 확대한 실시 형태 1의 쪽이, 전극(16(26)) 사이의 공간에서만 전기장을 형성하는 비교예 2에 비해, 동일한 전위를 인가한 경우의 편향량을 크게 할 수 있는 것을 알 수 있다. 반대로 말하면, 전극(16(26)) 상부의 공간으로 전기장 E를 확대함으로써 전극(16(26)) 자체의 두께를 작게 할 수 있다.
- [0062] 도 11a와 도 11b는 실시 형태 1에 있어서의 왜곡 수차(디스토션)의 일례를 도시하는 도면이다. 도 11a와 도 11b의 예에서는, 5×5개의 멀티 빔(20)을 사용한 경우에 대해 도시하고 있다. 성형 애퍼처 어레이 기판(203)의 복수의 구멍(22)이 x, y 방향으로 소정의 피치로 매트릭스상으로 형성되어 있으면, 이상적으로는 도 11b에 도시하는 바와 같이, 기판(101) 위에 조사되는 멀티 빔(20)의 조사 위치(19)도 소정의 축소율로 매트릭스상으로 배치될 것이다. 그러나 전자 렌즈 등의 전자 광학계를 사용함으로써, 도 11a에 도시하는 바와 같이 디스토션(왜곡 수차)이 발생해 버린다. 디스토션의 형태는 조건에 따라 배럴형 또는 핀쿠션형이라고 불리는 분포를 취한다. 일반적으로는 자기 렌즈의 디스토션은 반경 방향에 더하여 회전 방향의 어긋남도 발생한다. 도 11a에

서는 회전 성분이 발생하지 않는 조건에서의 예를 도시하고 있다. 멀티 빔(20)에 발생하는 디스토션의 방향 및 위치 어긋남양은, 어느 정도의 경향은 존재한다고 해도, 빔마다 다르다. 그 때문에, 이러한 디스토션을 보정하기 위해서는, 개별 빔마다 보정할 필요가 있다. 실시 형태 1에 있어서의 수차 보정기(220)를 사용하여 빔마다빔 궤도를 보정함으로써, 도 11b에 도시하는 바와 같이 기판(101) 위에 조사되는 멀티 빔(20)의 조사 위치(19)를 보정할 수 있다.

- [0063] 도 12a와 도 12b는 실시 형태 1에 있어서의 비점의 일례를 도시하는 도면이다. 도 12a와 도 12b의 예에서는, 5 ×5개의 멀티 빔(20)을 사용한 경우에 대해 도시하고 있다. 도 12b에 도시하는 바와 같이, 이상적으로는, 각 빔은, 원형으로 조사된다. 그러나 전자 렌즈 등의 전자 광학계를 사용함으로써, 도 12a에 도시하는 바와 같이 비점 수차가 발생해 버리는 경우가 있다. 그 때문에, 도 12a에 도시하는 바와 같이, 기판(101)(시료)면 위에 있어서 x, y 방향의 2차원 방향으로 초점 위치가 어긋나, 초점 위치에서 빔이 이른바 타원 형상이 되어, 조사되는 빔에 블러가 발생해 버린다. 멀티 빔(20)에 발생하는 비점의 방향 및 위치 어긋남양은, 멀티 빔(20)의 중심으로부터 방사상으로 연장되도록 타원 형상이 되는 경향이 있지만, 빔마다 다르다. 그 때문에, 이러한 비점을 보정하기 위해서는, 개별 빔마다 보정할 필요가 있다. 그래서 실시 형태 1에 있어서의 수차 보정기(220)를 사용하여, 빔마다 빔 궤도를 보정함으로써 도 12b에 도시하는 바와 같이 비점을 보정할 수 있다.
- [0064] 도 13a와 도 13b는 실시 형태 1에 있어서의 비점의 다른 일례를 도시하는 도면이다. 멀티 빔(20)에 발생하는 비점의 방향은, 도 12a에 도시한 멀티 빔(20)의 중심으로부터 방사상으로 연장되는 경우에 한정되는 것은 아니다. 도 13a에 도시하는 바와 같이, 원주 방향으로 연장되는 경우도 있을 수 있다. 이러한 경우라도 마찬가지로, 실시 형태 1에 있어서의 수차 보정기(220)를 사용하여, 빔마다 빔 궤도를 보정함으로써 도 13b에 도시하는바와 같이 비점을 보정할 수 있다.
- [0065] 또한, 실시 형태 1에 있어서의 수차 보정기(220)에서는, 디스토션과 비점을 동시에 보정할 수 있다.
- [0066] 여기서, 도 7에 도시하는 바와 같이, 제2 전극 기판(14)의 복수의 전극(16)에 의해 편향되는 전자 빔과 제3 전극 기판(24)의 복수의 전극(26)에 의해 편향되는 전자 빔은, 전극의 배치 높이 위치가 다르기 때문에 편향 지지점의 높이 위치가 어긋나게 된다. 편향 지지점의 높이의 차이에 의한 오차분을 보정하도록 각 전극(16(26))에 인가하는 전위를 제어하면 적합하다. 또한, 이러한 수차 보정에 의해 초점 위치가 어긋나는 경우가 있다. 그래서 정전 렌즈 어레이(221)로 빔마다 개별적으로 초점 위치를 보정하면 적합하다.
- [0067] 여기서, 정전 렌즈 어레이(221)는, 멀티 범(20)이 통과하는 통과 구멍이 형성된 3단의 전극 기판을 갖고, 중간단의 전극 기판에는, 범마다 개별적으로 인가 전위를 제어 가능한, 각 통과 구멍을 둘러싸는 환상 전극이 배치된다. 또한, 상단 및 하단의 전극 기판에는 GND 전위가 인가된다. 중간단의 전극 기판의 각 환상 전극에 인가하는 전위를 개별적으로 조정함으로써, 각 범의 초점 위치를 개별적으로 제어할 수 있다.
- [0068] 화상 취득 기구(150)는, 이러한 수차 보정기(220)에 의해 비점과 왜곡 수차 중 적어도 한쪽이 보정된 멀티 빔 (20)(멀티 1차 전자 빔)을 사용하여 기판(101) 위에 형성된 패턴의 2차 전자 화상을 취득한다. 구체적으로는, 이하와 같이 동작한다.
- [0069] 도 14는 실시 형태 1에 있어서의 반도체 기관에 형성되는 복수의 칩 영역의 일례를 도시하는 도면이다. 도 14에 있어서, 기판(101)이 반도체 기판(웨이퍼)인 경우, 반도체 기판(웨이퍼)의 검사 영역(330)에는, 복수의 칩 (웨이퍼 다이)(332)이 2차원의 어레이상으로 형성되어 있다. 각 칩(332)에는, 노광용 마스크 기판에 형성된 1 칩분의 마스크 패턴이 도시하지 않은 노광 장치(스테퍼)에 의해 예를 들어 1/4로 축소되어 전사되어 있다. 각 칩(332) 내는, 예를 들어 2차원 형상의 가로(x 방향) №월×세로(y 방향) №단(№, №는 2 이상의 정수)개의 복수의 마스크 다이(33)로 분할된다. 실시 형태 1에서는, 이러한 마스크 다이(33)가 단위 검사 영역이 된다. 대상이 되는 마스크 다이(33)로의 범의 이동은, 주편향기(208)에 의한 멀티 범(20) 전체에서의 일괄 편향에 의해행해진다.
- [0070] 도 15는 실시 형태 1에 있어서의 멀티 범의 스캔 동작을 설명하기 위한 도면이다. 도 15의 예에서는, 5×5열의 멀티 범(20)의 경우를 나타내고 있다. 1회의 멀티 범(20)의 조사로 조사 가능한 조사 영역(34)은, (기판(101) 면 위에 있어서의 멀티 범(20)의 x 방향의 범간 피치에 x 방향의 범수를 곱한 x 방향 사이즈)×(기판(101)면 위에 있어서의 멀티 범(20)의 y 방향의 범간 피치에 y 방향의 범수를 곱한 y 방향 사이즈)로 정의된다. 도 15의 예에서는, 조사 영역(34)이 마스크 다이(33)와 동일한 사이즈인 경우를 도시하고 있다. 단, 이것에 한정되는 것은 아니다. 조사 영역(34)이 마스크 다이(33)보다 작아도 된다. 혹은 커도 상관없다. 그리고 멀티 범(20)의 각 범은, 자신의 범이 위치하는 x 방향의 범간 피치와 y 방향의 범간 피치로 둘러싸이는 서브 조사 영역(29)

내를 주사(스캔 동작)한다. 멀티 빔(20)을 구성하는 각 빔은, 서로 다른 어느 것의 서브 조사 영역(29)을 담당하게 된다. 그리고 각 샷 시에, 각 빔은, 담당 서브 조사 영역(29) 내의 동일한 위치를 조사하게 된다. 서브 조사 영역(29) 내의 빔의 이동은, 부편향기(209)에 의한 멀티 빔(20) 전체에서의 일괄 편향에 의해 행해진다. 이러한 동작을 반복하여, 하나의 빔으로 하나의 서브 조사 영역(29) 내의 전부를 차례로 조사해 간다.

- [0071] 기판(101)의 원하는 위치에, 수차 보정기(220)에 의해 수차가 보정된 멀티 범(20)이 조사된 것에 기인하여 기판 (101)으로부터 멀티 범(20)에 대응하는, 반사 전자를 포함하는 멀티 2차 전자 범(300)이 방출된다. 기판(101)으로부터 방출된 멀티 2차 전자 범(300)은, 범 세퍼레이터(214)로 진행하여, 비스듬히 상방으로 구부러진다. 비스듬히 상방으로 구부러진 멀티 2차 전자 범(300)은 편향기(218)에 의해 궤도가 구부러져, 멀티 검출기(222)에 투영된다. 이와 같이, 멀티 검출기(222)는 멀티 범(20)이 기판(101)면에 조사된 것에 기인하여 방출되는 멀티 2차 전자 범(300)을 검출한다. 반사 전자는 광로의 도중에서 발산되어도 상관없다.
- [0072] 이상과 같이, 멀티 빔(20) 전체에서는, 마스크 다이(33)를 조사 영역(34)으로 하여 주사(스캔)하게 되지만, 각 빔은, 각각 대응하는 하나의 서브 조사 영역(29)을 주사하게 된다. 그리고 하나의 마스크 다이(33)의 주사(스캔)가 종료되면, 인접하는 다음 마스크 다이(33)가 조사 영역(34)이 되도록 이동하여, 이러한 인접하는 다음 마스크 다이(33)의 주사(스캔)을 행한다. 이러한 동작을 반복하여, 각 칩(332)의 주사를 진행해 간다. 멀티 빔(20)의 샷에 의해, 매번 조사된 위치로부터 2차 전자가 방출되어, 멀티 검출기(222)에서 검출된다.
- [0073] 이상과 같이, 화상 취득 기구(150)는, 멀티 범(20)을 사용하여 도형 패턴이 형성된 피검사 기판(101) 위를 주사하고, 멀티 범(20)이 조사된 것에 기인하여 피검사 기판(101)으로부터 방출되는, 멀티 2차 전자 범(300)을 검출한다. 멀티 검출기(222)에 의해 검출된 각 측정용 화소(36)로부터의 2차 전자의 검출 데이터(측정 화상:2차 전자 화상:피검사 화상)는, 측정순으로 검출 회로(106)에 출력된다. 검출 회로(106) 내에서는, 도시하지 않은 A/D 변환기에 의해 아날로그의 검출 데이터가 디지털 데이터로 변환되어, 칩 패턴 메모리(123)에 저장된다. 이와 같이 하여, 화상 취득 기구(150)는 기판(101) 위에 형성된 패턴의 측정 화상을 취득한다. 그리고 예를 들어 1개의 칩(332)분의 검출 데이터가 축적된 단계에서, 칩 패턴 데이터로서, 위치 회로(107)로부터의 각 위치를 나타내는 정보와 함께 비교 회로(108)로 전송된다.
- [0074] 참조 화상 작성 공정으로서, 참조 회로(112)(참조 화상 작성부)는, 피검사 화상에 대응하는 참조 화상을 작성한다. 참조 회로(112)는, 기판(101)에 패턴을 형성하는 기초가 된 설계 데이터, 혹은 기판(101)에 형성된 패턴의노광 이미지 데이터에 정의된 설계 패턴 데이터에 기초하여, 프레임 영역마다 참조 화상을 작성한다. 프레임 영역으로서, 예를 들어 마스크 다이(33)를 사용하면 적합하다. 구체적으로는, 이하와 같이 동작한다. 먼저, 기억 장치(109)로부터 제어 계산기(110)를 통해 설계 패턴 데이터를 판독하고, 판독된 설계 패턴 데이터에 정의된 각 도형 패턴을 2치 내지는 다치의 이미지 데이터로 변환한다.
- [0075] 여기서, 설계 패턴 데이터에 정의되는 도형은, 예를 들어 직사각형이나 삼각형을 기본 도형으로 한 것이며, 예를 들어 도형의 기준 위치에 있어서의 좌표(x, y), 변의 길이, 직사각형이나 삼각형 등의 도형종을 구별하는 식별자가 되는 도형 코드와 같은 정보로 각 패턴 도형의 형태, 크기, 위치 등을 정의한 도형 데이터가 저장되어 있다.
- [0076] 이러한 도형 데이터가 되는 설계 패턴 데이터가 참조 회로(112)에 입력되면 도형마다의 데이터까지 전개되어, 그 도형 데이터의 도형 형상을 나타내는 도형 코드, 도형 치수 등을 해석한다. 그리고 소정의 양자화 치수의 그리드를 단위로 하는 격자 무늬 내에 배치되는 패턴으로서 2치 내지는 다치의 설계 패턴 화상 데이터로 전개되어, 출력된다. 바꾸어 말하면, 설계 데이터를 읽어들여, 검사 영역을 소정의 치수를 단위로 하는 격자 무늬로서 가상 분할하여 생긴 격자 무늬마다 설계 패턴에 있어서의 도형이 차지하는 점유율을 연산하여, n 비트의 점유율 데이터를 출력한다. 예를 들어, 하나의 격자 무늬를 1화소로서 설정하면 적합하다. 그리고 1화소에 $1/2^8(=1/256)$ 의 분해능을 갖게 하는 것으로 하면, 화소 내에 배치되어 있는 도형의 영역 분만큼 1/256의 소영역을 할당하여 화소 내의 점유율을 연산한다. 그리고 8비트의 점유율 데이터로서 참조 회로(112)에 출력한다. 이러한 격자 무늬(검사 화소)는, 측정 데이터의 화소에 맞추면 된다.
- [0077] 다음으로, 참조 회로(112)는, 도형의 이미지 데이터인 설계 패턴의 설계 화상 데이터에 적절한 필터 처리를 실시한다. 측정 화상으로서의 광학 화상 데이터는, 광학계에 의해 필터가 작용한 상태, 바꾸어 말하면 연속 변화되는 아날로그 상태에 있으므로, 화상 강도(농담값)가 디지털값의 설계측의 이미지 데이터인 설계 화상 데이터에도 필터 처리를 실시함으로써 측정 데이터에 맞출 수 있다. 작성된 참조 화상의 화상 데이터는 비교 회로 (108)에 출력된다.

- [0078] 도 16은 실시 형태 1에 있어서의 비교 회로 내의 구성의 일례를 도시하는 구성도이다. 도 16에 있어서, 비교 회로(108) 내에는, 자기 디스크 장치 등의 기억 장치(52, 56), 위치 정렬부(57), 및 비교부(58)가 배치된다. 위치 정렬부(57), 및 비교부(58)와 같은 각 「~부」는, 처리 회로를 포함하고, 그 처리 회로에는, 전기 회로, 컴퓨터, 프로세서, 회로 기판, 양자 회로, 혹은 반도체 장치 등이 포함된다. 또한, 각 「~부」는, 공통되는 처리 회로(동일한 처리 회로)를 사용해도 된다. 혹은, 다른 처리 회로(각각의 처리 회로)를 사용해도 된다. 위치 정렬부(57), 및 비교부(58) 내에 필요한 입력 데이터 혹은 연산된 결과는 매번 도시하지 않은 메모리, 혹은 메모리(118)에 기억된다.
- [0079] 비교 회로(108) 내에서는, 전송된 패턴 화상 데이터(2차 전자 화상 데이터)가, 기억 장치(56)에 일시적으로 저장된다. 또한, 전송된 참조 화상 데이터가, 기억 장치(52)에 일시적으로 저장된다.
- [0080] 위치 정렬 공정으로서, 위치 정렬부(57)는, 피검사 화상이 되는 마스크 다이 화상과, 당해 마스크 다이 화상에 대응하는 참조 화상을 판독하여, 화소(36)보다 작은 서브 화소 단위로, 양 화상을 위치 정렬한다. 예를 들어, 최소 제곱법으로 위치 정렬을 행하면 된다.
- [0081] 비교 공정으로서, 비교부(58)는, 마스크 다이 화상(피검사 화상)과 참조 화상을 비교한다. 비교부(58)는, 소정의 판정 조건에 따라서 화소(36)마다 양자를 비교하고, 예를 들어 형상 결함과 같은 결함의 유무를 판정한다. 예를 들어, 화소(36)마다의 계조값 차가 판정 역치 Th보다 크면 결함이라고 판정한다. 그리고 비교 결과가 출력된다. 비교 결과는, 기억 장치(109), 모니터(117), 혹은 메모리(118)에 출력되거나, 혹은 프린터(119)로부터 출력되면 된다.
- [0082] 또한, 상술한 다이-데이터베이스 검사에 한정되지 않고, 다이-다이 검사를 행하여도 상관없다. 다이-다이 검사를 행하는 경우에는, 동일한 패턴이 형성된 마스크 다이(33)의 화상끼리를 비교하면 된다. 따라서, 다이(1)이 되는 웨이퍼 다이(332)의 일부의 영역의 마스크 다이 화상과, 다이(2)가 되는 다른 웨이퍼 다이(332)의 대응하는 영역의 마스크 다이 화상을 사용한다. 혹은, 동일한 웨이퍼 다이(332)의 일부의 영역의 마스크 다이 화상을 다이(1)의 마스크 다이 화상으로 하고, 동일한 패턴이 형성된 동일한 웨이퍼 다이(332)의 다른 일부의 마스크 다이 화상을 다이(2)의 마스크 다이 화상으로 하여 비교해도 상관없다. 이러한 경우에는, 동일한 패턴이 형성된 마스크 다이(33)의 화상끼리 중 한쪽을 참조 화상으로서 사용하면, 상술한 다이-데이터베이스 검사와 마찬가지의 방법으로 검사를 할 수 있다.
- [0083] 즉, 위치 정렬 공정으로서, 위치 정렬부(57)는, 다이 (1)의 마스크 다이 화상과, 다이 (2)의 마스크 다이 화상을 판독하여, 화소(36)보다 작은 서브 화소 단위로, 양 화상을 위치 정렬한다. 예를 들어, 최소 제곱법으로 위치 정렬을 행하면 된다.
- [0084] 그리고 비교 공정으로서, 비교부(58)는, 다이 (1)의 마스크 다이 화상과, 다이 (2)의 마스크 다이 화상을 비교한다. 비교부(58)는, 소정의 판정 조건에 따라서 화소(36)마다 양자를 비교하고, 예를 들어 형상 결함과 같은 결함의 유무를 판정한다. 예를 들어, 화소(36)마다의 계조값 차가 판정 역치 Th보다 크면 결함이라고 판정한다. 그리고 비교 결과가 출력된다. 비교 결과는, 도시하지 않은 기억 장치, 모니터, 혹은 메모리에 출력되거나, 혹은 프린터로부터 출력되면 된다.
- [0085] 또한, 다이-데이터베이스 검사 및 다이-다이 검사에 있어서, 상술한 예에서는, 화소마다 비교하는 경우를 나타 내고 있지만, 이것에 한정되는 것은 아니다. 예를 들어, 각 도형 패턴의 윤곽선을 추출하여, 윤곽선끼리의 거리가 역치를 초과하는 경우에는 결함이라고 판정하도록 구성해도 적합하다.
- [0086] 이상과 같이, 실시 형태 1에 의하면, 배선 스페이스를 크게 할 수 있으므로 배선 설계의 자유도를 높일 수 있다. 따라서, 다층 배선화를 회피할 수 있고, 1층으로 배선을 배치할 수 있다. 그 결과, 다층화에 의한 콘택트가 불필요해져, 콘택트 불량을 억제할 수 있다. 또한, 다층화에 의해 복잡한 회로 형성이 불필요하기 때문에 배선의 단선을 억제할 수 있다. 따라서, 실시 형태 1에 의하면, 멀티 전자 빔용의 다극자 렌즈를 어레이 배치하는 수차 보정기(220)의 배선 불량을 저감 혹은 회피할 수 있다.
- [0087] 또한, 멀티 전자 범용의 어레이 배치된 다극자 렌즈의 각 전극(16) 자체의 두께를 얇게 할 수 있다. 또한, 인접하는 범용의 통과 구멍과의 사이에서의 전자의 이동을 억제할 수 있어, 각 전기장이 인접 범용의 전위의 영향을 받아 버리는 것을 억제할 수 있다. 따라서, 범간 피치 P가 좁은 경우라도 수차 보정기(220)로서 충분한 성능을 발휘할 수 있다.
- [0088] 실시 형태 2.

- [0089] 실시 형태 1에서는, 제2 전극 기판(14)과 제3 전극 기판(24) 각각 상면에 전극(16(26))을 배치하는 경우를 설명하였지만, 이것에 한정되는 것은 아니다. 실시 형태 2에서는, 전극 기판의 상면뿐만 아니라 이면에도 전극을 배치하는 구성을 설명한다. 실시 형태 2에 있어서의 검사 장치(100)의 구성은 도 1과 마찬가지이다. 또한, 이하에 설명하는 점 이외의 내용은, 실시 형태 1과 마찬가지이다.
- [0090] 도 17a와 도 17b는 실시 형태 2에 있어서의 수차 보정기의 각 전극 기판의 구성의 일례를 도시하는 상면도이다.
- [0091] 도 18은 실시 형태 2에 있어서의 수차 보정기의 구성의 일례를 도시하는 단면도이다.
- [0092] 수차 보정기(220)는, 소정의 간극을 두고 배치되는, 2단 이상의 전극 기판에 의해 구성된다. 도 17a와 도 17b 및 도 18의 예에서는, 각 전극 기판 사이에 대해 간극 L2를 두고 배치되는, 예를 들어 2단의 전극 기판이 되는 상단으로부터 제1 전극 기판(60)(제1 전극 기판의 다른 일례)과 제2 전극 기판(64)(제2 전극 기판의 다른 일례)에 의해 구성되는 수차 보정기(220)가 도시되어 있다. 바꾸어 말하면, 제1 전극 기판(60)이 간극 L2를 두고 제2 전극 기판(64) 위에 배치된다. 또한, 도 17a와 도 17b의 예에서는, 5×5개의 멀티 범(20)을 사용하는 경우에 대해 도시하고 있다. 도 18에서는, 5×5개의 멀티 범(20) 중 일부의 범이 통과하는 영역을 포함하는 부분에 대해 도시하고 있다.
- [0093] 제1 전극 기판(60)에서는, 기판 본체(62)에, 멀티 범(20)이 통과하는, 복수의 통과 구멍(61)(제1 통과 구멍의다른 일례)이 형성된다. 도 17a 및 도 18에 도시하는 바와 같이, 제1 전극 기판(60)에서는, 범간 피치 P의 멀티 범(20)이 통과하는 위치에 복수의 통과 구멍(61)이 형성된다. 제1 전극 기판(60)의 복수의 통과 구멍(61)중, 미리 설정되는 일부의 범 어레이가 통과하는 일부의 통과 구멍(61)은 기판 본체(62)의 상면으로부터 이면까지 구멍 직경 D1로 형성된다. 이러한 일부의 통과 구멍(61)의 주위 이면에 통과 구멍(61)마다 개별적으로 각각4극 이상의 다극자가 되는 복수의 전극(66(a 내지 h))(제1 전극의 다른 일례)이 배치된다. 멀티 범(20)중 나머지 범 어레이가 통과하는 잔부의 통과 구멍(61)은 기판 본체(62)의 상면(범의 진행 방향의 상류측)으로부터 이면을 향하는 도중까지 구멍 직경 D2(제2 구멍 직경)가 되고, 도중부터 이면까지 구멍 직경 D3(제3 구멍 직경)으로 사이즈가 넓어지도록 형성된다. 또한, 도 18에 도시하는 바와 같이, 기판 본체(62)의 상면, 측면, 및복수의 통과 구멍(61) 내벽은, 실드 전극(44)에 의해 덮인다. 적어도 복수의 통과 구멍(61) 내벽에 실드 전극(44)이 배치된다.
- [0094] 제2 전극 기판(64)은, 제1 전극 기판(60)의 하부측(빔의 진행 방향의 하류측)에 배치된다. 제2 전극 기판(64)에서는, 기판 본체(65)에, 빔간 피치 P의 멀티 빔(20)이 통과하는, 복수의 통과 구멍(67)(제2 통과 구멍의 다른 일례)이 형성된다. 도 17b 및 도 18에 도시하는 바와 같이, 제2 전극 기판(64)의 복수의 통과 구멍(67) 중, 복수의 전극(66)이 배치되어 있지 않은 잔부의 통과 구멍(61)에 대응하는, 일부의 통과 구멍(67)은, 기판 본체(65)의 상면으로부터 이면까지 구멍 직경 D1로 형성된다. 이러한 일부의 통과 구멍(67)의 주위 상면에 통과 구멍(67)마다 개별적으로 각각 4극 이상의 복수의 전극(16(a 내지 h))(제2 전극의 다른 일례)이 배치된다. 멀티 빔(20) 중 나머지 빔 어레이가 통과하는 잔부의 통과 구멍(67)은 기판 본체(65)의 상면(빔의 진행 방향의 상류측)으로부터 이면을 향하는 도중까지 구멍 직경 D3이 되고, 도중부터 제2 전극 기판(64)의 이면까지 구멍 직경 D2로 사이즈가 좁아지도록 형성된다. 또한, 도 18에 도시하는 바와 같이, 기판 본체(65)의 이면, 측면, 및 복수의 통과 구멍(67) 내벽은 실드 전극(42)에 의해 덮인다. 적어도 복수의 통과 구멍(67) 내벽에 실드 전극(42)이 배치된다.
- [0095] 바꾸어 말하면, 제1 전극 기판(60)의 복수의 통과 구멍(61) 중 제2 전극 기판(64)의 복수의 전극(16)이 배치되는 일부의 통과 구멍(67) 위에 위치하는 잔부의 통과 구멍(61)은, 상면으로부터 이면을 향하는 도중까지 구멍 직경 D2가 되고, 도중부터 제1 전극 기판(60)의 이면까지 구멍 직경 D1 및 구멍 직경 D2보다 큰 구멍 직경 D3으로 형성된다. 마찬가지로, 제2 전극 기판(64)의 복수의 통과 구멍(67) 중, 제1 전극 기판(60)의 복수의 전극 (66)이 배치되는 일부의 통과 구멍(61) 아래에 위치하는 잔부의 통과 구멍(67)은, 상면으로부터 이면을 향하는 도중까지 구멍 직경 D3이 되고, 도중부터 제2 전극 기판(64) 이면까지 구멍 직경 D2로 형성된다. 또한, 구멍 직경 D1 및 구멍 직경 D2는 동일한 사이즈든 다른 사이즈든 상관없다. 도 18의 예에서는, 구멍 직경 D1 및 구멍 직경 D2가 동일한 사이즈인 경우를 도시하고 있다.
- [0096] 미리 설정되는 일부의 빔 어레이가 통과하는 일부의 통과 구멍(67)으로서, 도 17a 및 도 18의 예에서는, 5×5개의 멀티 빔(20) 중 x, y 방향으로 하나 간격으로 배열되는 13개의 빔 어레이가 통과하는 제1 전국 기판(60)의 13개의 통과 구멍(61) 아래에 복수의 전국(66)이 배치된다. 도 17b 및 도 18의 예에서는, 5×5개의 멀티 빔(20) 중 나머지 12개의 빔 어레이가 통과하는 제2 전국 기판(64)의 12개의 통과 구멍(67) 위에 복수의 전국(1

6)이 배치된다.

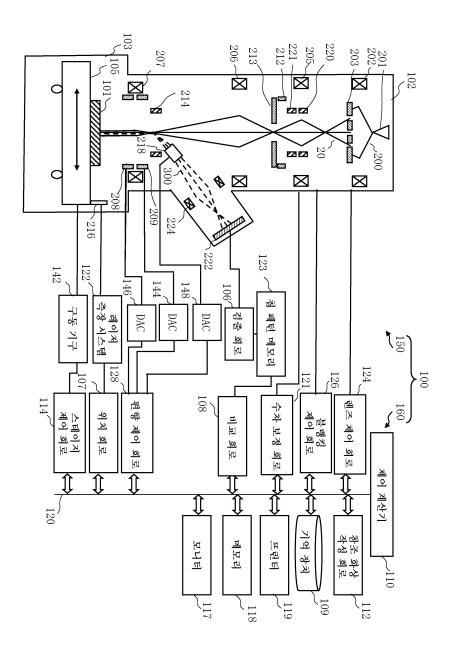
- [0097] 또한, 복수의 전극(66)에 접속되는 복수의 배선(18)(제1 배선)은, 복수의 전극(66)이 배치되는 전극 기관과 동일한 제1 전극 기판(60) 이면에 교차하지 않고 배치된다. 그리고 2단째의 기판 위를 1단째의 기판 이면 위로 대체한 경우에 있어서의 도 5와 마찬가지로, 절연층(41) 하면에 각 전극(16)을 대체한 각 전극(66(V1 내지 V 8))용의 배선(18)이 기판 본체(15)를 대체한 기판 본체(62)의 외주부로 연장되어, 수차 보정 회로(121)와 도시하지 않은 커넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제1 전극 기판(60) 아래에 배치되는 전극수를 멀티 범(20) 전체에 필요한 전극수의 약 50%로 억제할 수 있으므로, 배선수도 50%로 억제할 수 있어, 복수의 배선(18)을 다층화하지 않고 1층으로 배치할 수 있다.
- [0098] 마찬가지로, 복수의 전극(16)에 접속되는 복수의 배선(28)(제2 배선)은, 복수의 전극(16)이 배치되는 전극 기판 과 동일한 제2 전극 기판(64)에 교차하지 않고 배치된다. 그리고 3단째의 기판 위를 2단째의 기판 위로 대체한 경우에 있어서의 도 6과 마찬가지로, 절연층(40) 위에 각 전극(26)을 대체한 각 전극(16(V1 내지 V8))용의 배선 (28)이 기판 본체(25)를 대체한 기판 본체(65)의 외주부로 연장되어, 수차 보정 회로(121)와 도시하지 않은 커 넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제2 전극 기판(64) 위에 배치되는 전극수를 멀티 범(20) 전체에 필요한 전극수의 약 50%로 억제할 수 있으므로, 복수의 배선(28)을 다층화하지 않고 1층으로 배치할 수 있다.
- [0099] 또한, 실시 형태 2에 있어서의 수차 보정기(220)에서는, 실시 형태 1과 마찬가지로, D3>D2, L1>L2, 및 d/L2≥ Th의 관계가 성립된다. 또한, L1>D3으로 하면 적합한 점도 마찬가지이다.
- [0100] 이상과 같이, 실시 형태 2에 의하면, 실시 형태 1과 마찬가지의 효과를 발휘한다. 또한, 실시 형태 2에 의하면, 실시 형태 1보다 전극 기판의 수를 적게 할 수 있다. 또한, 실시 형태 2에 의하면, 각 전극(16, 66)의 배치 높이의 어긋남을 실시 형태 1보다 작게 할 수 있으므로, 편향 지지점의 높이 위치의 어긋남을 작게 할 수 있다.
- [0101] 실시 형태 3.
- [0102] 실시 형태 1에서는, 제2 전극 기판(14)과 제3 전극 기판(24)의 각각 상면에 전극(16(26))을 배치하는 경우를 설명하였지만, 이것에 한정되는 것은 아니다. 실시 형태 3에서는, 실시 형태 2와는 다른 구성으로, 전극 기판의 상면뿐만 아니라 이면에도 전극을 배치하는 구성을 설명한다. 실시 형태 3에 있어서의 검사 장치(100)의 구성은 도 1과 마찬가지이다. 또한, 이하에 설명하는 점 이외의 내용은, 실시 형태 1과 마찬가지이다.
- [0103] 도 19a와 도 19b는 실시 형태 3에 있어서의 수차 보정기의 제1과 제3 전극 기판의 구성의 일례를 도시하는 상면 도이다. 도 19a와 도 19b에 있어서, 제2 전극 기판(74)의 기재는 생략하고 있다.
- [0104] 도 20은 실시 형태 3에 있어서의 수차 보정기의 구성의 일례를 도시하는 단면도이다. 수차 보정기(220)는, 소정의 간극을 두고 배치되는, 3단 이상의 전극 기판에 의해 구성된다. 도 20의 예에서는, 각 전극 기판 사이에 대해 간극 L2를 두고 배치되는, 예를 들어 3단의 전극 기판이 되는 상단으로부터 제1 전극 기판(70)과 제2 전극기판(74)과 제3 전극 기판(84)에 의해 구성되는 수차 보정기(220)가 도시되어 있다. 또한, 도 19a와 도 19b의 예에서는, 5×5개의 멀티 범(20)을 사용하는 경우에 대해 도시하고 있다. 도 20에서는, 5×5개의 멀티 범(20)중 일부의 범이 통과하는 영역을 포함하는 부분에 대해 도시하고 있다.
- [0105] 제1 전극 기판(70)에서는, 기판 본체(72)에, 멀티 범(20)이 통과하는, 복수의 통과 구멍(71)(제1 통과 구멍의다른 일례)이 형성된다. 도 20에 도시하는 바와 같이, 제1 전극 기판(70)에서는, 범간 피치 P의 멀티 범(20)이 통과하는 위치에 복수의 통과 구멍(71)이 형성된다. 복수의 통과 구멍(71)은 기판 본체(72)의 상면(범의 진행방향의 상류측)으로부터 이면까지 구멍 직경 D1로 형성된다. 제1 전극 기판(70)의 복수의 통과 구멍(71) 중 미리 설정되는 일부의 범 어레이가 통과하는 일부의 통과 구멍(71)의 주위 이면에 절연층(40)을 개재하여 통과 구멍(71)마다 개별적으로 각각 4극 이상의 다극자가 되는 복수의 전극(76(a 내지 h))(제1 전극의 다른 일례)이 배치된다. 또한,도 20에 도시하는 바와 같이,기판 본체(72)의 상면,측면,및 복수의 통과 구멍(71) 내벽은,실드 전극(44)에 의해 덮인다. 적어도 복수의 통과 구멍(71) 내벽에 실드 전극(44)이 배치된다.
- [0106] 제2 전극 기판(74)은, 제1 전극 기판(70)의 하부측(빔의 진행 방향의 하류측)에 배치된다. 제2 전극 기판(74)에서는, 기판 본체(75)에, 빔간 피치 P의 멀티 빔(20)이 통과하는, 복수의 통과 구멍(77)이 형성된다. 도 20에도시하는 바와 같이, 제2 전극 기판(74)의 복수의 통과 구멍(77) 중 복수의 전극(76)이 배치되는 일부의 통과 구멍(71)에 대응하는, 일부의 통과 구멍(77)은 기판 본체(75)의 상면(빔의 진행 방향의 상류측)으로부터 이면을향하는 도중까지 구멍 직경 D3이 되고, 도중부터 제2 전극 기판(74)의 이면까지 구멍 직경 D2로 사이즈가 좁아

지도록 형성된다. 제2 전극 기판(74)의 복수의 통과 구멍(77) 중 복수의 전극(76)이 배치되어 있지 않은 잔부의 통과 구멍(71)에 대응하는, 잔부의 통과 구멍(77)은, 기판 본체(75)의 상면(범의 진행 방향의 상류측)으로부터 이면을 향하는 도중까지 구멍 직경 D2가 되고, 도중부터 이면까지 구멍 직경 D3으로 사이즈가 넓어지도록 형성된다. 또한, 도 20에 도시하는 바와 같이, 기판 본체(75)의 상면, 이면, 측면, 및 복수의 통과 구멍(77) 내벽은, 실드 전극(42)에 의해 덮인다. 적어도 복수의 통과 구멍(77) 내벽에 실드 전극(42)이 배치된다.

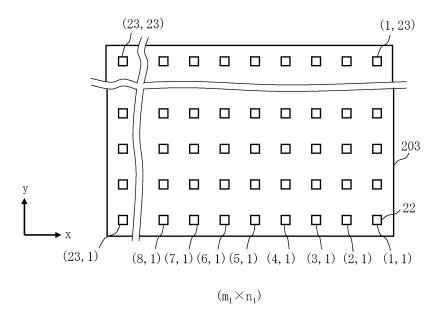
- [0107] 제3 전극 기판(84)에서는, 기판 본체(85)에, 멀티 범(20)이 통과하는, 복수의 통과 구멍(87)이 형성된다. 도 20에 도시하는 바와 같이, 제3 전극 기판(84)에서는, 범간 피치 P의 멀티 범(20)이 통과하는 위치에 복수의 통과 구멍(87)이 형성된다. 복수의 통과 구멍(87)은, 기판 본체(85)의 상면(범의 진행 방향의 상류측)으로부터 이면까지 구멍 직경 D1로 형성된다. 제3 전극 기판(84)의 복수의 통과 구멍(87) 중 복수의 전극(76)이 배치되어 있지 않은 잔부의 통과 구멍(71)에 대응하는, 일부의 통과 구멍(87)의 주위 상면에 절연층(41)을 개재하여 통과 구멍(87)마다 개별적으로 각각 4극 이상의 다극자가 되는 복수의 전극(86(a 내지 h))(제2 전극의 다른 일레)이 배치된다. 또한, 도 20에 도시하는 바와 같이, 기판 본체(85)의 저면, 측면, 및 복수의 통과 구멍(87) 내벽은, 실드 전극(43)에 의해 덮인다. 적어도 복수의 통과 구멍(87) 내벽에 실드 전극(43)이 배치된다.
- [0108] 또한, 구멍 직경 D1 및 구멍 직경 D2는 동일한 사이즈든 다른 사이즈든 상관없다. 도 20의 예에서는, 구멍 직경 D1 및 구멍 직경 D2가 동일한 사이즈인 경우를 도시하고 있다.
- [0109] 상술한 실시 형태와 마찬가지로, 도 19a에 도시하는 바와 같이, 예를 들어 5×5개의 멀티 빔(20) 중, x, y 방향으로 하나 간격으로 배열되는 13개의 빔 어레이가 통과하는 제1 전극 기판(70)의 13개의 통과 구멍(71) 아래에 복수의 전극(76)이 배치된다. 그리고 도 19b에 도시하는 바와 같이, 예를 들어 5×5개의 멀티 빔(20) 중, 나머지 12개의 빔 어레이가 통과하는 제3 전극 기판(84)의 12개의 통과 구멍(87) 위에 복수의 전극(86)이 배치된다.
- [0110] 또한, 복수의 전극(76)에 접속되는 복수의 배선(제1 배선)(도시하지 않음)은, 복수의 전극(76)이 배치되는 전극 기판과 동일한 제1 전극 기판(70) 이면에 교차하지 않고 배치된다. 그리고 절연층(40) 하면에 각 전극(76(V1 내지 V8))용의 배선(도시하지 않음)이 기판 본체(72)의 외주부로 연장되어, 수차 보정 회로(121)와 도시하지 않은 커넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제1 전극 기판(70) 아래에 배치되는 전극수를 멀티 빔(20) 전체에 필요한 전극수의 약 50%로 억제할 수 있으므로, 배선수도 50%로 억제할 수 있어, 복수의 배선(도시하지 않음)을 다층화하지 않고 1층으로 배치할 수 있다.
- [0111] 마찬가지로, 복수의 전극(86)에 접속되는 복수의 배선(제2 배선)(도시하지 않음)은, 복수의 전극(86)이 배치되는 전극 기판과 동일한 제3 전극 기판(84) 상면에 교차하지 않고 배치된다. 그리고 절연층(41) 위에 각 전극 (86(V1 내지 V8))용의 배선이 기판 본체(85)의 외주부로 연장되어, 수차 보정 회로(121)와 도시하지 않은 커넥터 및 케이블 등을 사이에 두고 전기적으로 접속되게 된다. 제3 전극 기판(84) 위에 배치되는 전극수를 멀티범(20) 전체에 필요한 전극수의 약 50%로 억제할 수 있으므로, 복수의 배선을 다층화하지 않고 1층으로 배치할수 있다.
- [0112] 또한, 실시 형태 3에 있어서의 수차 보정기(220)에서는, 실시 형태 1과 마찬가지로, D3>D2, L1>L2, 및 d/L2≥ Th의 관계가 성립된다. 또한, L1>D3으로 하면 적합한 점도 마찬가지이다.
- [0113] 이상과 같이, 실시 형태 3에 의하면, 실시 형태 1과 마찬가지의 효과를 발휘한다. 또한, 실시 형태 3에 의하면, 통과 구멍의 사이즈가 도중에 변화되는 전극 기판의 수를 적게 할 수 있다.
- [0114] 이상의 설명에 있어서, 일련의 「~ 회로」는, 처리 회로를 포함하고, 그 처리 회로에는, 전기 회로, 컴퓨터, 프로세서, 회로 기판, 양자 회로, 혹은 반도체 장치 등이 포함된다. 또한, 각 「~ 회로」는, 공통되는 처리 회로(동일한 처리 회로)를 사용해도 된다. 혹은, 다른 처리 회로(각각의 처리 회로)를 사용해도 된다. 프로세서 등을 실행시키는 프로그램은, 자기 디스크 장치, 자기 테이프 장치, FD, 혹은 ROM(리드 온리 메모리) 등의 기록 매체에 기록되면 된다. 예를 들어, 위치 회로(107), 비교 회로(108), 참조 화상 작성 회로(112), 스테이지 제어 회로(114), 수차 보정 회로(121), 렌즈 제어 회로(124), 블랭킹 제어 회로(126), 및 편향 제어 회로(128)는, 상술한 적어도 하나의 처리 회로로 구성되어도 된다.
- [0115] 이상, 구체예를 참조하면서 실시 형태에 대해 설명하였다. 그러나 본 발명은 이들 구체예에 한정되는 것은 아니다. 도 1의 예에서는, 하나의 조사원이 되는 전자총(201)으로부터 조사된 하나의 빔으로부터 성형 애퍼처 어레이 기판(203)에 의해 멀티 빔(20)을 형성하는 경우를 도시하고 있지만, 이것에 한정되는 것은 아니다. 복수의 조사원으로부터 각각 1차 전자 빔을 조사함으로써 멀티 빔(20)을 형성하는 양태라도 상관없다.
- [0116] 또한, 도 7의 예에서는, 전극(16, 26)이 배치되지 않는 통과 구멍(17, 27) 위의 주위에서는 절연층(40, 41)이

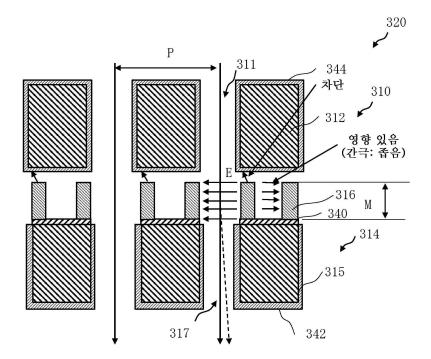
노출되어 있지만, 통과 구멍(17, 27) 주위에, 통과 구멍(17, 27)을 둘러싸도록 도전막이 노출되도록 배치되어도 적합하다. 이러한 도전막은 실드 전극(42, 43)에 접속된다. 마찬가지로, 도 18의 전극(66(16))이 배치되지 않는 통과 구멍(61) 아래(통과 구멍(67) 위)의 주위에서는 절연층(41(40))이 노출되어 있지만, 통과 구멍(61) 이면(통과 구멍(67) 상면) 주위에, 통과 구멍(61(67))을 둘러싸도록 도전막이 노출되도록 배치되어도 적합하다. 이러한 도전막은 실드 전극(44(42))에 접속된다. 마찬가지로, 도 20의 전극(76(86))이 배치되지 않는 통과 구멍(71) 아래(통과 구멍(87) 위)의 주위에서는 절연층(40(41))이 노출되어 있지만, 통과 구멍(71) 이면(통과 구멍(87) 상면) 주위에, 통과 구멍(71(87))을 둘러싸도록 도전막이 노출되도록 배치되어도 적합하다. 이러한 도전막은 실드 전극(44(43))에 접속된다.

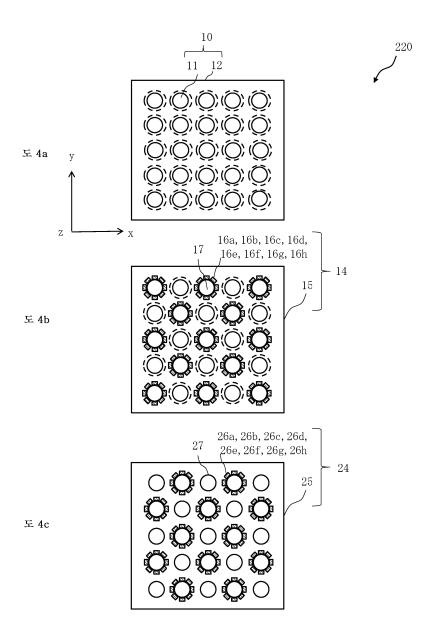
- [0117] 또한, 장치 구성이나 제어 방법 등, 본 발명의 설명에 직접적으로 필요하지 않은 부분 등에 대해서는 기재를 생략하였지만, 필요한 장치 구성이나 제어 방법을 적절하게 선택하여 사용할 수 있다.
- [0118] 그 밖에, 본 발명의 요소를 구비하고, 당업자가 적절하게 설계 변경할 수 있는 모든 수차 보정기 및 멀티 전자 빔 조사 장치는, 본 발명의 범위에 포함된다.
- [0119] 추가적인 이점들 및 변형이 당업자에게 쉽게 도출될 것이다. 따라서, 본 발명은 그의 더 넓은 양태에서 본 명세서에 도시되고 설명된 특정 상세 및 대표적인 실시예들로 제한되지 않는다. 따라서, 첨부된 청구의 범위 및 그 등가물에 의해 한정되는 바와 같은 일반적인 발명 개념의 사상 또는 범주를 벗어나지 않고 다양한 변형이 이루어질 수 있다.

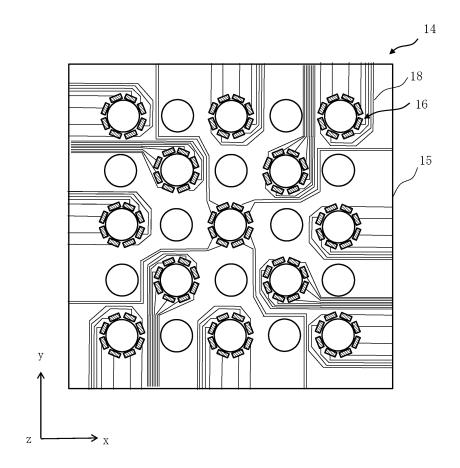


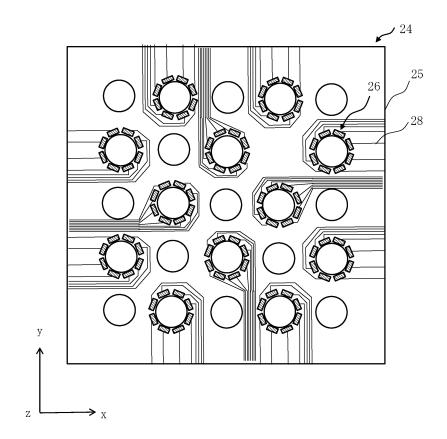
도면2

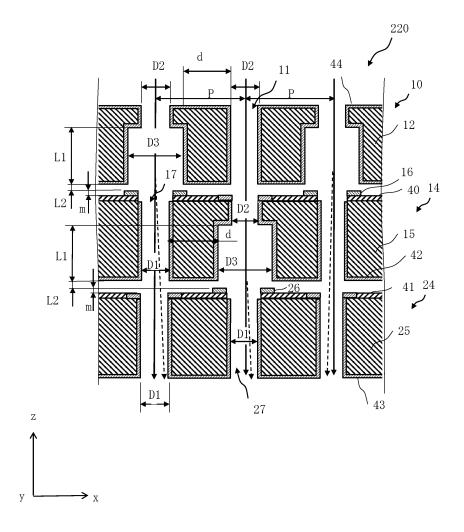


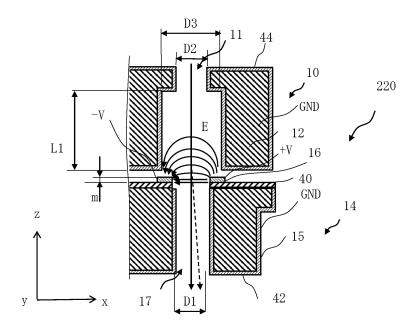


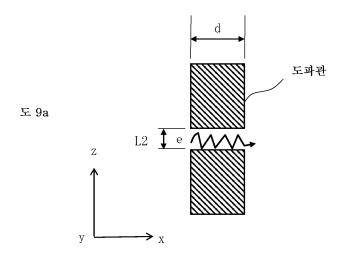


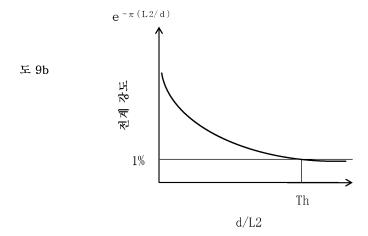


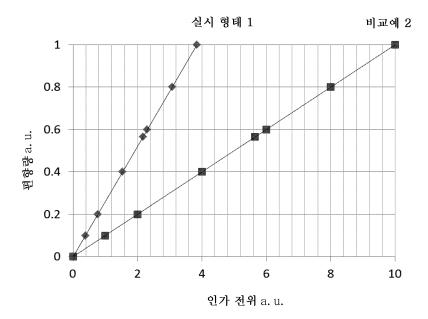


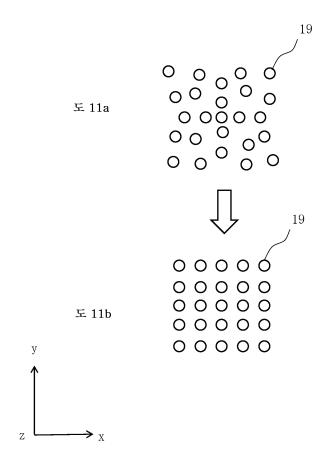


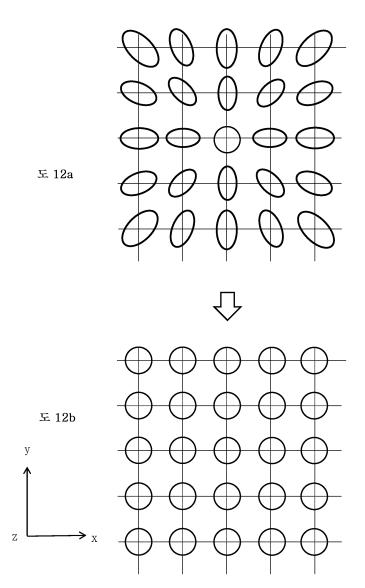


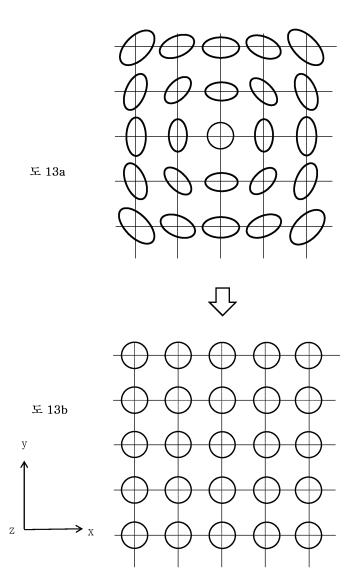




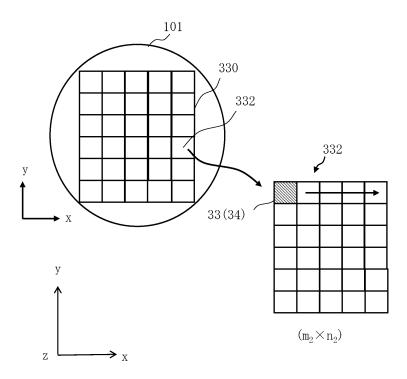








도면14



도면15

