



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0079274
(43) 공개일자 2015년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
H01L 29/36 (2006.01)
(21) 출원번호 10-2013-0169391
(22) 출원일자 2013년12월31일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서울대학교산학협력단
서울특별시 관악구 관악로 1 (신림동)
(72) 발명자
김현석
경기 화성시 동탄반석로 42, 604동 2702호 (반송동, 한화우림아파트)
한승우
서울 송파구 석촌호수로 169, 114동 2303호 (잠실동, 레이크팰리스)
(74) 대리인
리앤목특허법인

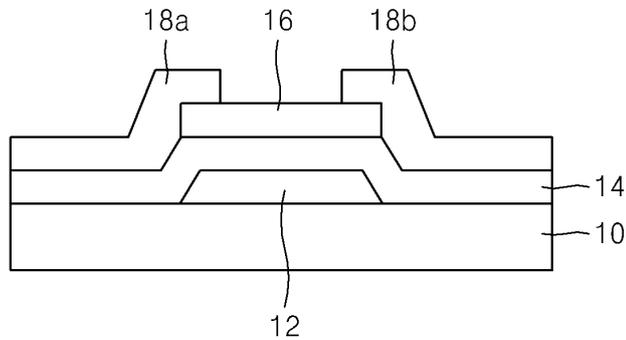
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 박막 트랜지스터 및 그 제조 방법

(57) 요약

박막 트랜지스터 및 그 제조 방법이 개시된다. 개시된 박막 트랜지스터는 채널층이 게이트 전극과 상대적으로 가까운 제 1영역과 상대적으로 거리가 먼 제 2영역을 포함할 수 있으며, 채널층을 구성하는 물질 중 적어도 하나는 제 1영역보다 제 2영역에서의 농도가 더 클 수 있다. 채널층은 아연(Zn) 및 불소(F)를 포함할 수 있으며, 제 2영역에서의 불소의 농도가 제 1영역에서의 불소의 농도보다 클 수 있다.

대표도 - 도1



(72) 발명자

류명관

경기 용인시 수지구 신봉2로 26, 112동 1802호 (신봉동, LG신봉자이1차아파트)

박준석

경기 용인시 수지구 용구대로 2720, 205동 1406호 (죽전동, 동성2차아파트)

손경석

서울 성동구 성수이로 3, 102동 1004호 (성수동2가, 한강한신아파트)

명세서

청구범위

청구항 1

게이트 전극; 및

상기 게이트 전극과 이격되어 아연(Zn), 질소(N), 산소(O) 및 불소(F)를 포함하는 채널층;을 포함하며,

상기 채널층은 상기 게이트 전극과 상대적으로 가까운 제 1영역 및 상기 게이트 전극으로부터 상대적으로 먼 제 2영역을 포함하며,

상기 제 2영역에서의 불소(F)의 농도는 상기 제 1영역의 불소(F)의 농도보다 큰 박막 트랜지스터.

청구항 2

제 1항에 있어서,

상기 제 1영역은 상기 게이트 전극과 대향하는 면인 박막 트랜지스터.

청구항 3

제 1항에 있어서,

상기 제 2영역은 소스 전극 및 드레인 전극에 의해 채널층이 노출된 영역인 박막 트랜지스터.

청구항 4

제 1항에 있어서,

상기 제 1영역은 프론트 채널이며,

상기 제 2영역은 백채널인 박막 트랜지스터.

청구항 5

제 1항에 있어서,

상기 게이트 전극은 기관 상에 형성되며,

상기 채널은 소스 전극 및 드레인 전극과 각각 전기적으로 연결된 박막 트랜지스터.

청구항 6

박막 트랜지스터의 제조 방법에 있어서,

게이트 전극층을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 및

상기 게이트 절연층 상에 채널층을 형성하는 단계;를 포함하고,

상기 채널층은 상기 게이트 전극과 상대적으로 가까운 제 1영역 및 상기 게이트 전극으로부터 상대적으로 먼 제 2영역을 포함하며,

상기 채널층을 구성하는 물질 중 적어도 하나의 물질은 상기 제 1영역보다 제 2영역에서의 큰 농도를 지니도록 형성하는 박막 트랜지스터의 제조 방법.

청구항 7

제 6항에 있어서,

상기 채널층은 아연(Zn) 및 불소(F)를 포함하도록 형성하며,

상기 제 2영역에서의 불소(F)의 농도는 상기 제 1영역의 불소(F)의 농도보다 크도록 형성하는 박막 트랜지스터의 제조 방법.

청구항 8

제 7항에 있어서,

상기 채널층은 ZnF₂ 타겟을 포함하여 스퍼터링 공정에 의해 형성하는 박막 트랜지스터의 제조 방법.

청구항 9

제 7항에 있어서,

상기 채널층은 산소 및 질소를 더 포함하도록 형성하는 박막 트랜지스터의 제조 방법.

청구항 10

제 6항에 있어서,

상기 게이트 전극은 기판의 일영역 상에 형성하며,

상기 채널층은 상기 게이트 전극에 대응되는 상기 게이트 절연층 상의 형성하는 박막 트랜지스터의 제조 방법.

청구항 11

제 6항에 있어서,

상기 게이트 절연층 및 상기 채널층 상에 전도성 물질층을 형성하고 패터닝하여 상기 채널층과 각각 전기적으로 연결된 소스 전극 및 드레인 전극을 형성하는 박막 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001] 본 개시는 아연을 포함하는 채널층을 지닌 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 현재 박막 트랜지스터(thin film transistor)는 다양한 분야에 이용되고 있으며 전자 기기 분야에서 스위칭 소자 또는 구동 소자로 이용되고 있다. 예를 들어, 액정 표시장치와 같은 디스플레이 분야에서 스위칭 및 구동 소자로 이용되고 있으며, 크로스 포인트형 메모리 소자의 선택 스위치로 사용되고 있다.

[0003] 디스플레이의 구동 및 스위칭 소자로서 사용되는 것으로, 비정질 실리콘을 채널층으로 사용한 박막 트랜지스터(a-Si TFT)가 있다. 비정질 실리콘 박막 트랜지스터는 저가의 비용으로 대형 기판 상에 균일하게 형성될 수 있는 소자로서 현재 가장 널리 쓰이는 소자이다. 그러나, 디스플레이의 대형화 및 고화질화 추세에 따라 소자 성능 역시 고성능이 요구되어, 이동도 0.5 cm²/Vs수준의 기존의 a-Si TFT는 한계에 다다를 것으로 판단된다. 따라서 a-Si TFT보다 높은 이동도를 갖는 고성능 TFT 및 제조 기술이 필요하다.

[0004] 다결정 실리콘 박막 트랜지스터(poly-Si TFT)는 수십에서 수백 cm²/Vs의 높은 이동도를 갖기 때문에, 기존 a-Si TFT에서 실현하기 힘들었던 고화질 디스플레이에 적용할 수 있는 성능을 갖는다. 또한, a-Si TFT에 비해 소자 특성 열화 문제가 매우 적다. 그러나, poly-Si TFT를 제작하기 위해서는 a-Si TFT에 비해 복잡한 공정이 필요하고 그에 따른 추가 비용도 증가한다. 따라서, p-Si TFT는 디스플레이의 고화질화나 OLED와 같은 제품에 응용되기 적합하지만, 비용 면에서는 기존 a-Si TFT에 비해 열세이므로 응용이 제한적인 단점이 있다. 그리고 p-Si TFT의 경우, 제조 장비의 한계나 균일도 불량과 같은 기술적인 문제가 있을 수 있다.

[0005] 실리콘 재료와 달리 산화물 반도체는 비정질 상에서도 고이동도 특성을 나타내는 특징을 가지고 있어 많은 산화물 재료들이 관심을 받고 있다. 특히 고성능 소자 적용을 위한 고이동도 TFT 채널 재료로서 Zn, In 또는 Sn 등의 금속 원자들이 혼합된 다성분계 재료가 주로 연구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일측면에서는 도핑 농도 구배를 지닌 채널층을 포함하는 박막 트랜지스터를 제공한다. 고이동도 특성을 지닌 박막 트랜지스터를 제공한다. 우수한 신뢰성을 지닌 박막 트랜지스터를 제공한다.

[0007] 본 발명의 다른 측면에서는 상기 박막 트랜지스터의 제조 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시예에서는,

[0009] 게이트 전극; 및

[0010] 상기 게이트 전극과 이격되어 아연(Zn), 질소(N), 산소(O) 및 불소(F)를 포함하는 채널층;을 포함하며,

[0011] 상기 채널층은 상기 게이트 전극과 상대적으로 가까운 제 1영역 및 상기 게이트 전극으로부터 상대적으로 먼 제 2영역을 포함하며,

[0012] 상기 제 2영역에서의 불소(F)의 농도는 상기 제 1영역의 불소(F)의 농도보다 큰 박막 트랜지스터를 제공할 수 있다.

[0013] 상기 제 1영역은 상기 게이트 전극과 대향하는 면일 수 있다.

[0014] 상기 제 2영역은 소스 전극 및 드레인 전극에 의해 채널층이 노출된 영역일 수 있다.

[0015] 상기 제 1영역은 프런트 채널이며, 상기 제 2영역은 백채널일 수 있다.

[0016] 상기 게이트 전극은 기판 상에 형성되며,

[0017] 상기 채널은 소스 전극 및 드레인 전극과 각각 전기적으로 연결될 수 있다.

[0018] 또한, 본 발명의 실시예에서는

[0019] 게이트 전극층을 형성하는 단계;

[0020] 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 및

[0021] 상기 게이트 절연층 상에 채널층을 형성하는 단계;를 포함하고,

[0022] 상기 채널층은 상기 게이트 전극과 상대적으로 가까운 제 1영역 및 상기 게이트 전극으로부터 상대적으로 먼 제 2영역을 포함하며,

[0023] 상기 채널층을 구성하는 물질 중 적어도 하나의 물질은 상기 제 1영역보다 제 2영역에서의 큰 농도를 지니도록 형성하는 박막 트랜지스터의 제조 방법을 제공할 수 있다.

[0024] 상기 채널층은 아연(Zn) 및 불소(F)를 포함하도록 형성하며,

[0025] 상기 제 2영역에서의 불소(F)의 농도는 상기 제 1영역의 불소(F)의 농도보다 크도록 형성될 수 있다.

[0026] 상기 채널층은 ZnF_2 타겟을 포함하여 스퍼터링 공정에 의해 형성할 수 있다.

[0027] 상기 게이트 전극은 기판의 일영역 상에 형성하며,

[0028] 상기 채널층은 상기 게이트 전극에 대응되는 상기 게이트 절연층 상의 형성할 수 있다.

[0029] 상기 게이트 절연층 및 상기 채널층 상에 전도성 물질층을 형성하고 패터닝하여 상기 채널층과 각각 전기적으로 연결된 소스 전극 및 드레인 전극을 형성할 수 있다.

발명의 효과

[0030] 본 발명의 실시예에 따르면 고이동도 특성을 지니며 우수한 신뢰성을 지닌 박막 트랜지스터를 제공할 수 있다. 또한, 채널층이 도핑 농도 구배를 지닌 박막 트랜지스터를 제공할 수 있다. 그리고, 채널층이 도핑 농도 구배를 지니도록 박막 트랜지스터를 용이하게 제조할 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터를 개략적으로 나타낸 단면도이다.
- 도 2는 본 발명의 실시예에 따른 박막 트랜지스터의 채널층을 나타낸 도면이다.
- 도 3은 본 발명의 실시예에 따른 박막 트랜지스터의 채널층의 농도 구배를 두께에 따라 나타낸 그래프이다.
- 도 4a 내지 도 4d는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법을 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 본 발명의 실시예에 따른 박막 트랜지스터 및 그 제조 방법에 대해 첨부된 도면을 참조하여 상세하게 설명한다. 참고로 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0033] 박막 트랜지스터

- [0034] 본 발명의 실시예에 따른 박막 트랜지스터는 게이트 전극 및 게이트 전극과 이격하여 형성된 채널층을 포함할 수 있다. 게이트 전극과 채널층 사이에는 게이트 절연층이 형성될 수 있다. 본 발명의 실시예에 따른 박막 트랜지스터를 구성하는 채널층의 형성 물질 중 적어도 하나의 물질은 채널층의 위치에 따른 농도 구배를 지닐 수 있다. 박막 트랜지스터에 있어서 게이트 전극이 채널층 하방에 형성된 경우를 바텀 게이트형 박막 트랜지스터라 할 수 있고, 채널층이 게이트 전극 하방에 형성된 경우, 탑 게이트형 박막 트랜지스터라 할 수 있다. 도 1에서는 바텀 게이트형 박막 트랜지스터를 나타내었으나, 본 발명의 실시예에 따른 박막 트랜지스터는 탑 게이트형 박막 트랜지스터에도 적용될 수 있다.

- [0035] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터의 구조를 개략적으로 나타낸 단면도이다.

- [0036] 도 1을 참조하면, 본 발명의 실시예에 따른 박막 트랜지스터는 기판(10)의 일영역 상에 형성된 게이트 전극(12), 상기 기판(10) 및 게이트 전극(12) 상에 형성된 게이트 절연층(14), 게이트 절연층(14) 상에 형성된 채널층(16)을 포함할 수 있다. 그리고 채널층(16)은 소스 전극(18a) 및 드레인 전극(18b)과 각각 연결될 수 있다.

- [0037] 채널층(16)은 반도체 물질로 형성될 수 있으며, 추가적으로 다른 원소를 포함할 수 있다. 채널층(16)은 아연(zinc:Zn)을 포함하는 산화물 반도체로 형성될 수 있으며, 예를 들어 채널층(16)은 아연질산화물 계열의 반도체(ZnON)로 형성될 수 있으며, 여기에 불소(F)를 포함하는 반도체(ZnONF)로 형성될 수 있다. 그리고, 채널층(16)은 추가적으로 다른 물질을 더 포함할 수 있으며, 예를 들어 불소(F), 하프늄(Hf), 갈륨(Ga), 황(S) 또는 염소(Cl)와 같은 물질들을 더 포함할 수 있다. 보다 상세히 설명하면, 채널층(16)은 I족 원소, II족 원소, III족 원소, IV족 원소, V족 원소, VI족 원소, VII족 원소, 전이금속 원소 또는 란탄(Ln) 계열 원소 중 적어도 하나의 원소를 더 포함할 수 있다. 구체적으로 채널층(16)은 Li, K와 같은 I족 원소, Mg, Ca, Sr과 같은 II족 원소, Ga, Al, In과 같은 III족 원소, Si, Sn, Ge와 같은 IV족 원소, Sb와 같은 V족 원소, Y, Ti, Zr, V, Nb, Ta와 같은 전이금속 원소 및 La, Ce, Pr, Nd, Pm, Sm, Eu, Gd, Tb, Dy, Ho, Er, Tm, Yb, Lu와 같은 란탄(Ln) 계열 원소 중 적어도 하나를 더 포함할 수 있다. 이러한 원소들은 채널층(16)을 형성하는 물질 내에 도핑될 수 있다. 채널층(16)에 추가적으로 포함되는 원소들의 함량은 임의로 선택될 수 있으며, 예를 들어 전체 함량 대비 0.1 내지 10 atomic%의 함량이 될 수 있다.

- [0038] 채널층(16)은 결정질상(crystalline phase)을 포함할 수 있다. 채널층(16)은 그 전체 또는 일부가 결정질상일 수 있으며, 전체 채널의 적어도 30% 이상의 영역이 결정질상일 수 있으며, 80% 이상의 영역이 결정질상일 수 있다. 채널층(16)은 약 5 내지 100nm의 두께로 형성될 수 있으며, 이에 제한된 것은 아니다. 채널층(16)을 형성하는 물질은 단결정(single crystalline)일 수 있으나, 다수의 결정질상들을 포함하여 형성된 다결정상(poly crystalline phase)을 지닐 수 있다.

- [0039] 채널층(16)을 구성하는 물질은 채널층(16)의 위치에 따라 농도 구배를 지닐 수 있다. 도 2는 본 발명의 실시예에 따른 박막 트랜지스터의 채널층(16)을 나타낸 도면이다. 도 1 및 도 2를 참조하면, 채널층(16)은 제 1영역(S1)과 제 2영역(S2)을 포함할 수 있다. 여기서, 제 1영역(S1)은 게이트 전극(12)과 상대적으로 가까운 영역으로, 게이트 전극(12)과 대향하는 채널층(16)의 면일 수 있다. 제 1영역(S1)은 게이트 절연층(14)과 직접 접촉하는 영역일 수 있다. 제 2영역(S2)은 소스 전극(18a) 및 드레인 전극(18b) 사이에 노출된 영역일 수 있으며, 면일 수 있다. 게이트 전극(12)과 대향하는 제 1영역(S1)은 프론트 채널(front channel)이라 할 수 있으며, 제 2영역(S2)은 백 채널(back channel)이라 할 수 있다. 제 1영역(S1)은 제 1면으로 표현될 수 있으며, 제 2영역(S2)은 제 2면으로 표현될 수 있다. 채널층(16)은 아연질산화물에 불소를 포함하는 물질(ZnONF)로 형성될 수 있

다. 채널층(16)을 ZnONF로 형성하는 경우, Zn, O, N 및 F의 조성비가 1:1:1:1인 것을 의미하는 것이 아니며, Zn, O, N 및 F로 구성된 화합물질을 의미할 수 있다. 이 때, 채널층(16)을 구성하는 물질 중 하나인 불소는 채널층(16)의 제 2영역(S2)에서의 농도가 제 1영역(S1)에서의 농도보다 상대적으로 높을 수 있다. 채널층(16)이 ZnONF로 형성된 경우, 채널층(16)의 불소(F)의 함량이 증가하면 박막 트랜지스터의 신뢰성은 증가할 수 있으나, 이동도는 감소할 수 있다. 따라서, 박막 트랜지스터의 신뢰성을 증가시키기 위해서는 채널층(16)의 불소(F)의 농도는 증가시키는 것이 유리하며, 이동도를 증가시키기 위해서는 채널층(16)의 불소(F)의 농도는 감소시키는 것이 유리하다. 이를 감안하여, 본 발명의 실시예에 따른 박막 트랜지스터의 채널층(16)은 박막 트랜지스터의 이동도에 직접 기여하는 채널층(16)의 프런트 채널인 제 1영역(S1)의 불소(F)의 감소시키고, 박막 트랜지스터의 신뢰성 특성을 향상시키기 위해서 채널층(16)의 백 채널인 제 2영역(S2)은 불소(F)의 농도를 상대적으로 증가시킬 수 있다.

[0040] 도 3은 본 발명의 실시예에 따른 박막 트랜지스터의 채널층의 농도 구배를 두께에 따라 나타낸 그래프이다. 여기서 가로축은 채널층(16)의 제 1영역(S1)으로부터 제 2영역(S2)까지의 거리를 나타내며, 세로축은 채널층(16)을 형성하는 전체 물질에 대한 하나의 물질의 조성 비를 나타낸 것일 수 있다. 예를 들어 채널층(16)이 ZnONF를 포함하여 형성된 경우, 세로축은 불소(F)의 atomic %를 나타낼 수 있다.

[0041] 도 3을 참조하면, 채널층(16)의 제 1영역(S1)의 불소(F)의 농도는 D1(atomic %)이며, 채널층(16)의 제 2영역(S2)의 불소(F) 농도는 D2일 수 있다. 채널층(16)의 제 1영역(S1)으로부터 제 2영역(S2)으로 갈수록 채널층(16)의 두께에 따라 불소의 농도는 증가할 수 있으며, 농도의 증가 형태는 선형적으로 증가(L2)하거나 비선형적으로 증가(L2-L4)할 수 있으며 제한은 없다. 이처럼 채널층(16)을 ZnONF로 형성시킨 경우, 채널층(16)의 제 1영역(S1)의 불소(F)의 농도보다 제 2영역(S2) 불소(F)의 농도를 크게함으로써 박막 트랜지스터의 우수한 신뢰성을 유지하면서 이동도를 향상시킬 수 있다.

[0042]

[0043] 박막 트랜지스터의 제조 방법

[0044] 이하, 도면을 참조하여 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법에 대해 설명하고자 한다. 도 4a 내지 도 4g는 본 발명의 실시예에 따른 박막 트랜지스터의 제조 방법을 나타낸 단면도이다. 본 발명의 실시예에 따른 박막 트랜지스터는 물리기상증착법(physical vapor deposition: PVD), 화학기상증착법(chemical vapor deposition: CVD) 또는 증발법(evaporation) 등을 이용하여 형성할 수 있으며 제한은 없다.

[0045] 도 4a를 참조하면, 기판(10) 상에 전도성 물질층을 형성한 뒤 패터닝을 실시하여 기판(10)의 일영역 상에 게이트 전극(12)을 형성한다. 기판(substrate)(10)으로는 전자 소자의 기판에 사용되는 물질이면 제한없이 이용가능하다. 예를 들어 기판(10)은 글래스 기판(glass substrate), 실리콘 기판(silicon substrate), 플라스틱 기판(plastic substrate) 등을 이용하여 형성할 수 있다. 기판(10)은 가요성(flexible)을 지닌 것일 수 있으며, 투명, 반투명 또는 불투명한 기판일 수 있다. 게이트 전극(12)은 전도성 물질로 형성될 수 있으며, 금속, 합금, 전도성 금속 산화물 또는 전도성 금속 질화물 등을 포함할 수 있다. 예를 들어 게이트 전극(12)는 Au, Pt, Ru, Ag, Al, Ti, Mo, W, Cu, Nd, Cr 또는 Ta 등의 금속이거나 이들을 포함하는 합금으로 형성될 수 있다. 그리고, 게이트 전극(12)은 In-Sn-O(indium tin oxide: ITO), In-Zn-O(indium zinc oxide: IZO), Al-Zn-O(aluminum zinc oxide: AZO), Ga-Zn-O(gallium zinc oxide: GZO) 또는 Zn-Sn-O(zinc tin oxide: ZTO) 등의 전도성 산화물 또는 이들을 포함하는 화합물로 형성될 수 있다. 게이트 전극(12)은 단층 또는 다층 구조로 형성될 수 있다.

[0046] 도 4b를 참조하면, 기판(10) 및 게이트 전극(12) 상에 게이트 절연층(14)을 형성할 수 있다.

[0047] 게이트 절연층(14)은 절연 물질로 형성할 수 있으며, 실리콘 산화물(SiO₂) 또는 실리콘 산화물보다 높은 유전 상수를 지닌 high-k 물질로 포함하는 물질로 형성될 수 있다. 예를 들어 게이트 절연층(14)은 실리콘 산화물(SiO₂), 실리콘 질화물(Si₃N₄층), hafnium 산화물(HfO₂) 또는 알루미늄 산화물(Al₂O₃) 중 적어도 하나의 물질을 포함하여 형성될 수 있다. 게이트 절연층(14)은 단층 또는 다층 구조로 형성될 수 있다.

[0048] 도 4c를 참조하면, 게이트 절연층(14) 상에 채널 물질층을 형성하여 채널층(16)을 형성할 수 있다. 채널층(16)은 게이트 전극(14)에 대응되는 게이트 절연층(14) 상에 형성될 수 있다.

[0049] 채널층(16)을 예를 들어 ZnONF로 형성하는 경우, 스퍼터링(sputtering) 공정에 의해 형성하는 방법을 설명한다. 채널층(16)을 형성하고자 하는 경우, 챔버 내부로 분위기 가스로 Ar을 공급할 수 있으며, 반응성 가스로 질소

가스를 공급할 수 있으며, 추가적으로 산소 가스를 공급할 수 있다. 그리고, 타겟으로 아연(Zn) 타겟을 사용할 수 있다. 챔버 내부의 압력은 고진공 상태에서, 증착 공정이 진행되면서 0.05~15 Pa 범위일 수 있다. 스퍼터링 공정은 상온에서 실시할 수 있으며, 선택적으로 상온보다 높은 온도에서 실시할 수 있다. 반응성 가스인 산소 가스 및 질소 가스는 채널에서의 산소 및 질소 성분의 소스로 작용할 수 있다. 따라서, 반응성 가스인 산소 가스 및 질소 가스의 공급량(sccm)을 각각 조절함으로써 화합물 반도체에서의 산소 및 질소 성분비를 조절할 수 있다. 타겟으로는 아연, 아연 화합물 타겟을 사용할 수 있으며, 예를 들어 ZnO_xN_y ($x \geq 0, y > 0, x+y=1$)의 화학식을 지닌 타겟을 사용하는 경우, 분위기 가스를 공급하면서 반응성 가스는 공급하지 않고 화합물 반도체를 형성할 수 있다. 채널층(16)에 불소(F)를 포함시키기 위하여, ZnF_2 타겟을 추가적으로 사용할 수 있다. 제조 공정에 사용되는 타겟들은 각각 독립적인 스퍼터링 파워와 연결될 수 있으며, 형성되는 채널층(16)의 성분비가 제어될 수 있다. 예를 들어, Zn 타겟 및 ZnF_2 타겟을 사용하고 반응성 가스로 산소 및 질소를 공급하면서 채널층(16)을 형성하면서, 채널층(16)이 형성됨에 따라 ZnF_2 타겟의 출력을 증가시킬 수 있다. 이에 따라 채널층(16)의 제 1영역(S1)의 불소(F) 농도보다 제 2영역(S2)의 불소(F)의 농도를 크게 할 수 있다. 그리고, 채널층(16)에 추가적으로 포함시키고자 하는 물질이 있는 경우 해당되는 물질을 포함하는 타겟을 더 사용할 수 있다.

[0050] 도 4d를 참조하면, 게이트 절연층(14) 및 채널층(16) 상에 전도성 물질층을 형성하고 패터닝 공정을 실시하여 채널층(16)과 각각 전기적으로 연결된 소스 전극(18a) 및 드레인 전극(18b)을 형성할 수 있다.

[0051] 소스 전극(18a) 및 드레인 전극(18b)은 전도성 물질로 형성될 수 있으며, 예를 들어 금속, 합금, 전도성 금속 산화물 또는 전도성 금속 질화물로 형성될 수 있다. 소스 전극(18a) 및 드레인 전극(18b)은 단층 또는 다층 구조로 형성될 수 있다. 소스 전극(18a) 및 드레인 전극(18b)은 서로 동일한 물질 또는 서로 다른 물질로 형성될 수 있다. 또한 소스 전극(18a) 및 드레인 전극(18b)은 게이트 전극(12)와 동일한 물질로 형성될 수 있으며, 서로 다른 물질로 형성된 것일 수 있다.

[0052] 본 발명의 실시예에 따른 박막 트랜지스터는 디스플레이와 같은 표시장치에 스위칭소자 또는 구동소자로 적용될 수 있다. 본 발명의 실시예에 따른 박막 트랜지스터는 고이동도 특성을 지닐 수 있으며, 높은 신뢰성을 지닐 수 있다. 본 발명의 실시예에 따른 박막 트랜지스터는 차세대 고성능, 고해상도의 대면적 표시장치에 적용될 수 있다. 그리고 본 발명의 실시예에 따른 박막 트랜지스터는 메모리소자 또는 논리소자 등 다른 전자소자 분야에 다양한 용도로 적용될 수 있다.

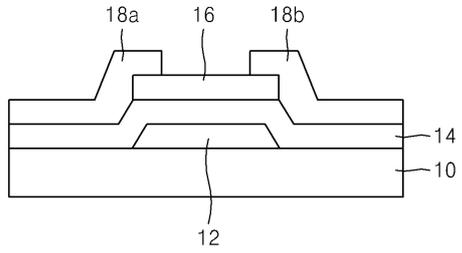
[0053] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도면에 나타난 박막 트랜지스터의 구성요소 및 구조는 다양하게 변형될 수 있음을 알 수 있을 것이다. 따라서, 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

부호의 설명

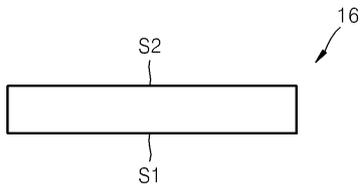
- | | | |
|--------|-------------|-------------|
| [0054] | 10: 기판 | 12: 게이트 전극 |
| | 14: 게이트 절연층 | 16: 채널층 |
| | 18a: 소스 전극 | 18b: 드레인 전극 |
| | S1: 제 1영역 | S2: 제 2영역 |

도면

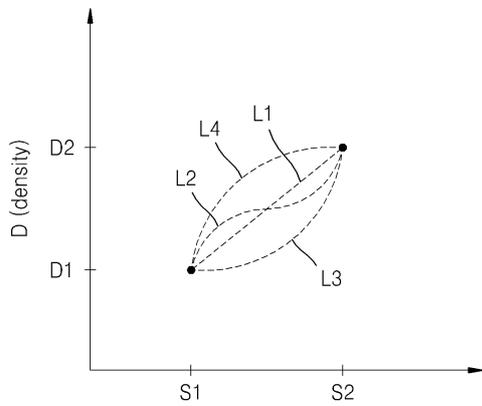
도면1



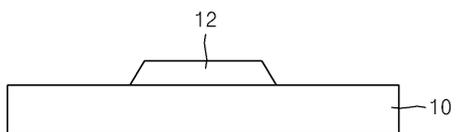
도면2



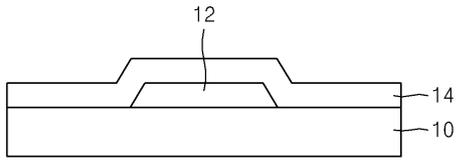
도면3



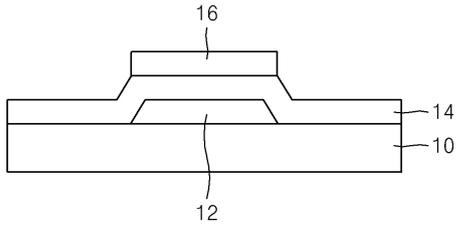
도면4a



도면4b



도면4c



도면4d

