

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6189771号
(P6189771)

(45) 発行日 平成29年8月30日(2017.8.30)

(24) 登録日 平成29年8月10日(2017.8.10)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 D
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 W
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 D
HO 1 L 21/285 (2006.01)	HO 1 L 21/28 3 O 1 S
	HO 1 L 21/285 S

請求項の数 11 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2014-40989 (P2014-40989)
 (22) 出願日 平成26年3月3日(2014.3.3)
 (65) 公開番号 特開2015-167167 (P2015-167167A)
 (43) 公開日 平成27年9月24日(2015.9.24)
 審査請求日 平成28年10月24日(2016.10.24)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (74) 代理人 100113642
 弁理士 菅田 篤志
 (74) 代理人 100117008
 弁理士 筒井 章子
 (74) 代理人 100147430
 弁理士 坂次 哲也
 (72) 発明者 片岡 肇
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板の表層部に互いに離間して形成されたソース用の第1導電型の第1半導体領域およびドレイン用の前記第1導電型の第2半導体領域と、

前記第1半導体領域と前記第2半導体領域との間の前記半導体基板の主面上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の下のチャネル形成領域と前記第2半導体領域との間の前記半導体基板の主面に形成されたLOCOS酸化膜およびSTI絶縁膜と、

を有し、

前記LOCOS酸化膜および前記STI絶縁膜のうち、前記LOCOS酸化膜は前記チャネル形成領域側に位置し、前記STI絶縁膜は前記第2半導体領域側に位置している、半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記ゲート電極の一部は、前記LOCOS酸化膜上に乗り上げている、半導体装置。

【請求項3】

請求項1記載の半導体装置において、

前記チャネル形成領域と前記第2半導体領域との間の前記半導体基板に形成された、前記第1導電型の第3半導体領域を更に有し、

前記第 3 半導体領域の不純物濃度は、前記第 2 半導体領域の不純物濃度よりも低く、
前記第 3 半導体領域は、前記 L O C O S 酸化膜および前記 S T I 絶縁膜の下に延在して
いる、半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記第 3 半導体領域は、前記第 1 導電型の第 4 半導体領域と、前記第 1 導電型の第 5 半
導体領域とからなり、

前記第 4 半導体領域の不純物濃度は、前記第 2 半導体領域の不純物濃度よりも低く、

前記第 5 半導体領域の不純物濃度は、前記第 4 半導体領域の不純物濃度よりも低く、

前記チャネル形成領域側に前記第 5 半導体領域が存在し、

前記第 2 半導体領域と前記第 5 半導体領域との間に前記第 4 半導体領域が介在している
、半導体装置。

10

【請求項 5】

請求項 1 記載の半導体装置において、

前記半導体基板に形成された前記第 1 導電型とは反対の第 2 導電型の第 6 半導体領域を
更に有し、

前記第 1 半導体領域は前記第 6 半導体領域内に形成され、

前記ゲート電極の一部は、前記ゲート絶縁膜を介して前記第 6 半導体領域上に延在して
いる、半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記半導体基板の前記第 6 半導体領域内に形成された前記第 2 導電型の第 7 半導体領域
を更に有し、

前記第 7 半導体領域の不純物濃度は、前記第 6 半導体領域の不純物濃度よりも高く、

前記第 1 半導体領域と前記第 7 半導体領域とは同電位が供給される、半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

前記半導体基板の上に、前記ゲート電極を覆うように形成された層間絶縁膜と、

前記第 2 半導体領域上の前記層間絶縁膜に形成された第 1 コンタクトホールと、

前記第 1 コンタクトホールに埋め込まれて前記第 2 半導体領域と電氣的に接続された導
電性の第 1 プラグと、

を更に有する、半導体装置。

30

【請求項 8】

請求項 7 記載の半導体装置において、

前記第 1 半導体領域上の前記層間絶縁膜に形成された第 2 コンタクトホールと、

前記第 2 コンタクトホールに埋め込まれて前記第 1 半導体領域と電氣的に接続された導
電性の第 2 プラグと、

を更に有する、半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、

前記 L O C O S 酸化膜の深さを D_1 とし、前記 S T I 絶縁膜の深さを D_2 としたときに
、 $D_2 / D_1 = 1.5$ が成り立つ、半導体装置。

40

【請求項 10】

請求項 1 記載の半導体装置において、

前記ゲート電極は、前記チャネル形成領域と前記第 2 半導体領域との間に配置された前
記 L O C O S 酸化膜上に乗り上げているが、前記チャネル形成領域と前記第 2 半導体領域
との間に配置された前記 S T I 絶縁膜上には乗り上げていない、半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、

前記ゲート電極の端部は、前記チャネル形成領域と前記第 2 半導体領域との間に配置さ

50

れた前記STI絶縁膜から、0.3 μm以上離間されている、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えば、MISFETを有する半導体装置に好適に利用できるものである。

【背景技術】

【0002】

MISFETは、半導体基板の表層部に互いに離間して形成されたソース領域およびドレイン領域と、ソース領域とドレイン領域との間の半導体基板上にゲート絶縁膜を介して形成されたゲート電極とを有している。

10

【0003】

非特許文献1には、MOSFETを有するパワーデバイスに関する技術が記載されている。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】R. Roggero et al., "BCD8sP: An Advanced 0.16 μm Technology Platform with State of the Art Power Devices", Proceedings of The 25th International Symposium on Power Semiconductor & ICs (ISPSD2013), 2013年, p.361-364

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

MISFETを有する半導体装置においても、できるだけ性能を向上させることが望まれる。または、半導体装置の小型化を図ることが望まれる。若しくは、半導体装置の性能を向上させ、かつ、半導体装置の小型化を図ることが望まれる。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

30

【0007】

一実施の形態によれば、半導体装置は、チャンネル形成領域とドレイン用の半導体領域との間において半導体基板の主面に形成されたLOCOS酸化膜およびSTI絶縁膜を有し、前記LOCOS酸化膜および前記STI絶縁膜のうち、前記LOCOS酸化膜は前記チャンネル形成領域側に位置し、前記STI絶縁膜は前記ドレイン用の半導体領域側に位置している。

【発明の効果】

【0008】

一実施の形態によれば、半導体装置の性能を向上させることができる。

【0009】

40

または、半導体装置の小型化を図ることができる。

【0010】

若しくは、半導体装置の性能を向上させ、かつ、半導体装置の小型化を図ることができる。

【図面の簡単な説明】

【0011】

【図1】一実施の形態の半導体装置の要部断面図である。

【図2】一実施の形態の半導体装置の要部断面図である。

【図3】一実施の形態の半導体装置の要部平面図である。

【図4】一実施の形態の半導体装置の要部平面図である。

50

【図5】一実施の形態の半導体装置の製造工程中の要部断面図である。

【図6】図5に続く半導体装置の製造工程中の要部断面図である。

【図7】図6に続く半導体装置の製造工程中の要部断面図である。

【図8】図7に続く半導体装置の製造工程中の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

10

【図15】図14に続く半導体装置の製造工程中の要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】図16に続く半導体装置の製造工程中の要部断面図である。

【図18】図17に続く半導体装置の製造工程中の要部断面図である。

【図19】図18に続く半導体装置の製造工程中の要部断面図である。

【図20】図19に続く半導体装置の製造工程中の要部断面図である。

【図21】図20に続く半導体装置の製造工程中の要部断面図である。

【図22】図21に続く半導体装置の製造工程中の要部断面図である。

【図23】図22に続く半導体装置の製造工程中の要部断面図である。

【図24】図23に続く半導体装置の製造工程中の要部断面図である。

20

【図25】図24に続く半導体装置の製造工程中の要部断面図である。

【図26】図25に続く半導体装置の製造工程中の要部断面図である。

【図27】図26に続く半導体装置の製造工程中の要部断面図である。

【図28】図27に続く半導体装置の製造工程中の要部断面図である。

【図29】第1検討例の半導体装置の要部断面図である。

【図30】第1検討例の半導体装置の要部平面図である。

【図31】第2検討例の半導体装置の要部断面図である。

【図32】第2検討例の半導体装置の要部平面図である。

【図33】STI絶縁膜の幅とオン抵抗との相関を示すグラフである。

【図34】STI絶縁膜の幅とオン耐圧との相関を示すグラフである。

30

【図35】一実施の形態の半導体装置の要部断面図である。

【図36】変形例の半導体装置の要部断面図である。

【図37】変形例の半導体装置の要部断面図である。

【発明を実施するための形態】

【0012】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その言及した数に限定されるものではなく、言及した数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

40

【0013】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は

50

省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0014】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0015】

(実施の形態)

<半導体装置の構造について>

本実施の形態の半導体装置を、図面を参照して説明する。図1および図2は、本実施の形態の半導体装置の要部断面図であり、図3および図4は、本実施の形態の半導体装置の要部平面図である。図3および図4のA-A線の断面図が、図1にほぼ対応し、図3および図4のB-B線の断面図が、図2にほぼ対応している。

10

【0016】

なお、図3と図4には、同じ平面領域が示されており、図3にゲート電極GEを加えたものが図4に対応している。また、図3と図4は、平面図であるが、理解を簡単にするために、図3では、LOCOS酸化膜2、STI絶縁膜3および素子分離領域4に斜線のハッチングを付し、図4では、LOCOS酸化膜2、STI絶縁膜3および素子分離領域4に斜線のハッチングを付し、ゲート電極GEにドットのパッチングを付してある。

【0017】

本実施の形態の半導体装置は、MISFET (Metal Insulator Semiconductor Field Effect Transistor) を有する半導体装置であり、ここでは、MISFETとしてLDMOSFET (Laterally Diffused Metal-Oxide-Semiconductor Field Effect Transistor) を有する半導体装置である。

20

【0018】

なお、本願において、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) またはLDMOSFETというときは、ゲート絶縁膜に酸化膜(酸化シリコン膜)を用いたMISFETだけでなく、酸化膜(酸化シリコン膜)以外の絶縁膜をゲート絶縁膜に用いたMISFETも含むものとする。また、LDMOSFETは、MISFET素子の一種である。

30

【0019】

以下、本実施の形態の半導体装置の構造について、図1～図4を参照して具体的に説明する。

【0020】

図1～図4に示されるように、MISFETとして、LDMOSFETが、半導体基板SUBの主面に形成されている。半導体基板SUBは、例えばホウ素(B)などのp型不純物が導入されたp⁺型の単結晶シリコンなどからなる半導体基板である基板本体SBと、基板本体SBの主面上にn型の埋込層(半導体層)NBを介して形成された、p⁻型の単結晶シリコンなどからなるエピタキシャル層(半導体層、エピタキシャル半導体層)EPとを有している。このため、半導体基板SUBは、いわゆるエピタキシャルウエハである。基板本体SBとエピタキシャル層EPとは、同じ導電型(ここではp型)であるが、基板本体SBの不純物濃度(p型不純物濃度)は、エピタキシャル層EPの不純物濃度(p型不純物濃度)よりも高くなっており、基板本体SBの抵抗率(比抵抗)は、エピタキシャル層EPの抵抗率(比抵抗)よりも低い。

40

【0021】

ここで、エピタキシャル層EPのうち、p⁻型の状態が維持されている領域を、p⁻型エピタキシャル層EP1と称することとする。エピタキシャル層EP内には、p型ウエルPW、n⁺型半導体領域SR、p⁺型半導体領域PR、n⁻型半導体領域NF、n型半導体領域NWおよびn⁺型半導体領域DRが形成されているが、それらを除く領域が、p⁻型エピタキシャル層EP1に対応している。このため、p⁻型エピタキシャル層EP1は、基板

50

本体S Bと同じ導電型(ここではp型)であるが、 p^- 型エピタキシャル層E P 1の不純物濃度(p型不純物濃度)は、基板本体S Bの不純物濃度(p型不純物濃度)よりも低く、 p^- 型エピタキシャル層E P 1の抵抗率は、基板本体S Bの抵抗率よりも高い。

【0022】

半導体基板S U Bにおいては、素子分離領域4で規定された(すなわち素子分離領域4で周囲を囲まれた)活性領域に、L D M O S F E Tが形成されている。素子分離領域4としては、S T I構造またはD T I構造(後述のD T I構造5に対応)を採用することができる。

【0023】

具体的には、半導体基板S U Bのエピタキシャル層E Pには、p型ウエルP Wと、ソース用の n^+ 型半導体領域S Rと、p型ウエルP Wへの給電用の p^+ 型半導体領域P Rと、ドレイン用の n^- 型半導体領域N F、n型半導体領域N Wおよび n^+ 型半導体領域D Rとが形成され、エピタキシャル層E Pの表面上に、ゲート絶縁膜用の絶縁膜(ゲート絶縁膜)G Iを介してゲート電極G Eが形成されている。

【0024】

p型ウエル(p型半導体領域、p型ボディ層)P Wと p^+ 型半導体領域(p型給電領域)P Rとは、半導体基板S U Bのエピタキシャル層E P内に形成されたp型の半導体領域(p型不純物拡散領域)である。 p^+ 型半導体領域P Rの不純物濃度(p型不純物濃度)は、p型ウエルP Wの不純物濃度(p型不純物濃度)よりも高く、p型ウエルP Wの不純物濃度(p型不純物濃度)は、 p^- 型エピタキシャル層E P 1の不純物濃度(p型不純物濃度)よりも高い。

【0025】

n^+ 型半導体領域(ソース領域)S Rと n^- 型半導体領域N Fとn型半導体領域N Wと n^+ 型半導体領域D Rとは、半導体基板S U Bのエピタキシャル層E P内に形成されたn型の半導体領域(n型不純物拡散領域)である。n型半導体領域(n型ドレイン領域、n型ドリフト領域)N Wの不純物濃度(n型不純物濃度)は、 n^- 型半導体領域(低濃度ドレイン領域、n型オフセットドレイン領域、 n^- 型ドリフト領域)N Fの不純物濃度(n型不純物濃度)よりも高い。また、 n^+ 型半導体領域(高濃度ドレイン領域、 n^+ 型ドレイン領域)D Rの不純物濃度(n型不純物濃度)は、n型半導体領域N Wの不純物濃度(n型不純物濃度)よりも高い。

【0026】

半導体基板S U Bのエピタキシャル層E Pにおいて、ソース用の n^+ 型半導体領域S Rと、p型ウエルP Wへの給電用の p^+ 型半導体領域P Rとは、p型ウエルP W内に形成されている。すなわち、半導体基板S U Bのエピタキシャル層E Pにおいて、 n^+ 型半導体領域S Rおよび p^+ 型半導体領域P Rは、p型ウエルP W内に包されている。このため、 n^+ 型半導体領域S Rと p^+ 型半導体領域P Rとは、それぞれ、p型ウエルP Wよりも浅く形成されており、 n^+ 型半導体領域S Rの底面はp型ウエルP Wに接し、 p^+ 型半導体領域P Rの底面はp型ウエルP Wに接している。また、p型ウエルP W内において、 n^+ 型半導体領域S Rと p^+ 型半導体領域P Rとが互いに隣接している(接している)場合と、 n^+ 型半導体領域S Rと p^+ 型半導体領域P Rとがp型ウエルP Wの一部を介して互いに離間している場合とがあり得る。このため、 n^+ 型半導体領域S Rおよび p^+ 型半導体領域P Rの側面は、p型ウエルP Wに接しているが、 n^+ 型半導体領域S Rと p^+ 型半導体領域P Rとが互いに隣接している(接している)場合は、 n^+ 型半導体領域S Rと p^+ 型半導体領域P Rとの互いに対向する側の側面同士が隣接する(接する)ことになる。

【0027】

n^+ 型半導体領域S Rは、L D M O S F E Tのソース領域として機能するn型の半導体領域である。また、 p^+ 型半導体領域P Rは、 p^+ 型半導体領域P R上に形成したプラグP G(すなわち給電用プラグP G K)から、 p^+ 型半導体領域P Rを介してp型ウエルP Wに所望の電位を供給するために設けられている。

【0028】

10

20

30

40

50

なお、 n^+ 型半導体領域SRと p^+ 型半導体領域PRとは、同じ電位（電圧）が供給される。このため、 n^+ 型半導体領域SR上に配置されて n^+ 型半導体領域SRに電氣的に接続されたプラグPG（すなわちソース用プラグPGS）と、 p^+ 型半導体領域PR上に配置されて p^+ 型半導体領域PRに電氣的に接続されたプラグPG（すなわち給電用プラグPGK）とを、共通のソース用配線M1Sに電氣的に接続している。これにより、ソース用配線M1SからプラグPG（ソース用プラグPGS）を介して n^+ 型半導体領域SRに所定のソース電圧が供給されると共に、そのソース用配線M1SからプラグPG（給電用プラグPGK）を介して p^+ 型半導体領域PRにも、ソース電圧と同じ電圧を供給することができる。

【0029】

10

p型ウエルPWの底面および側面は、 p^- 型となっている部分のエピタキシャル層EP（すなわち p^- 型エピタキシャル層EP1）に接している。 n^- 型半導体領域NFの底面および側面は、 p^- 型となっている部分のエピタキシャル層EP（すなわち p^- 型エピタキシャル層EP1）に接している。

【0030】

p型ウエルPWと n^- 型半導体領域NFとは、どちらもエピタキシャル層EP内に形成されているが、 p^- 型となっている部分のエピタキシャル層EP（すなわち p^- 型エピタキシャル層EP1）を介して互いに離間している。すなわち、p型ウエルPWと n^- 型半導体領域NFとは、ゲート電極GEのゲート長方向に離間しており、ゲート長方向にみると、p型ウエルPWと n^- 型半導体領域NFとの間には、 p^- 型となっている部分のエピタキシャル層EP（すなわち p^- 型エピタキシャル層EP1）が存在している。このため、ソース用の n^+ 型半導体領域SRとドレイン用の n^- 型半導体領域NFとの間には、p型ウエルPWの一部と、 p^- 型となっている部分のエピタキシャル層EP（すなわち p^- 型エピタキシャル層EP1の一部）とが介在している。

20

【0031】

なお、「ゲート長方向」という場合は、ゲート電極GEのゲート長方向を指すものとする。また、「ゲート幅方向」という場合は、ゲート電極GEのゲート幅方向を指すものとする。また、チャンネル長方向は、ゲート長方向と同じであり、チャンネル幅方向は、ゲート幅方向と同じである。

【0032】

30

半導体基板SUBのエピタキシャル層EPにおいて、 n 型半導体領域NWは、 n^- 型半導体領域NF内に形成されている。すなわち、半導体基板SUBのエピタキシャル層EPにおいて、 n 型半導体領域NWは、 n^- 型半導体領域NFに内包されている。このため、 n 型半導体領域NWは、 n^- 型半導体領域NFよりも浅く形成されており、 n 型半導体領域NWの底面および側面は、 n^- 型半導体領域NFに接している。

【0033】

半導体基板SUBのエピタキシャル層EPにおいて、 n^+ 型半導体領域DRは、 n 型半導体領域NW内に形成されている。すなわち、半導体基板SUBのエピタキシャル層EPにおいて、 n^+ 型半導体領域DRは、 n 型半導体領域NWに内包されている。このため、 n^+ 型半導体領域DRは、 n 型半導体領域NWよりも浅く形成されており、 n^+ 型半導体領域DRの底面は、 n 型半導体領域NWに接している。 n^+ 型半導体領域DRの側面は、 n 型半導体領域NWに接するか、あるいは、STI絶縁膜3に接している。

40

【0034】

n^- 型半導体領域NFと n 型半導体領域NWと n^+ 型半導体領域DRとは、いずれもドレイン用の n 型半導体領域である。但し、 n 型半導体領域NWおよび n^+ 型半導体領域DRは、どちらもチャンネル形成領域とは隣接しておらず、 n^- 型半導体領域NFと n 型半導体領域NWと n^+ 型半導体領域DRとのうち、チャンネル形成領域に隣接しているのは、最も不純物濃度が低い n^- 型半導体領域NFである。半導体基板SUBのエピタキシャル層EPにおいて、 n^+ 型半導体領域DRとチャンネル形成領域との間には、 n^+ 型半導体領域DRよりも低不純物濃度の n 型半導体領域NWおよび n^- 型半導体領域NFが介在している。

50

また、 n^+ 型半導体領域DRは、 n 型半導体領域NWと接するが、 n^- 型半導体領域NFとは接しておらず、 n^+ 型半導体領域DRと n^- 型半導体領域NFとの間には、 n 型半導体領域NWが介在している。また、 n 型半導体領域NWとチャネル形成領域との間には、 n 型半導体領域NWよりも低不純物濃度の n^- 型半導体領域NFが介在している。チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間隔（距離）は、チャネル形成領域とソース用の n^+ 型半導体領域SRとの間隔（距離）よりも大きい。

【0035】

半導体基板SUBの主面上（すなわちエピタキシャル層EPの表面上）には、ゲート絶縁膜用の絶縁膜GIを介して、LDMOSFETのゲート電極GEが形成されている。すなわち、ソース用の n^+ 型半導体領域SRとドレイン用の n^+ 型半導体領域DRとの間の半導体基板SUBの主面（すなわちエピタキシャル層EPの表面）上に、ゲート絶縁膜用の絶縁膜GIを介してゲート電極GEが形成されている。

10

【0036】

絶縁膜GIは、例えば酸化シリコン膜などからなる。ゲート電極GEは、例えば、不純物（例えば n 型不純物）を導入した多結晶シリコン膜（ドーフトポリシリコン膜）からなる。ゲート電極GEは、単層膜または積層膜により形成され、ゲート電極GEをシリコン膜により形成した場合は、ゲート電極GE上に金属シリサイド層（後述の金属シリサイド層SLに対応）を形成することもできる。

【0037】

ゲート電極GEは、 p^- 型エピタキシャル層EP1および p 型ウエルPW上に絶縁膜GIを介して形成されている。すなわち、ゲート電極GEは、 p 型ウエルPWと n^- 型半導体領域NFとの間に位置する部分の p^- 型エピタキシャル層EP1上と、 p 型ウエルPW上とに、ゲート絶縁膜用の絶縁膜GIを介して形成されている。従って、ゲート電極GEの一部は、絶縁膜GIを介して p 型ウエルPW上に延在している。ゲート電極GEの直下に位置する部分の p 型ウエルPWおよび p^- 型エピタキシャル層EP1の表層部が、チャネル形成領域となる。ゲート電極GEとエピタキシャル層EPとの間には、絶縁膜GIが介在し、ゲート電極GEとエピタキシャル層EPとの間の絶縁膜GIが、ゲート絶縁膜として機能する。

20

【0038】

ゲート電極GEの下のチャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間の半導体基板SUBの主面には、LOCOS酸化膜2およびSTI絶縁膜3が形成されている。LOCOS酸化膜2およびSTI絶縁膜3のうち、LOCOS酸化膜2はチャネル形成領域側に位置し、STI絶縁膜3は n^+ 型半導体領域DR側に位置している。ゲート電極GEの一部は、LOCOS酸化膜2上に乗り上げている。すなわち、ゲート電極GEの一部は、LOCOS酸化膜2上に位置している。

30

【0039】

具体的には、平面視において、ドレイン用の n^+ 型半導体領域DRを囲むように、LOCOS酸化膜2およびSTI絶縁膜3が形成されている。このため、平面視において、チャネル形成領域とドレイン用の n^+ 型半導体領域DRの間には、LOCOS酸化膜2とSTI絶縁膜3とが介在しているが、チャネル形成領域側にLOCOS酸化膜2があり、 n^+ 型半導体領域DR側にSTI絶縁膜3がある。平面視において、LOCOS酸化膜2とSTI絶縁膜3とは互いに隣接しており、ドレイン用の n^+ 型半導体領域DRに近い側にSTI絶縁膜3が配置され、チャネル形成領域に近い側（従ってソース領域に近い側）にLOCOS酸化膜2が配置されている。つまり、平面視において、ドレイン用の n^+ 型半導体領域DRを囲むように、STI絶縁膜3が形成され、そのSTI絶縁膜3に隣接してそのSTI絶縁膜3を囲むように、LOCOS酸化膜2が形成されている。従って、平面視において、STI絶縁膜3とLOCOS酸化膜2とが並んで、ドレイン用の n^+ 型半導体領域DRの周りを周回しており、STI絶縁膜3が内側（すなわち n^+ 型半導体領域DRに近い側）に、LOCOS酸化膜2が外側（すなわちチャネル形成領域に近い側、従ってソース領域に近い側）に配置されている。

40

50

【 0 0 4 0 】

ここで、LOCOS酸化膜（LOCOS分離膜）2は、LOCOS（Local oxidation of silicon）法により形成された酸化膜（酸化シリコン膜）である。LOCOS法とは、半導体基板の主面上に耐酸化膜（例えば窒化シリコン膜）を形成してから、半導体基板を熱酸化することにより、耐酸化膜で覆われていない領域の半導体基板の主面に、熱酸化膜（LOCOS酸化膜）を選択的（局所的）に形成する手法であり、形成された熱酸化膜がLOCOS酸化膜（LOCOS分離膜）である。

【 0 0 4 1 】

また、STI絶縁膜（STI分離膜）3は、STI（Shallow Trench Isolation）法により形成された絶縁膜である。STI法とは、半導体基板の主面に溝を形成してから、その溝に絶縁膜を埋め込む手法であり、その溝に埋め込まれた絶縁膜が、STI絶縁膜（STI分離膜）である。

10

【 0 0 4 2 】

このように、平面視において、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間には、LOCOS酸化膜2とSTI絶縁膜3とが介在しているが、LOCOS酸化膜2およびSTI絶縁膜3の下には、 n^+ 型半導体領域DRよりも低不純物濃度の n^- 型半導体領域NFおよび n 型半導体領域NWが延在している。このため、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間には、 n^+ 型半導体領域DRよりも低不純物濃度の n^- 型半導体領域NFおよび n 型半導体領域NWが介在した状態になっている。そして、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間には、 n^- 型半導体領域NFおよび n 型半導体領域NWが介在しているが、 n^+ 型半導体領域DRに近い側に n 型半導体領域NWがあり、チャネル形成領域に近い側に n^- 型半導体領域NFがある。このため、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間の導電経路として、LOCOS酸化膜2およびSTI絶縁膜3の下に延在する n^- 型半導体領域NFおよび n 型半導体領域NWが機能することができる。従って、ドレイン用の n^+ 型半導体領域DRは、LOCOS酸化膜2およびSTI絶縁膜3の下に延在する n 型半導体領域NWおよび n^- 型半導体領域NFを介して、チャネル形成領域に接続されることになる。

20

【 0 0 4 3 】

また、本実施の形態では、LOCOS酸化膜2とSTI絶縁膜3とが接している場合について図示および説明している。他の形態として、LOCOS酸化膜2とSTI絶縁膜3とが離間している場合もあり得る。

30

【 0 0 4 4 】

上述のように、ゲート電極GEは、半導体基板SUBのエピタキシャル層EP上に絶縁膜GIを介して形成されているが、ゲート電極GEの一部は、LOCOS酸化膜2上に乗っている。すなわち、ゲート電極GEは、エピタキシャル層EP上に絶縁膜GIを介して形成された部分と、LOCOS酸化膜2上に位置する部分とを一体的に有している。LOCOS酸化膜2上には絶縁膜GIは形成されていなくともよく、従って、LOCOS酸化膜2上に位置する部分のゲート電極GEは、LOCOS酸化膜2に接していてもよい。

【 0 0 4 5 】

半導体基板SUBの主面上には、ゲート電極GEを覆うように、層間絶縁膜として絶縁膜（層間絶縁膜）IL3が形成されている。絶縁膜IL3は、例えば酸化シリコン膜などからなる。絶縁膜IL3の上面は平坦化されている。絶縁膜IL3として、積層絶縁膜を用いることも可能であり、例えば、窒化シリコン膜と該窒化シリコン膜上の酸化シリコン膜との積層膜を絶縁膜IL3として用いることもでき、その場合、窒化シリコン膜よりも酸化シリコン膜を厚くすることが好ましい。なお、積層絶縁膜とは、複数の絶縁膜からなる積層膜のことである。

40

【 0 0 4 6 】

絶縁膜IL3には、コンタクトホール（開口部、スルーホール、貫通孔）CTが形成され、コンタクトホールCT内には、例えばタングステン（W）膜を主体とする導電性のプ

50

ラグ（接続用埋込導体、コンタクトプラグ）PGが形成されている。すなわち、導電性のプラグPGが、絶縁膜IL3に形成されたコンタクトホールCTに埋め込まれている。プラグPGは、接続用のプラグであり、すなわちコンタクトプラグである。絶縁膜IL3に形成されたコンタクトホールCTを埋め込むプラグPGは、ゲート電極GE上、ドレイン用のn⁺型半導体領域DR上、ソース用のn⁺型半導体領域SR上、および給電用のp⁺型半導体領域PR上に、それぞれ形成されている。プラグPGは、配線M1と半導体基板SUB内に設けた各種半導体領域（n⁺型半導体領域DR、n⁺型半導体領域SR、p⁺型半導体領域PRなど）やあるいは半導体基板SUB上に設けた各種導電性部材（ゲート電極など）との間を電氣的に接続するために設けられている。

【0047】

ここで、プラグPGのうち、ゲート電極GE上に配置されてそのゲート電極GEに電氣的に接続されたプラグPGを、ゲート用プラグPGGと称することとする。また、プラグPGのうち、ドレイン用のn⁺型半導体領域DR上に配置されてそのドレイン用のn⁺型半導体領域DRに電氣的に接続されたプラグPGを、ドレイン用プラグPGDと称することとする。また、プラグPGのうち、ソース用のn⁺型半導体領域SR上に配置されてそのn⁺型半導体領域SRに電氣的に接続されたプラグPGを、ソース用プラグPGSと称することとする。また、プラグPGのうち、給電用のp⁺型半導体領域PR上に配置されてそのp⁺型半導体領域PRに電氣的に接続されたプラグPGを、給電用プラグPGKと称することとする。また、コンタクトホールCTのうち、ドレイン用プラグPGDを埋め込むためのコンタクトホールCTを、ドレイン用コンタクトホールCTDと称することとする。ドレイン用コンタクトホールCTDは、ドレイン用のn⁺型半導体領域DR上の絶縁膜IL3（層間絶縁膜）に形成されており、ドレイン用コンタクトホールCTD内には、ドレイン用プラグPGDが埋め込まれている。ドレイン用コンタクトホールCTD内に埋め込まれたドレイン用プラグPGDは、ドレイン用のn⁺型半導体領域DRに電氣的に接続されている。また、コンタクトホールCTのうち、ソース用プラグPGSを埋め込むためのコンタクトホールCTを、ソース用コンタクトホールCTSと称することとする。ソース用コンタクトホールCTSは、ソース用のn⁺型半導体領域SR上の絶縁膜IL3（層間絶縁膜）に形成されており、ソース用コンタクトホールCTS内には、ソース用プラグPGSが埋め込まれている。ソース用コンタクトホールCTS内に埋め込まれたソース用プラグPGSは、ソース用のn⁺型半導体領域SRに電氣的に接続されている。

【0048】

また、図1および図2の場合は、n⁺型半導体領域DR、n⁺型半導体領域SR、p⁺型半導体領域PRおよびゲート電極GEの上部に金属シリサイド層は形成されていないが、後述の図20のように、図1および図2においても、n⁺型半導体領域DR、n⁺型半導体領域SR、p⁺型半導体領域PRおよびゲート電極GEの上部に後述の金属シリサイド層SLが形成されていてもよい。

【0049】

ドレイン用のn⁺型半導体領域DR上に形成されたドレイン用プラグPGDは、n⁺型半導体領域DRに接することで、そのn⁺型半導体領域DRと電氣的に接続される。なお、ドレイン用のn⁺型半導体領域DRの上部に金属シリサイド層（後述の金属シリサイド層SLに対応）を形成した場合は、ドレイン用プラグPGDは、n⁺型半導体領域DRの上部の金属シリサイド層（後述の金属シリサイド層SLに対応）に接し、その金属シリサイド層を介してドレイン用のn⁺型半導体領域DRと電氣的に接続される。

【0050】

また、ソース用のn⁺型半導体領域SR上に形成されたソース用プラグPGSは、n⁺型半導体領域SRに接することで、そのn⁺型半導体領域SRと電氣的に接続される。なお、ソース用のn⁺型半導体領域SRの上部に金属シリサイド層（後述の金属シリサイド層SLに対応）を形成した場合は、ソース用プラグPGSは、n⁺型半導体領域SRの上部の金属シリサイド層（後述の金属シリサイド層SLに対応）に接し、その金属シリサイド層を介してソース用のn⁺型半導体領域SRと電氣的に接続される。

【 0 0 5 1 】

また、給電用の p^+ 型半導体領域 PR 上に形成された給電用プラグ PGK は、 p^+ 型半導体領域 PR に接することで、その p^+ 型半導体領域 PR と電氣的に接続される。なお、給電用の p^+ 型半導体領域 PR の上部に金属シリサイド層（後述の金属シリサイド層 SL に対応）を形成した場合は、給電用プラグ PGK は、 p^+ 型半導体領域 PR の上部の金属シリサイド層（後述の金属シリサイド層 SL に対応）に接し、その金属シリサイド層を介して給電用の p^+ 型半導体領域 PR と電氣的に接続される。

【 0 0 5 2 】

また、ゲート電極 GE 上に形成されたゲート用プラグ PGG は、ゲート電極 GE に接することで、そのゲート電極 GE と電氣的に接続される。なお、ゲート電極 GE の上部に金属シリサイド層（後述の金属シリサイド層 SL に対応）を形成した場合は、ゲート用プラグ PGG は、ゲート電極 GE の上部の金属シリサイド層（後述の金属シリサイド層 SL に対応）に接し、その金属シリサイド層を介してゲート電極 GE と電氣的に接続される。

【 0 0 5 3 】

プラグ PG が埋め込まれた絶縁膜 $IL3$ 上には、配線（第1層配線） $M1$ が形成されている。配線 $M1$ は、例えば、プラグ PG が埋め込まれた絶縁膜 $IL3$ 上に導電膜を形成してから、その導電膜をパターニングすることにより形成されており、その場合は、配線 $M1$ は、パターニングされた導電膜からなる。配線 $M1$ としては、例えばアルミニウム配線などを好適に用いることができる。他の形態として、配線 $M1$ として、ダマシン法で形成したダマシン配線（埋込配線）を用いることも可能である。絶縁膜 $IL3$ および配線 $M1$ よりも上層に、更に層間絶縁膜および配線が形成されているが、ここではその図示および説明は省略する。

【 0 0 5 4 】

ここで、配線 $M1$ のうち、プラグ PG （より特定的にはゲート用プラグ PGG ）を介してゲート電極 GE に電氣的に接続された配線 $M1$ を、ゲート用配線 $M1G$ と称することとする。また、配線 $M1$ のうち、プラグ PG （より特定的にはドレイン用プラグ PGD ）を介してドレイン用の n^+ 型半導体領域 DR に電氣的に接続された配線 $M1$ を、ドレイン用配線 $M1D$ と称することとする。また、配線 $M1$ のうち、プラグ PG （より特定的にはソース用プラグ PGS ）を介してソース用の n^+ 型半導体領域 SR に電氣的に接続された配線 $M1$ を、ソース用配線 $M1S$ と称することとする。ゲート用配線 $M1G$ とドレイン用配線 $M1D$ とソース用配線 $M1S$ とは、互いに分離されている。すなわち、ゲート用配線 $M1G$ とドレイン用配線 $M1D$ とは、導体を通じて接続されておらず、かつ、ゲート用配線 $M1G$ とソース用配線 $M1S$ とは、導体を通じて接続されておらず、かつ、ソース用配線 $M1S$ とドレイン用配線 $M1D$ とは、導体を通じて接続されていない。

【 0 0 5 5 】

ドレイン用配線 $M1D$ からドレイン用プラグ PGD を介してドレイン用の n^+ 型半導体領域 DR に所望のドレイン電圧（ドレイン電位）を供給することができる。また、ゲート用配線 $M1G$ からゲート用プラグ PGG を介してゲート電極 GE に所望のゲート電圧（ゲート電位）を供給することができる。また、ソース用配線 $M1S$ からソース用プラグ PGS を介してソース用の n^+ 型半導体領域 SR に所望のソース電圧（ソース電位）を供給することができる。

【 0 0 5 6 】

ソース用プラグ PGS はソース用配線 $M1S$ に接続されているが、給電用プラグ PGK もソース用配線 $M1S$ に接続されている。すなわち、ソース用の n^+ 型半導体領域 SR と給電用の p^+ 型半導体領域 PR とは、プラグ PG を介して共通のソース用配線 $M1S$ に電氣的に接続されている。つまり、ソース用の n^+ 型半導体領域 SR と給電用の p^+ 型半導体領域 PR とは、ソース用プラグ PGS 、ソース用配線 $M1S$ および給電用プラグ PGK を介して、電氣的に接続されている。このため、ソース用配線 $M1S$ からソース用プラグ PGS を介して n^+ 型半導体領域 SR に所望のソース電圧が供給されると共に、そのソース用配線 $M1S$ から給電用プラグ PGK を介して p^+ 型半導体領域 PR に（従って p 型ウエ

10

20

30

40

50

ルPWにも)、ソース電圧と同じ電圧が供給されるようになっている。

【0057】

次に、LDMOSFETに電流を流す際の動作について説明する。すなわち、ドレイン用配線M1Dからドレイン用プラグPGDを介してドレイン用のn⁺型半導体領域DRに供給するドレイン電圧を、ソース用配線M1Sからソース用プラグPGSを介してソース用のn⁺型半導体領域SRに供給するソース電圧よりも高くする。そして、ゲート用配線M1Gからゲート用プラグPGGを介してゲート電極GEに所定のゲート電圧(しきい値電圧よりも高い電圧)を供給することにより、LDMOSFETをオン状態にする。これにより、LDMOSFETのチャンネル形成領域はオン状態(導通状態)となり、ソース用のn⁺型半導体領域SRとドレイン用のn⁺型半導体領域DRとの間に、ゲート電極GEの直下のチャンネル形成領域とn⁻型半導体領域NFとn型半導体領域NWとを經由して電流を流すことができる。すなわち、ソース用配線M1Sとドレイン用配線M1Dとの間に、ソース用プラグPGS、n⁺型半導体領域SR、チャンネル形成領域、n⁻型半導体領域NF、n型半導体領域NW、n⁺型半導体領域DRおよびドレイン用プラグPGDを經由して、電流(ソース・ドレイン電流)を流すことができる。

10

【0058】

また、半導体基板SUBの主面に、LDMOSFETのセル、すなわち単位LDMOSFET素子を複数形成し、これら複数の単位LDMOSFET素子を並列に接続することにより、1つのパワーMISFETを形成することもできる。

【0059】

具体的には、図3および図4にも示されるように、半導体基板SUBの主面のLDMOSFET形成領域に、複数の単位LDMOSFET6aが形成され、LDMOSFET形成領域に形成されたこれら複数の単位LDMOSFET6aが配線(配線M1~M4のうちの任意の配線)を介して並列に接続されることにより、1つのパワーMISFETを形成することができる。ここで、LDMOSFET形成領域は、半導体基板SUBの主面において、パワーMISFETを構成する複数の単位LDMOSFET6aが形成されている平面領域であり、平面視でLDMOSFET形成領域の周囲は素子分離領域4で囲まれている。

20

【0060】

LDMOSFET形成領域では、図1~図4に示されるような単位セル(繰り返し単位、単位領域)6の構造(レイアウト)がX方向に繰り返されている。一つの単位セル6により2つの単位LDMOSFET(LDMOSFETセル)6aが形成される。すなわち、繰り返しの単位は単位セル6であるが、各単位セル6は、高濃度ドレイン領域であるn⁺型半導体領域DRを共通にしてX方向に対称な構造の2つの単位LDMOSFET6aにより構成されている。なお、LDMOSFETは、MISFET素子であるため、単位LDMOSFET6aを単位MISFET素子とみなすこともできる。

30

【0061】

LDMOSFET形成領域においては、単位セル6の構造(レイアウト)がX方向に繰り返されることで、多数(複数)の単位LDMOSFET6aが形成(配列)され、それら多数(複数)の単位LDMOSFET6aが配線(M1~M4)やプラグ(PG~PG4)を介して並列に接続されている。すなわち、LDMOSFET形成領域においては、単位LDMOSFET6aがX方向に繰り返し配列し、LDMOSFET形成領域に配列したこれら複数の単位LDMOSFET6aが配線(M1~M4)やプラグ(PG~PG4)を介して並列に接続されている。

40

【0062】

このため、LDMOSFET形成領域に形成されている複数の単位LDMOSFET6aを並列に接続するために、LDMOSFET形成領域のそれら複数の単位LDMOSFET6aのゲート電極GE同士は、ゲート用プラグPGGおよびゲート用配線M1Gや、必要に応じて更に他の配線(M2~M4)を介して、互いに電氣的に接続される。また、LDMOSFET形成領域に形成されている複数の単位LDMOSFET6aのソース(

50

n^+ 型半導体領域SR)同士は、ソース用プラグPGSおよびソース用配線M1Sや、必要に応じて更に他の配線(M2~M4)を介して、互いに電氣的に接続される。また、LDMOSFET形成領域に形成されている複数の単位LDMOSFET6aのドレイン(n^+ 型半導体領域DR)同士は、ドレイン用プラグPGDおよびドレイン用配線M1Dや、必要に応じて更に他の配線(M2~M4)を介して、互いに電氣的に接続される。

【0063】

なお、図3および図4において、X方向は、ゲート電極GEのゲート長方向に沿った方向であり、従って、チャンネル長方向に沿った方向である。Y方向は、X方向に交差する方向であり、より特定的には、X方向に直交する方向である。

【0064】

各単位LDMOSFET6aにおいて、ゲート電極GEはY方向に延在している。図4の場合は、高濃度ドレイン領域である n^+ 型半導体領域DRを共通にしてX方向に隣り合う一対の単位LDMOSFET6aにおいて、Y方向に延在しかつX方向に対向する2本のゲート電極GEの端部(Y方向の端部)同士が、X方向に延在する連結部(この連結部はゲート電極GEと一体的に形成されている)で連結された場合が示されているが、連結されない場合もあり得る。

【0065】

また、各単位LDMOSFET6aのドレイン側において、 n^+ 型半導体領域DR(高濃度ドレイン領域)は、Y方向に延在している。

【0066】

また、図3および図4の場合は、各単位LDMOSFET6aのソース側において、 n^+ 型半導体領域SR(ソース領域)と p^+ 型半導体領域PR(給電領域)とがY方向に交互に並んでいる場合が示されている。他の形態として、各単位LDMOSFET6aのソース側において、 n^+ 型半導体領域SR(ソース領域)と p^+ 型半導体領域PR(給電領域)とがそれぞれY方向に延在する場合もあり得る。この場合は、チャンネル形成領域に近い側(すなわちゲート電極GEに近い側)に、Y方向に延在する n^+ 型半導体領域SR(ソース領域)が配置される。

【0067】

<半導体装置の製造工程について>

次に、本実施の形態の半導体装置の製造工程を、図面を参照して説明する。図5~図28は、本実施の形態の半導体装置の製造工程中の要部断面図である。なお、図5~図28は、上記図3および図4のC-C線の位置での断面図にほぼ対応している。但し、図27および図28では、配線M2~M4および開口部OP1, OP2は模式的に示したものであり、実際の配線M2~M4および開口部OP1, OP2のレイアウト(平面位置および平面形状)については、図27および図28とは相違し得る。

【0068】

まず、図5に示されるように、半導体基板SUBを準備(用意)する。

【0069】

半導体基板SUBは、例えばホウ素(B)などのp型不純物が導入された p^+ 型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)である基板本体SBと、基板本体SBの主面上にn型の埋込層NBを介して形成された p^- 型のエピタキシャル層EPとを有しており、いわゆるエピタキシャルウエハである。半導体基板SUBにおいて、埋込層NBは、基板本体SBとエピタキシャル層EPとの間に介在している。エピタキシャル層EPは、エピタキシャル成長により形成された半導体層である。エピタキシャル層EPの不純物濃度は、基板本体SBの不純物濃度よりも低く、エピタキシャル層EPの抵抗率は、基板本体SBの抵抗率よりも高い。エピタキシャル層EPおよび埋込層NBも、半導体基板SUBの一部とみなすことができる。

【0070】

半導体基板SUBは、例えば次のようにして準備することができる。すなわち、まず、 p^+ 型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)である基板本体SBを

10

20

30

40

50

用意する。それから、基板本体 S B の表層部にアンチモン (S b) などの n 型不純物をイオン注入で導入してから、注入した不純物を熱処理により拡散 (熱拡散) させることにより、基板本体 S B の表層部に n 型半導体層 (埋込層 N B とする半導体層) を形成する。それから、基板本体 S B の主面上に、すなわち n 型半導体層上に、 p⁻ 型の単結晶シリコンからなるエピタキシャル層 E P をエピタキシャル成長により形成する。これにより、 p⁺ 型の基板本体 S B 上に、 n 型半導体層からなる n 型の埋込層 N B を介して、 p⁻ 型のエピタキシャル層 E P が形成された半導体基板 S U B が得られる。

【 0 0 7 1 】

次に、半導体基板 S U B の主面に、すなわちエピタキシャル層 E P の主面に、 L O C O S 法により、 L O C O S 酸化膜 (L O C O S 分離膜) 2 を形成する。

10

【 0 0 7 2 】

L O C O S 酸化膜 2 は、具体的には、例えば次 (図 6 および図 7) のようにして形成することができる。

【 0 0 7 3 】

すなわち、図 6 に示されるように、まず、半導体基板 S U B の主面 (すなわちエピタキシャル層 E P の主面) 上に、耐熱酸化膜として用いられる窒化シリコン膜 S N を形成してから、フォトリソグラフィ技術およびエッチング技術を用いて、 L O C O S 酸化膜を形成する予定の領域の窒化シリコン膜 S N を除去する。これにより、図 6 に示されるように、 L O C O S 酸化膜を形成する予定の領域には窒化シリコン膜 S N が形成されておらず、 L O C O S 酸化膜を形成しない予定の領域には窒化シリコン膜 S N が形成されている状態が得られる。それから、熱酸化を行うことにより、窒化シリコン膜で覆われていない領域 (すなわち L O C O S 酸化膜を形成する予定の領域) の半導体基板 S U B の表面 (すなわちエピタキシャル層 E P の表面) を酸化して、酸化シリコンからなる L O C O S 酸化膜 2 を形成する。この熱酸化の際には、窒化シリコン膜 S N は耐熱酸化膜として機能する。このため、半導体基板 S U B の表面 (すなわちエピタキシャル層 E P の表面) のうち、窒化シリコン膜 S N で覆われている領域には、熱酸化膜は形成されず、従って、 L O C O S 酸化膜 2 は形成されない。このため、 L O C O S 酸化膜 2 は、半導体基板 S U B の表面 (すなわちエピタキシャル層 E P の表面) のうち、窒化シリコン膜 S N で覆われていない領域に選択的 (局所的) に形成される。その後、耐熱酸化膜として用いた窒化シリコン膜 S N を、エッチングなどにより除去し、図 7 には、この状態が示されている。

20

30

【 0 0 7 4 】

次に、図 8 に示されるように、半導体基板 S U B に、具体的には半導体基板 S U B のエピタキシャル層 E P に、 n 型半導体領域 N W と、 n⁻ 型半導体領域 N F と、 p 型ウエル P W とを、それぞれイオン注入により形成する。

【 0 0 7 5 】

n 型半導体領域 N W は、半導体基板 S U B のエピタキシャル層 E P に対して n 型の不純物をイオン注入により導入することにより、形成することができる。また、 n⁻ 型半導体領域 N F は、半導体基板 S U B のエピタキシャル層 E P に対して n 型の不純物をイオン注入により導入することにより、形成することができる。 p 型ウエル P W は、半導体基板 S U B のエピタキシャル層 E P に対して p 型の不純物をイオン注入により導入することにより、形成することができる。

40

【 0 0 7 6 】

n 型半導体領域 N W と n⁻ 型半導体領域 N F とは、同じ導電型であるが、 n 型半導体領域 N W の不純物濃度 (n 型不純物濃度) は、 n⁻ 型半導体領域 N F の不純物濃度 (n 型不純物濃度) よりも高い。また、 p 型ウエル P W の不純物濃度 (p 型不純物濃度) は、 p⁻ 型のエピタキシャル層 E P の不純物濃度 (p 型不純物濃度) よりも高い。

【 0 0 7 7 】

n 型半導体領域 N W、 n⁻ 型半導体領域 N F および p 型ウエル P W を形成すると、 n 型半導体領域 N W は、 n⁻ 型半導体領域 N F に内包され、 n 型半導体領域 N W の底面および側面は、 n⁻ 型半導体領域 N F に隣接した (接した) 状態になる。一方、 p 型ウエル P W

50

は、 n^- 型半導体領域NFとは離間するように形成される。

【0078】

n 型半導体領域NWと n^- 型半導体領域NFと p 型ウエルPWとは、別々のイオン注入により形成するが、 n 型半導体領域NWと n^- 型半導体領域NFと p 型ウエルPWとは、この順に形成しても、しなくてもよい。

【0079】

次に、半導体基板SUBの主面に、すなわちエピタキシャル層EPの主面に、STI法により、STI絶縁膜(STI分離膜)3を形成する。

【0080】

STI絶縁膜3は、具体的には、例えば次(図9~図14)のようにして形成することができる。

10

【0081】

すなわち、図9に示されるように、まず、半導体基板SUBの主面上に、すなわちエピタキシャル層EPの表面上に、ゲート絶縁膜用の絶縁膜GIを形成する。絶縁膜GIは、例えば酸化シリコン膜などからなり、熱酸化法などを用いて形成することができる。熱酸化法を用いて絶縁膜GIを形成した場合には、絶縁膜GIは、LOCOS酸化膜2が形成されていない領域のエピタキシャル層EP(n 型半導体領域NW、 n^- 型半導体領域NFおよび p 型ウエルPWを含む)の表面に形成される。

【0082】

それから、半導体基板SUBの主面上に、すなわち、絶縁膜GIおよびLOCOS酸化膜2上に、シリコン膜PS1を形成(堆積)する。シリコン膜PS1は、多結晶シリコン膜(ポリシリコン膜)からなり、CVD(Chemical Vapor Deposition: 化学的気相成長)法などを用いて形成することができる。成膜時はシリコン膜PS1をアモルファスシリコン膜として形成してから、その後の熱処理で、アモルファスシリコン膜からなるシリコン膜PS1を、多結晶シリコン膜からなるシリコン膜PS1に変えることもできる。また、シリコン膜PS1は、成膜時に不純物を導入するか、あるいは成膜後に不純物をイオン注入することなどにより、低抵抗の半導体膜(ドーフトポリシリコン膜)とすることができる。

20

【0083】

それから、半導体基板SUBの主面上に、すなわちシリコン膜PS1上に、絶縁膜IL1を形成(堆積)する。絶縁膜IL1は、窒化シリコン膜などからなり、CVD法などを用いて形成することができる。

30

【0084】

それから、絶縁膜IL1上に、フォトリソグラフィ法を用いてフォトレジスト層(フォトレジストパターン)RP1を形成する。図9には、この段階が示されている。それから、図10に示されるように、フォトレジスト層RP1をエッチングマスクとして用いて、絶縁膜IL1、シリコン膜PS1、絶縁膜GIおよびエピタキシャル層EPをエッチングすることにより、溝TR1を形成する。溝TR1は、絶縁膜IL1、シリコン膜PS1および絶縁膜GIを貫通し、溝TR1の底部は、エピタキシャル層EPの厚みの途中に位置している。その後、フォトレジスト層RP1を除去する。図10には、この段階が示されている。

40

【0085】

なお、ここでは、フォトレジスト層RP1をエッチングマスクとして用いて、絶縁膜IL1、シリコン膜PS1、絶縁膜GIおよびエピタキシャル層EPをエッチングすることにより、溝TR1を形成する場合について説明した。他の形態として、フォトレジスト層RP1をエッチングマスクとして用いて絶縁膜IL1をエッチングしてから、フォトレジスト層RP1を除去し、その後、絶縁膜IL1をエッチングマスク(ハードマスク)として用いてシリコン膜PS1、絶縁膜GIおよびエピタキシャル層EPをエッチングすることにより、溝TR1を形成することも可能である。

【0086】

50

それから、図11に示されるように、半導体基板SUBの主面上に、すなわち絶縁膜IL1上に、溝TR1内を埋めるように、絶縁膜IL2を形成(堆積)する。絶縁膜IL2は、酸化シリコン膜などからなり、CVD法などを用いて形成することができる。この絶縁膜IL2は、STI絶縁膜3を形成するための絶縁膜である。

【0087】

それから、図12に示されるように、溝TR1の外部の絶縁膜IL2をCMP(Chemical Mechanical Polishing: 化学的機械的研磨)法などを用いて除去する。

【0088】

それから、図13に示されるように、絶縁膜IL2をエッチバックすることにより、絶縁膜IL1とシリコン膜PS1との積層膜によって平面方向に挟まれた部分の絶縁膜IL2を除去する。このエッチバックは、例えばウェットエッチングにより行うことができる。また、このエッチバックは、絶縁膜IL2に比べて絶縁膜IL1およびシリコン膜PS1がエッチングされにくい条件(エッチング条件)で行うことが好ましい。すなわち、このエッチバックは、絶縁膜IL2のエッチング速度に比べて、絶縁膜IL1およびシリコン膜PS1の各エッチング速度が小さくなるような条件(エッチング条件)で行うことが好ましい。これにより、このエッチバック工程において、絶縁膜IL1およびシリコン膜PS1のエッチングを抑制または防止しながら、絶縁膜IL1とシリコン膜PS1との積層膜によって平面方向に挟まれた部分の絶縁膜IL2を選択的に除去することができる。なお、このエッチバック工程では、エピタキシャル層EPに形成された溝TR1に埋め込まれている部分の絶縁膜IL2は、除去せずに残存させる。このため、このエッチバック工程を終了すると、絶縁膜IL2の上面は、LOCOS酸化膜2の上面か、あるいは、絶縁膜GIの上面と、概ね同程度の高さ位置にある。

【0089】

絶縁膜IL1と絶縁膜IL2とは、異なる絶縁材料により形成されている。このため、絶縁膜IL2のエッチバック工程において、絶縁膜IL1のエッチング速度と絶縁膜IL2のエッチング速度とを異ならせることができる。また、絶縁膜IL2のエッチバック工程においては、絶縁膜IL1に対する絶縁膜IL2のエッチング選択比を高くすることが好ましく、この観点で、絶縁膜IL1として窒化シリコン膜を用い、かつ、絶縁膜IL2として酸化シリコン膜を用いることは好適である。

【0090】

それから、図14に示されるように、絶縁膜IL1を、エッチングなどにより除去する。

【0091】

このようにして、エピタキシャル層EPの溝TR1に埋め込まれた絶縁膜IL2からなるSTI絶縁膜3が形成される。半導体基板SUBのエピタキシャル層EPに形成された溝TR1には、絶縁膜IL2が埋め込まれており、エピタキシャル層EPの溝TR1に埋め込まれた絶縁膜IL2が、STI絶縁膜3となる。STI絶縁膜3の上面は、LOCOS酸化膜2の上面か、あるいは、絶縁膜GIの上面と、概ね同程度の高さ位置にある。

【0092】

また、ドレイン分離用のSTI絶縁膜3とともに、素子分離用のSTI絶縁膜3aも形成することができる。すなわち、STI絶縁膜3aは、STI絶縁膜3と同工程で形成される。STI絶縁膜3と同様に、STI絶縁膜3aも、半導体基板SUBに形成された溝TR1に埋め込まれた絶縁膜IL2からなる。STI絶縁膜3aは、上記素子分離領域4を形成すべき領域に形成される。このSTI絶縁膜3aが形成された位置に、後述のDTI構造5が形成される。

【0093】

次に、図15に示されるように、半導体基板SUBの主面上に、すなわちエピタキシャル層EP上に、LOCOS酸化膜2、STI絶縁膜3、3aおよびシリコン膜PS1を覆うように、シリコン膜PS2を形成(堆積)する。シリコン膜PS2は、多結晶シリコン膜からなり、CVD法などを用いて形成することができる。成膜時はシリコン膜PS2を

10

20

30

40

50

アモルファスシリコン膜として形成してから、その後の熱処理で、アモルファスシリコン膜からなるシリコン膜 P S 2 を、多結晶シリコン膜からなるシリコン膜 P S 2 に変えることもできる。また、シリコン膜 P S 2 は、成膜時に不純物を導入するか、あるいは成膜後に不純物をイオン注入することなどにより、低抵抗の半導体膜（ドーフトポリシリコン膜）とすることができる。

【 0 0 9 4 】

次に、シリコン膜 P S 2 上に、フォトリソグラフィ法を用いてフォトレジスト層（フォトレジストパターン）R P 2 を形成する。フォトレジスト層 R P 2 は、ゲート電極 G E 形成予定領域に形成される。図 1 5 には、この段階が示されている。それから、このフォトレジスト層 R P 2 をエッチングマスクとして用いて、シリコン膜 P S 2 およびシリコン膜 P S 1 をエッチング（好ましくはドライエッチング）してパターンニングすることにより、図 1 6 に示されるように、ゲート電極 G E を形成する。ゲート電極 G E は、パターンニングされたシリコン膜 P S 1 , P S 2 からなる。すなわち、ゲート電極 G E は、シリコン膜 P S 1 とシリコン膜 P S 1 上のシリコン膜 P S 2 との積層膜からなり、ゲート電極 G E を構成するシリコン膜 P S 1 と、ゲート電極 G E を構成するシリコン膜 P S 2 とは、ほぼ同じ平面形状を有している。その後、フォトレジスト層 R P 2 を除去する。図 1 6 には、この段階が示されている。

【 0 0 9 5 】

ゲート電極 G E は、半導体基板 S U B 上に、すなわちエピタキシャル層 E P 上に、絶縁膜 G I を介して形成される。ゲート電極 G E で覆われた部分以外の絶縁膜 G I は、シリコン膜 P S 2 , P S 1 のパターンニング工程で行うドライエッチングや、あるいはそのドライエッチング後にウェットエッチングを行うことによって除去され得る。

【 0 0 9 6 】

ゲート電極 G E は、半導体基板 S U B のエピタキシャル層 E P 上に絶縁膜 G I を介して形成されているが、ゲート電極 G E の一部は、L O C O S 酸化膜 2 上に乗っている。すなわち、ゲート電極 G E は、エピタキシャル層 E P 上に絶縁膜 G I を介して形成された部分と、L O C O S 酸化膜 2 上に位置する部分とを一体的に有している。絶縁膜 G I を形成する際に、L O C O S 酸化膜 2 上には絶縁膜 G I は形成されなくともよく、従って、L O C O S 酸化膜 2 上に位置する部分のゲート電極 G E は、L O C O S 酸化膜 2 に接しているてもよい。

【 0 0 9 7 】

次に、図 1 7 に示されるように、半導体基板 S U B に、具体的には半導体基板 S U B のエピタキシャル層 E P の p 型ウエル P W 内に、n⁻型半導体領域 E X 1 をイオン注入により形成する。例えばヒ素 (A s) またはリン (P) などの n 型の不純物を、ゲート電極 G E をマスク（イオン注入阻止マスク）として用いて、半導体基板 S U B のエピタキシャル層 E P にイオン注入法で導入することにより、n⁻型半導体領域 E X 1 を形成することができる。この際、ゲート電極 G E がマスク（イオン注入阻止マスク）として機能することにより、n⁻型半導体領域 E X 1 は、ゲート電極 G E の側壁（ソース側の側壁）に自己整合して形成される。n⁻型半導体領域 E X 1 は、p 型ウエル P W に内包されるように形成される。また、n⁻型半導体領域 E X 1 を形成するイオン注入の際には、後で n⁺型半導体領域 D R が形成される予定領域のエピタキシャル層 E P にも、n 型不純物が注入されて n⁻型半導体領域 E X 2 が形成され得る。

【 0 0 9 8 】

次に、図 1 8 に示されるように、ゲート電極 G E の側壁上に、絶縁膜からなるサイドウォールスペーサ（サイドウォール、側壁絶縁膜）S W を形成する。サイドウォールスペーサ S W は、側壁絶縁膜とみなすことができる。

【 0 0 9 9 】

サイドウォールスペーサ S W は、具体的には、次のようにして形成することができる。すなわち、まず、半導体基板 S U B の主面全面上に、ゲート電極 G E を覆うように、サイドウォールスペーサ S W 形成用の絶縁膜を形成（堆積）する。この絶縁膜は、例えば、酸

10

20

30

40

50

化シリコン膜または窒化シリコン膜あるいはそれらの積層膜などからなり、CVD法などを用いて形成することができる。それから、この絶縁膜を、異方性エッチング技術によりエッチバックする。これにより、ゲート電極GEの側壁上に、選択的にこの絶縁膜（すなわちサイドウォールスペーサSW形成用の絶縁膜）が残存して、サイドウォールスペーサSWが形成される。

【0100】

次に、半導体基板SUBに、具体的には半導体基板SUBのエピタキシャル層EPに、 n^+ 型半導体領域SR、 n^+ 型半導体領域DRおよび p^+ 型半導体領域PRを、イオン注入法などを用いて形成する。

【0101】

例えばヒ素(As)またはリン(P)などの n 型の不純物を、エピタキシャル層EPの p 型ウエルPWの上部にイオン注入法で導入することにより、 n^+ 型半導体領域SRを形成することができる。 n^+ 型半導体領域SRを形成するためのイオン注入では、ゲート電極GEおよびその側壁上のサイドウォールスペーサSWがマスク(イオン注入阻止マスク)として機能することにより、 n^+ 型半導体領域SRは、ゲート電極GEの側壁上のサイドウォールスペーサSWに自己整合して形成される。 n^+ 型半導体領域SRは、 p 型ウエルPWに内包されるように形成される。 n^+ 型半導体領域SRは、 n^- 型半導体領域EX1よりも不純物濃度(n 型不純物濃度)が高くかつ深さが深い、 p 型ウエルPWよりも深さが浅い。また、例えばヒ素(As)またはリン(P)などの n 型の不純物を、エピタキシャル層EPの n 型半導体領域NWの上部にイオン注入法で導入することにより、 n^+ 型半導体領域DRを形成することができる。また、例えばホウ素(B)などの p 型の不純物を、エピタキシャル層EPの p 型ウエルPWの上部にイオン注入法で導入することにより、 p^+ 型半導体領域PRを形成することができる。 p^+ 型半導体領域PRは、 p 型ウエルPWに内包されるように形成されるが、 p^+ 型半導体領域PRと n^+ 型半導体領域SRとは、平面視で互いに異なる領域に形成される。 p^+ 型半導体領域PRと n^+ 型半導体領域SRとは、互いに接することができるが、 p 型ウエルPWを介して離間していてもよい。 p^+ 型半導体領域PRは、 p 型ウエルPWよりも不純物濃度(n 型不純物濃度)が高くかつ深さが浅い。

【0102】

なお、図18は、 n^+ 型半導体領域SRを横切るが p^+ 型半導体領域PRを横切らない断面であるため、図18には p^+ 型半導体領域PRは示されていないが、上記図2のように p^+ 型半導体領域PRを横切る断面であれば、 p^+ 型半導体領域PRが示されることになる。

【0103】

n^+ 型半導体領域SRと n^+ 型半導体領域DRとは、同じ導電型であるため、同じイオン注入工程で形成することができるが、異なるイオン注入工程で形成することも可能である。また、 p^+ 型半導体領域PRは、 n^+ 型半導体領域SRおよび n^+ 型半導体領域DRとは異なる導電型であるため、 n^+ 型半導体領域SRおよび n^+ 型半導体領域DRとは異なるイオン注入工程で形成する。

【0104】

また、 n^+ 型半導体領域DRを形成するイオン注入では、平面視において、上記 n^- 型半導体領域EX2が形成されていた領域と同じ平面領域に n 型不純物が高濃度で注入される。このため、上記 n^- 型半導体領域EX2が形成されていた領域は、 n^+ 型半導体領域DRを形成すると、 n^+ 型半導体領域DRの一部になる。 n^+ 型半導体領域DRの不純物濃度(n 型不純物濃度)は、上記 n^- 型半導体領域EX2の不純物濃度(n 型不純物濃度)よりも高い。また、 n^+ 型半導体領域DRの深さは、上記 n^- 型半導体領域EX2の深さよりも深い。

【0105】

n^+ 型半導体領域SRと n^- 型半導体領域EX1とにより、LDD構造のソース領域が形成される。 n^- 型半導体領域EX1を形成した場合は、 n^+ 型半導体領域SRを形成すると

10

20

30

40

50

、 n^+ 型半導体領域SRとチャネル形成領域との間に、 n^+ 型半導体領域SRよりも低不純物濃度の n^- 型半導体領域EX1が介在し、その n^- 型半導体領域EX1は、サイドウォールスペースSWの下に位置したものとなる。

【0106】

なお、 n^- 型半導体領域EX1および n^- 型半導体領域EX2は、その形成を省略することもできる。このため、図19以降では、 n^- 型半導体領域EX1を図示していない。また、 n^- 型半導体領域EX1を、ソース領域である n^+ 型半導体領域SRの一部とみなすこともできる。従って、上記図1において、 n^- 型半導体領域EX1が形成されている場合、すなわち、ソース用の n^+ 型半導体領域SRが n^- 型半導体領域EX1を含む場合もあり得る。

10

【0107】

次に、導入（注入）された不純物を活性化するための熱処理である活性化アニールを行う。

【0108】

次に、金属シリサイド層SLを形成する。金属シリサイド層SLは、具体的には次のようにして形成することができる。

【0109】

まず、図19に示されるように、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GEの上面（表面）上を含む半導体基板SUBの主面全面上に、ゲート電極GEおよびサイドウォールスペースSWを覆うように、金属膜MEを形成（堆積）する。金属膜MEは、単体の金属膜（純金属膜）または合金膜とすることができ、好ましくは、コバルト（Co）膜、ニッケル（Ni）膜、またはニッケル白金合金膜からなる。金属膜MEは、スパッタリング法などを用いて形成することができる。それから、半導体基板SUBに対して熱処理を施すことによって、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GEの各上層部分（表層部分）を金属膜MEと反応させる。これにより、図20に示されるように、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GEの各上部（上面、表面、上層部）に、それぞれ金属シリサイド層SLが形成される。金属シリサイド層SLは、例えばコバルトシリサイド層（金属膜MEがコバルト膜の場合）、ニッケルシリサイド層（金属膜MEがニッケル膜の場合）、または、白金添加ニッケルシリサイド層（金属膜MEがニッケル白金合金膜の場合）とすることができる。なお、白金添加ニッケルシリサイド層とは、白金が添加されたニッケルシリサイド層、すなわち白金を含有するニッケルシリサイド層であり、ニッケル白金シリサイド層と言うこともできる。その後、未反応の金属膜MEをウェットエッチングなどにより除去する。図20にはこの段階が示されている。また、未反応の金属膜MEを除去した後に、更に熱処理を行うこともできる。

20

30

【0110】

このように、いわゆるサリサイド（Salicide：Self Aligned Silicide）プロセスを行うことによって、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GEの上部に金属シリサイド層SLを形成し、それによって、拡散抵抗やコンタクト抵抗を低減することができる。サリサイドプロセスを用いることにより、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GE上に、それぞれ金属シリサイド層SLを自己整合的に形成することができる。なお、金属シリサイド層SLは、その形成を省略することもできる。

40

【0111】

また、上記図1および図2においても、図20のように、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GEの上部に金属シリサイド層SLが形成されていてもよい。

【0112】

次に、図21に示されるように、半導体基板SUBの主面（主面全面）上に、層間絶縁膜として絶縁膜IL3を形成する。絶縁膜IL3は、例えば酸化シリコン膜などからなり

50

、CVD法などを用いて形成することができる。絶縁膜IL3として、積層絶縁膜を用いることも可能である。絶縁膜IL3の形成後、絶縁膜IL3の上面をCMP法で研磨するなどして、絶縁膜IL3の平坦性を高めることもできる。

【0113】

次に、図22に示されるように、溝TR2を形成する。この溝TR2は、平面視でSTI絶縁膜3aに重なる位置に形成され、絶縁膜IL3、STI絶縁膜3a、エピタキシャル層EPおよび埋込層NBを貫通し、基板本体SBに達している。すなわち、溝TR2の底部は、基板本体SBの厚みの途中に位置している。溝TR2は、例えば、絶縁膜IL3上にフォトリソグラフィ技術を用いてフォトレジスト層(図示せず)を形成してから、このフォトレジスト層をエッチングマスクとして用いて、絶縁膜IL3、STI絶縁膜3aおよび半導体基板SUBをエッチングすることにより、形成することができる。その後、フォトレジスト層は除去する。

10

【0114】

次に、図23に示されるように、半導体基板SUBの主面上に、すなわち溝TR2内を含む絶縁膜IL3上に、絶縁膜IL4を形成する。絶縁膜IL4は、酸化シリコン膜などからなる。この際、溝TR2内を絶縁膜IL4で完全には埋めないようにし、溝TR2内において、溝TR2を埋める絶縁膜IL4中に空隙(空洞、ポイド、空間)KGが生じるように、絶縁膜IL4を形成する。空隙KGは、絶縁膜IL4中において、絶縁膜IL4の材料が存在しない空間(閉空間)であり、空隙KGの周囲は絶縁膜IL4を構成する絶縁材料で囲まれている。

20

【0115】

次に、CMP法で絶縁膜IL4を研磨する。これにより、溝TR2の外部の絶縁膜IL4が除去され、溝TR2内に絶縁膜IL4が残される。溝TR2内の絶縁膜IL4および空隙KGにより、DTI(DTI:Deep Trench Isolation)構造5が形成される。図23には、この段階が示されている。

【0116】

なお、図23では、絶縁膜IL3が露出するまでCMP法による研磨を行った場合が示されており、溝TR2の外部の絶縁膜IL4は、全て除去されている。他の形態として、絶縁膜IL3が露出する前に絶縁膜IL4の研磨を終了することもでき、その場合は、溝TR2の外部においても、絶縁膜IL3上に絶縁膜IL4が層状に残存することになる。

30

【0117】

DTI構造5は、半導体基板SUBにおいて、LDMOSFETのセル(上記単位LDMOSFET6aに対応)が複数形成されている平面領域(LDMOSFET形成領域)の周囲を囲むように形成することができる。すなわち、上記図3および図4に示される素子分離領域4を、DTI構造5により構成することができる。これにより、そのLDMOSFET形成領域を、他の領域からの確に電氣的に分離することができる。

【0118】

次に、図24に示されるように、絶縁膜IL3にコンタクトホールCTを形成する。コンタクトホールCTは、例えば、フォトリソグラフィ法を用いて絶縁膜IL3上に形成したフォトレジスト層(図示せず)をエッチングマスクとして、絶縁膜IL3をドライエッチングすることにより、形成することができる。コンタクトホールCTは、絶縁膜IL3を貫通している。

40

【0119】

次に、図25に示されるように、コンタクトホールCT内に、接続用の導電体部として、タングステン(W)などからなる導電性のプラグPGを形成する。

【0120】

プラグPGを形成するには、例えば、コンタクトホールCTの内部(底部および側壁上)を含む絶縁膜IL3上に、バリア導体膜を形成する。このバリア導体膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜からなる。それから、このバリア導体膜上にタングステン膜などからなる主導体膜を、コンタクトホールCTを埋めるように形成

50

する。それから、コンタクトホールCTの外部の不要な主導体膜およびバリア導体膜をCMP法またはエッチバック法などによって除去することにより、コンタクトホールCT内に埋め込まれて残存する主導体膜およびバリア導体膜からなるプラグPGを形成することができる。なお、図面の簡略化のために、図25では、プラグPGを構成するバリア導体膜および主導体膜を一体化して示してある。

【0121】

コンタクトホールCTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRおよびゲート電極GEの上方などに形成される。 n^+ 型半導体領域DRの上方に形成されたコンタクトホールCTの底部では、 n^+ 型半導体領域DR上の金属シリサイド層SLが露出され、そのコンタクトホールCTに埋め込まれたドレイン用プラグPGDは、 n^+ 型半導体領域DR上の金属シリサイド層SLに接して電氣的に接続されることで、 n^+ 型半導体領域DRに電氣的に接続される。また、 n^+ 型半導体領域SRの上方に形成されたコンタクトホールCTの底部では、 n^+ 型半導体領域SR上の金属シリサイド層SLが露出され、そのコンタクトホールCTに埋め込まれたソース用プラグPGSは、 n^+ 型半導体領域SR上の金属シリサイド層SLに接して電氣的に接続されることで、 n^+ 型半導体領域SRに電氣的に接続される。また、 p^+ 型半導体領域PRの上方に形成されたコンタクトホールCTの底部では、 p^+ 型半導体領域PR上の金属シリサイド層SLが露出され、そのコンタクトホールCTに埋め込まれた給電用プラグPGKは、 p^+ 型半導体領域PR上の金属シリサイド層SLに接して電氣的に接続されることで、 p^+ 型半導体領域PRに電氣的に接続される。また、ゲート電極GEの上方に形成されたコンタクトホールCTの底部では、ゲート電極GE上の金属シリサイド層SLが露出され、そのコンタクトホールCTに埋め込まれたゲート用プラグPGGは、ゲート電極GE上の金属シリサイド層SLに接して電氣的に接続されることで、ゲート電極GEに電氣的に接続される。

【0122】

次に、図26に示されるように、プラグPGが埋め込まれた絶縁膜IL3上に、第1層目の配線である配線M1を形成する。

【0123】

配線M1は、例えば、次のようにして形成することができる。すなわち、まず、プラグPGが埋め込まれた絶縁膜IL3上に、バリア導体膜とその上の主導体膜とその上のバリア導体膜とからなる積層導電膜を形成する。バリア導体膜は、例えば、チタン膜、窒化チタン膜、あるいはそれらの積層膜からなり、主導体膜は、例えば、アルミニウムを主体とする導体膜（アルミニウム膜またはアルミニウム合金膜）からなる。それから、その積層導電膜をフォトリソグラフィ法およびドライエッチング法を用いてパターンニングすることにより、パターンニングされた積層導電膜からなる配線M1を形成することができる。図26では、図面の簡略化のために、配線M1は、バリア導体膜および主導体膜を一体化して示してある。配線M1は、プラグPGを介して、 n^+ 型半導体領域DR、 n^+ 型半導体領域SR、 p^+ 型半導体領域PRあるいはゲート電極GEなどと電氣的に接続される。

【0124】

次に、図27に示されるように、絶縁膜IL3上に、配線M1を覆うように、層間絶縁膜として絶縁膜IL5を形成する。絶縁膜IL5は、例えば酸化シリコン膜などからなり、CVD法などを用いて形成することができる。絶縁膜IL5として、積層絶縁膜を用いることも可能である。絶縁膜IL5の形成後、絶縁膜IL5の上面をCMP法で研磨するなどして、絶縁膜IL5の平坦性を高めることもできる。

【0125】

次に、絶縁膜IL5にスルーホール（開口部、貫通孔）を形成する。このスルーホールは、例えば、フォトリソグラフィ法を用いて絶縁膜IL5上に形成したフォトレジスト層（図示せず）をエッチングマスクとして、絶縁膜IL5をドライエッチングすることにより、形成することができる。絶縁膜IL5に形成したスルーホールの底部では、配線M1の上面が露出される。

10

20

30

40

50

【 0 1 2 6 】

次に、絶縁膜 I L 5 に形成したスルーホール内に、接続用の導電体部として、導電性のプラグ P G 2 を形成する。プラグ P G 2 は、プラグ P G と同様に形成することができる。

【 0 1 2 7 】

次に、プラグ P G 2 が埋め込まれた絶縁膜 I L 5 上に、第 2 層目の配線である配線 M 2 を形成する。配線 M 2 は、配線 M 1 と同様に形成することができる。

【 0 1 2 8 】

プラグ P G 2 は、その底面が配線 M 1 に接して電氣的に接続され、その上面が配線 M 2 に接して電氣的に接続される。このため、配線 M 2 は、プラグ P G 2 を介して配線 M 1 と電氣的に接続される。

10

【 0 1 2 9 】

次に、絶縁膜 I L 5 上に、配線 M 2 を覆うように、層間絶縁膜として絶縁膜 I L 6 を形成する。絶縁膜 I L 6 の形成後、絶縁膜 I L 6 の上面を C M P 法で研磨するなどして、絶縁膜 I L 6 の平坦性を高めることもできる。

【 0 1 3 0 】

次に、絶縁膜 I L 6 にスルーホールを形成する。絶縁膜 I L 6 のスルーホールは、絶縁膜 I L 5 のスルーホールと同様に形成することができる。絶縁膜 I L 6 のスルーホールの底部では、配線 M 2 の上面が露出される。

【 0 1 3 1 】

20

次に、絶縁膜 I L 6 に形成したスルーホール内に、接続用の導電体部として、導電性のプラグ P G 3 を形成する。プラグ P G 3 は、プラグ P G 2 と同様に形成することができる。

【 0 1 3 2 】

次に、プラグ P G 3 が埋め込まれた絶縁膜 I L 6 上に、第 3 層目の配線である配線 M 3 を形成する。配線 M 3 は、配線 M 2 と同様に形成することができる。

【 0 1 3 3 】

プラグ P G 3 は、その底面が配線 M 2 に接して電氣的に接続され、その上面が配線 M 3 に接して電氣的に接続される。このため、配線 M 3 は、プラグ P G 3 を介して配線 M 2 と電氣的に接続される。

30

【 0 1 3 4 】

次に、絶縁膜 I L 6 上に、配線 M 3 を覆うように、層間絶縁膜として絶縁膜 I L 7 を形成する。絶縁膜 I L 7 の形成後、絶縁膜 I L 7 の上面を C M P 法で研磨するなどして、絶縁膜 I L 7 の平坦性を高めることもできる。

【 0 1 3 5 】

次に、絶縁膜 I L 7 にスルーホールを形成する。絶縁膜 I L 7 のスルーホールは、絶縁膜 I L 6 のスルーホールと同様に形成することができる。絶縁膜 I L 7 のスルーホールの底部では、配線 M 3 の上面が露出される。

【 0 1 3 6 】

次に、絶縁膜 I L 7 に形成されたスルーホール内に、接続用の導電体部として、導電性のプラグ P G 4 を形成する。プラグ P G 4 は、プラグ P G 3 と同様に形成することができる。

40

【 0 1 3 7 】

次に、プラグ P G 4 が埋め込まれた絶縁膜 I L 7 上に、第 4 層目の配線である配線 M 4 を形成する。配線 M 4 は、配線 M 3 と同様に形成することができる。

【 0 1 3 8 】

プラグ P G 4 は、その底面が配線 M 3 に接して電氣的に接続され、その上面が配線 M 4 に接して電氣的に接続される。このため、配線 M 4 は、プラグ P G 4 を介して配線 M 3 と電氣的に接続される。

【 0 1 3 9 】

50

次に、図 28 に示されるように、絶縁膜 I L 7 上に、保護膜として窒化シリコン膜などからなる絶縁膜 I L 8 を形成してから、絶縁膜 I L 8 に、フォトリソグラフィ法およびおライエッチング法を用いて、配線 M 4 の一部を露出する開口部 O P 1 を形成する。それから、ポリイミド膜などからなる感光性の樹脂膜 I L 9 を、開口部 O P 1 内を含む絶縁膜 I L 8 上に塗布（形成）してから、その樹脂膜 I L 9 を露光、現像することにより、樹脂膜 I L 9 に開口部 O P 2 を形成する。平面視において、樹脂膜 I L 9 の開口部 O P 2 は、絶縁膜 I L 8 の開口部 O P 1 を内包している。このため、樹脂膜 I L 9 の開口部 O P 2 から、配線 M 4 の一部が露出され、樹脂膜 I L 9 の開口部 O P 2 から露出する配線 M 4 により、外部接続端子として機能するボンディングパッド（パッド電極）が形成される。

【 0 1 4 0 】

以上のようにして、本実施の形態の半導体装置が製造される。その後、ダイシング工程が行われて、半導体基板 S U B が個片化される。

【 0 1 4 1 】

また、4層の配線層（配線 M 1 ~ M 4）を形成する場合について説明したが、形成する配線層の数は、種々変更可能である。

【 0 1 4 2 】

また、プラグ P G と配線 M 1 とを一体的に形成することもできる。その場合、ドレイン用プラグ P G D はドレイン用配線 M 1 D と一体的に形成され、ゲート用プラグ P G G はゲート用配線 M 1 G と一体的に形成され、ソース用プラグ P G S および給電用プラグ P G K はソース用配線 M 1 S と一体的に形成されることになる。また、プラグ P G 2 と配線 M 2 とを一体的に形成することもでき、プラグ P G 3 と配線 M 3 とを一体的に形成することもでき、プラグ P G 4 と配線 M 4 とを一体的に形成することもできる。

【 0 1 4 3 】

また、配線 M 1 ~ M 4 を、配線用の導電膜をパターンニングする手法で形成する場合について説明したが、配線 M 1 ~ M 4 およびプラグ P G 2 ~ P G 4 のうちの任意のものを、ダマシン法により形成することもできる。ダマシン法としては、シングルダマシン法とデュアルダマシン法とがあり、どちらを用いてもよい。

【 0 1 4 4 】

< 検討例について >

次に、本発明者が検討した検討例について、図 29 ~ 図 32 を参照して説明する。

【 0 1 4 5 】

図 29 は、本発明者が検討した第 1 検討例の半導体装置の要部断面図であり、図 30 は、第 1 検討例の半導体装置の要部平面図であり、図 30 の D - D 線の断面図が、図 29 にほぼ対応している。また、図 31 は、本発明者が検討した第 2 検討例の半導体装置の要部断面図であり、図 32 は、第 2 検討例の半導体装置の要部平面図であり、図 32 の E - E 線の断面図が、図 31 にほぼ対応している。図 29 および図 31 は、それぞれ上記図 1 に相当する断面図であり、図 30 および図 32 は、それぞれ上記図 4 に相当する平面図である。図 30 および図 32 は、平面図であるが、理解を簡単にするために、L O C O S 酸化膜 1 0 2、S T I 絶縁膜 1 0 3 および素子分離領域 4 に斜線のハッチングを付し、ゲート電極 G E にドットのハッチングを付してある。

【 0 1 4 6 】

図 29 および図 30 に示される第 1 検討例の半導体装置では、チャンネル形成領域とドレイン用の n⁺型半導体領域 D R との間において、半導体基板 S U B の主面に S T I 絶縁膜 1 0 3 が形成されているが、L O C O S 酸化膜は形成されていない。一方、図 31 および図 32 に示される第 2 検討例の半導体装置では、チャンネル形成領域とドレイン用の n⁺型半導体領域 D R との間において、半導体基板 S U B の主面に L O C O S 酸化膜 1 0 2 が形成されているが、S T I 絶縁膜は形成されていない。

【 0 1 4 7 】

すなわち、図 29 および図 30 に示される第 1 検討例の半導体装置の場合は、上記図 1 ~ 図 4 に示される本実施の形態の半導体装置における L O C O S 酸化膜 2 と S T I 絶縁膜

10

20

30

40

50

3とを合わせたもの全体をSTI絶縁膜103で構成している。一方、図31および図32に示される第2検討例の半導体装置の場合は、上記図1～図4に示される本実施の形態の半導体装置におけるLOCOS酸化膜2とSTI絶縁膜3とを合わせたもの全体を、LOCOS酸化膜102で構成している。

【0148】

つまり、上記図1～図4に示される本実施の形態の半導体装置では、ドレインの分離用にLOCOS酸化膜2とSTI絶縁膜3との両方を用いているが、図29および図30に示される第1検討例の半導体装置では、ドレインの分離用にLOCOS酸化膜は用いずにSTI絶縁膜103だけを用いている。一方、図31および図32に示される第2検討例の半導体装置では、ドレインの分離用にSTI絶縁膜は用いずにLOCOS酸化膜102

10

【0149】

図29および図30に示される第1検討例の場合は、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間において、半導体基板SUBの主面にSTI絶縁膜103を形成している。これにより、ドレイン用の n^+ 型半導体領域DRをSTI絶縁膜103によってチャネル形成領域から分離することができるため、LDMOSFETの耐圧(ドレイン耐圧)を向上させることができる。

【0150】

しかしながら、本発明者の検討によれば、図29および図30に示される第1検討例の半導体装置の場合は、次のような課題が生じることが分かった。

20

【0151】

すなわち、STI絶縁膜103は、下面端部TB1に角が形成され、その角が尖りやすい。これは、STI絶縁膜103がSTI法により形成されたこと、すなわち、STI絶縁膜103が、半導体基板SUBの主面に形成した溝を絶縁膜で埋め込むことにより形成されたことを反映している。このため、STI絶縁膜103の下面端部TB1に電界が集中しやすい。図29および図30に示される第1検討例の場合は、STI絶縁膜103の下面端部TB1が、チャネル形成領域側にも存在する。ここで、STI絶縁膜103の下面端部TB1のうち、チャネル形成領域側における下面端部TB1を、符号TB1aを付して下面端部TB1aと称し、ドレイン用の n^+ 型半導体領域DR側の下面端部TB1を、符号TB1bを付して下面端部TB1bと称することとする。

30

【0152】

このため、STI絶縁膜103の下面端部TB1aに電界が集中してホットキャリア(インパクトイオン)が発生し、そのホットキャリアがゲート電極GEの下のゲート絶縁膜(すなわちゲート電極GEとチャネル形成領域との間の絶縁膜GI)に注入されてしまう虞がある。LDMOSFETがpチャネル型MISFETである場合は、このホットキャリアは電子であり、LDMOSFETがnチャネル型MISFETである場合は、このホットキャリアはホール(正孔)である。ホットキャリアがゲート絶縁膜に注入されると、ゲート絶縁膜が劣化してゲート絶縁膜の信頼性が低下してしまい、半導体装置の信頼性の低下につながってしまう。また、半導体装置の性能を低下させてしまう。ホットキャリアがゲート絶縁膜に注入されたときのゲート絶縁膜の劣化は、LDMOSFETがnチャネル

40

【0153】

また、図29および図30に示される第1検討例の場合は、ドレイン用の n^+ 型半導体領域DR側にも、STI絶縁膜103の下面端部TB1(すなわち下面端部TB1b)が存在する。しかしながら、たとえこの下面端部TB1bに電界が集中してホットキャリア(インパクトイオン)が発生したとしても、この下面端部TB1bはゲート電極GEの下のゲート絶縁膜から離れているため、下面端部TB1bで発生したホットキャリアはゲート絶縁膜に注入されずに済み、ゲート絶縁膜の劣化にはつながらない。

【0154】

50

従って、ゲート絶縁膜の劣化につながるのは、ドレイン用の n^+ 型半導体領域DR側におけるSTI絶縁膜103の下面端部TB1bが尖っていることではなく、チャンネル形成領域側におけるSTI絶縁膜103の下面端部TB1aが尖っていることである。

【0155】

一方、図31および図32に示される第2検討例の場合は、LOCOS酸化膜102の下面端部TB2は、尖らずに、丸みを帯びたものになる。すなわち、LOCOS酸化膜102の下面端部TB2は、ラウンド形状となっている。これは、LOCOS酸化膜102がLOCOS法により形成されたこと、すなわち、LOCOS酸化膜102が半導体基板SUBの主面を局部的に酸化(熱酸化)することにより形成されたことを反映している。このため、図29および図30に示される第1検討例におけるSTI絶縁膜103の下面端部TB1に比べて、図31および図32に示される第2検討例のLOCOS酸化膜102の下面端部TB2では、電界集中が生じにくくなる。

10

【0156】

このため、図31および図32に示される第2検討例の場合は、LOCOS酸化膜102の下面端部TB2では電界集中が生じにくいことから、LOCOS酸化膜102の下面端部TB2でホットキャリア(インパクトイオン)は発生しにくい。従って、LOCOS酸化膜102の下面端部TB2で発生したホットキャリアがゲート電極GEの下のゲート絶縁膜(絶縁膜GI)に注入されてしまう現象は、生じにくい。このため、図29および図30に示される第1検討例の場合には、STI絶縁膜103の下面端部TB1aの電界集中で発生したホットキャリアがゲート絶縁膜に注入されることでゲート絶縁膜が劣化してしまふ現象が懸念されるが、図31および図32に示される第2検討例の場合には、STI絶縁膜103の代わりにLOCOS酸化膜102を用いたことにより、そのような懸念を解消できる。

20

【0157】

しかしながら、本発明者の検討によれば、図31および図32に示される第2検討例の半導体装置の場合は、次のような課題が生じることが分かった。

【0158】

すなわち、図31および図32に示される第2検討例の半導体装置の場合は、LOCOS酸化膜102の上面端部TB3がバースピーク状になりやすい。これは、LOCOS酸化膜102がLOCOS法により形成されたこと、すなわち、LOCOS酸化膜102が半導体基板SUBの主面を局部的に酸化(熱酸化)することにより形成されたことを反映している。LOCOS酸化膜102の上面端部TB3がバースピーク状になっていると、コンタクトホールCTを形成する際に、ドレイン用コンタクトホールCTDが上手く開口できなくなる虞がある。これは、LOCOS酸化膜102の上面端部TB3がバースピーク状になり、バースピーク状の酸化膜部分がドレイン用コンタクトホールCTDの形成位置に重なってしまうと、ドレイン用コンタクトホールCTDの底部でバースピーク状の酸化膜部分が残存する虞があるためである。

30

【0159】

ドレイン用コンタクトホールCTDの底部でバースピーク状の酸化膜部分が残存すると、ドレイン用コンタクトホールCTDからドレイン用の n^+ 型半導体領域DR(または n^+ 型半導体領域DR上の金属シリサイド層SL)が上手く露出できなくなり、ドレイン用プラグPGDとドレイン用の n^+ 型半導体領域DRとの間の接続不良が生じる虞がある。これは、半導体装置の製造歩留まりの低下につながってしまう。これを防止するためには、ドレイン用コンタクトホールCTDの形成位置(従ってドレイン用プラグPGDの形成位置)をLOCOS酸化膜102の上面端部TB3から十分に離す必要がある。ドレイン用コンタクトホールCTDの形成位置をLOCOS酸化膜102の上面端部TB3から十分に離しておけば、たとえLOCOS酸化膜102の上面端部TB3がバースピーク状になったとしても、バースピーク状の酸化膜部分がドレイン用コンタクトホールCTDの形成位置に重なることはなく、ドレイン用コンタクトホールCTDを形成するのに問題は生じなくなる。しかしながら、ドレイン用コンタクトホールCTDの形成位置をLOCOS酸

40

50

化膜102の上面端部TB3から十分に離すことは、ドレイン用の n^+ 型半導体領域DRの平面寸法の増大を招き、ひいては、半導体装置の大型化(大面積化)を招いてしまう。すなわち、ドレイン用コンタクトホールCTDの形成位置をLOCOS酸化膜102の上面端部TB3から十分に離すことは、図32に示されるドレイン用の n^+ 型半導体領域DRの寸法L1を大きくすることにつながり、ひいては、半導体装置の大型化(大面積化)につながってしまう。ここで、ドレイン用の n^+ 型半導体領域DRの寸法L1は、X方向(ゲート電極GEのゲート長方向に沿った方向)における n^+ 型半導体領域DRの寸法に対応している。

【0160】

つまり、図31および図32に示される第2検討例の半導体装置の場合は、LOCOS酸化膜102の上面端部TB3がバースピーク状になるため、ドレイン用の n^+ 型半導体領域DRの寸法L1を小さくすると、ドレイン用プラグPGDとドレイン用の n^+ 型半導体領域DRとの間の接続不良が生じる虞がある。一方、ドレイン用の n^+ 型半導体領域DRの寸法L1を大きくすると、ドレイン用プラグPGDとドレイン用の n^+ 型半導体領域DRとの間の接続不良は防止できるが、半導体装置の大型化(大面積化)を招いてしまう。

【0161】

<主要な特徴と効果について>

本実施の形態の半導体装置は、半導体基板SUBと、半導体基板SUBの表層部に互いに離間して形成されたソース用の n^+ 型半導体領域SRおよびドレイン用の n^+ 型半導体領域DRと、ソース用の n^+ 型半導体領域SRとドレイン用の n^+ 型半導体領域DRとの間の半導体基板SUBの主面上にゲート絶縁膜(絶縁膜GI)を介して形成されたゲート電極GEと、を有している。本実施の形態の半導体装置は、更に、ゲート電極GEの下のチャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間の半導体基板SUBの主面に形成されたLOCOS酸化膜2およびSTI絶縁膜3を有している。LOCOS酸化膜2およびSTI絶縁膜3のうち、LOCOS酸化膜2はチャネル形成領域側に位置し、STI絶縁膜3はドレイン用の n^+ 型半導体領域DR側に位置している。

【0162】

本実施の形態の半導体装置の主要の特徴のうちの一つは、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間において、半導体基板SUBの主面にLOCOS酸化膜2およびSTI絶縁膜3が形成されていることである。本実施の形態の半導体装置の主要の特徴のうち他の一つは、LOCOS酸化膜2およびSTI絶縁膜3のうち、LOCOS酸化膜2はチャネル形成領域側に位置し、STI絶縁膜3はドレイン用の n^+ 型半導体領域DR側に位置していることである。

【0163】

つまり、本実施の形態の半導体装置では、ドレインの分離用にLOCOS酸化膜2とSTI絶縁膜3との両方を用いるとともに、チャネル形成領域側にLOCOS酸化膜2を配置し、ドレイン用の n^+ 型半導体領域DR側にSTI絶縁膜3を配置している。

【0164】

本実施の形態の半導体装置においては、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間において、半導体基板SUBの主面にLOCOS酸化膜2およびSTI絶縁膜3を形成している。これにより、ドレイン用の n^+ 型半導体領域DRをLOCOS酸化膜2およびSTI絶縁膜3によってチャネル形成領域から分離する(離間させる)ことができるため、LDMOSFETの耐圧(ドレイン耐圧)を向上させることができる。

【0165】

本実施の形態の半導体装置では、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間において、半導体基板SUBの主面に、LOCOS酸化膜2およびSTI絶縁膜3のうち的一方だけでなく両方を形成することと、LOCOS酸化膜2をチャネル形成領域側に配置し、STI絶縁膜3をドレイン用の n^+ 型半導体領域DR側に配置することが重要である。その理由について、以下に説明する。

10

20

30

40

50

【 0 1 6 6 】

上述のように、上記図 2 9 および図 3 0 に示される第 1 検討例の場合は、チャンネル形成領域側に S T I 絶縁膜 1 0 3 の下面端部 T B 1 a が存在する。この第 1 検討例の場合、その S T I 絶縁膜 1 0 3 の下面端部 T B 1 a に電界が集中してホットキャリアが発生すると、そのホットキャリアがゲート電極 G E の下のゲート絶縁膜（すなわちゲート電極 G E とチャンネル形成領域との間の絶縁膜 G I ）に注入されてしまい、ゲート絶縁膜の劣化を招く虞がある。

【 0 1 6 7 】

それに対して、本実施の形態では、チャンネル形成領域とドレイン用の n⁺型半導体領域 D R との間において、半導体基板 S U B の主面に L O C O S 酸化膜 2 および S T I 絶縁膜 3 を形成し、かつ、L O C O S 酸化膜 2 および S T I 絶縁膜 3 のうち、L O C O S 酸化膜 2 をチャンネル形成領域側に配置し、S T I 絶縁膜 3 をドレイン用の n⁺型半導体領域 D R 側に配置している。このため、本実施の形態では、チャンネル形成領域側には、S T I 絶縁膜 3 の下面端部ではなく、L O C O S 酸化膜 2 の下面端部 T B 5 が存在することになる。この L O C O S 酸化膜 2 の下面端部 T B 5 は、図 3 1 および図 3 2 に示される第 2 検討例における L O C O S 酸化膜 1 0 2 の下面端部 T B 2 と同様に、尖らずに、丸みを帯びている。すなわち、L O C O S 酸化膜 2 の下面端部 T B 5 は、ラウンド形状となっている。これは、L O C O S 酸化膜 2 が L O C O S 法により形成されたこと、すなわち、L O C O S 酸化膜 2 が半導体基板 S U B の主面を局所的に酸化（熱酸化）することにより形成されたことを反映している。このため、図 2 9 および図 3 0 の第 1 検討例における S T I 絶縁膜 1 0 3 の下面端部 T B 1 に比べて、本実施の形態の第 2 検討例の L O C O S 酸化膜 2 の下面端部 T B 5 では、電界集中が生じにくくなる。

【 0 1 6 8 】

このため、本実施の形態では、L O C O S 酸化膜 2 の下面端部 T B 5 では電界集中が生じにくいことから、L O C O S 酸化膜 2 の下面端部 T B 5 でホットキャリア（インパクトイオン）は発生しにくい。従って、L O C O S 酸化膜 2 の下面端部 T B 5 で発生したホットキャリアがゲート電極 G E の下のゲート絶縁膜（すなわちゲート電極 G E とチャンネル形成領域との間の絶縁膜 G I ）に注入されてしまう現象は、生じにくい。このため、図 2 9 および図 3 0 に示される第 1 検討例の場合には、S T I 絶縁膜 1 0 3 の下面端部 T B 1 a の電界集中で発生したホットキャリアがゲート絶縁膜に注入されることでゲート絶縁膜が劣化してしまう現象が懸念されるが、本実施の形態では、そのような懸念を解消することができる。従って、本実施の形態では、上記図 2 9 および図 3 0 に示される第 1 検討例の場合の課題を解決することができる。

【 0 1 6 9 】

また、本実施の形態では、ドレイン用の n⁺型半導体領域 D R 側に S T I 絶縁膜 3 が存在し、この S T I 絶縁膜 3 の下面端部 T B 4 は尖りやすい。これは、S T I 絶縁膜 3 が S T I 法により形成されたこと、すなわち、S T I 絶縁膜 3 が、半導体基板 S U B の主面に形成した溝を絶縁膜で埋め込むことにより形成されたことを反映している。このため、S T I 絶縁膜 3 の下面端部 T B 4 は、L O C O S 酸化膜 2 の下面端部 T B 5 よりも尖りやすく、言い換えれば、L O C O S 酸化膜 2 の下面端部 T B 5 は、S T I 絶縁膜 3 の下面端部 T B 4 よりも丸みを帯びやすい。しかしながら、S T I 絶縁膜 3 は L O C O S 酸化膜 2 の分だけチャンネル形成領域から離れているため、S T I 絶縁膜 3 の下面端部（T B 4）は、ゲート電極 G E の下のゲート絶縁膜（すなわちゲート電極 G E とチャンネル形成領域との間の絶縁膜 G I ）から、L O C O S 酸化膜 2 の分だけ更に離間されることになる。このため、たとえ S T I 絶縁膜 3 の下面端部（T B 4）に電界が集中してホットキャリア（インパクトイオン）が発生したとしても、S T I 絶縁膜 3 の下面端部（T B 4）で発生したホットキャリアはゲート絶縁膜に注入されずに済み、ゲート絶縁膜の劣化にはつながらない。

【 0 1 7 0 】

このように、本実施の形態では、ホットキャリアがゲート絶縁膜に注入されることでゲート絶縁膜が劣化してしまう現象を防止できるため、半導体装置の信頼性を向上させるこ

10

20

30

40

50

とができる。また、半導体装置の性能を向上させることができる。

【0171】

また、本実施の形態では、チャネル形成領域とドレイン用の n^+ 型半導体領域DRとの間において、半導体基板SUBの主面にLOCOS酸化膜2およびSTI絶縁膜3を形成し、かつ、LOCOS酸化膜2およびSTI絶縁膜3のうち、LOCOS酸化膜2をチャネル形成領域側に配置し、STI絶縁膜3をドレイン用の n^+ 型半導体領域DR側に配置している。このため、本実施の形態では、ドレイン用の n^+ 型半導体領域DR側には、LOCOS酸化膜2ではなく、STI絶縁膜3が配置されることになる。このため、ドレイン用の n^+ 型半導体領域DRと隣り合うのは、LOCOS酸化膜2の上面端部ではなく、STI絶縁膜3の上面端部TB6である。

10

【0172】

ここで、LOCOS酸化膜とは異なり、STI絶縁膜3の上面端部はバースピーク状になりにくい。すなわち、LOCOS酸化膜は、その上面端部がバースピーク状になりやすいが、STI絶縁膜は、STI法により形成されること、すなわち、半導体基板の主面に形成した溝を絶縁膜で埋め込むことにより形成されることを反映して、STI絶縁膜の上面端部はバースピーク状になりにくい。

【0173】

このため、ドレイン用の n^+ 型半導体領域DRと隣り合うSTI絶縁膜3の上面端部TB6は、バースピーク状になりにくい。従って、本実施の形態では、ドレイン用コンタクトホールCTDを形成する際に、バースピーク状の酸化膜部分がドレイン用コンタクトホールCTDの形成位置に重なってドレイン用コンタクトホールCTDの開口を阻害する現象が発生するのを防止することができる。

20

【0174】

すなわち、上記図31および図32の第2検討例の場合は、LOCOS酸化膜102の上面端部TB3がバースピーク状になるため、バースピーク状の酸化膜部分がドレイン用コンタクトホールCTDの形成位置に重なってドレイン用コンタクトホールCTDの開口を阻害する懸念がある。それに対して、本実施の形態では、ドレイン用の n^+ 型半導体領域DR側に、LOCOS酸化膜2ではなくSTI絶縁膜3を配置したことで、そのような懸念を解消することができる。

【0175】

従って、本実施の形態では、ドレイン用コンタクトホールCTD内に形成したドレイン用プラグPGDとドレイン用の n^+ 型半導体領域DRとの間の接続不良が生じるのを防止することができる。このため、半導体装置の信頼性を向上させることができる。また、半導体装置の製造歩留まりを向上することができる。

30

【0176】

また、本実施の形態では、ドレイン用の n^+ 型半導体領域DR側に、LOCOS酸化膜2ではなくSTI絶縁膜3を配置したことで、ドレイン用コンタクトホールCTDの開口不良を防止できるため、ドレイン用コンタクトホールCTDの形成位置(従ってドレイン用プラグPGDの形成位置)をSTI絶縁膜3の上面端部TB6に近づけることができる。すなわち、ドレイン用コンタクトホールCTDの形成位置をSTI絶縁膜3の上面端部TB6に近づけたとしても、ドレイン用の n^+ 型半導体領域DR側に、LOCOS酸化膜2ではなくSTI絶縁膜3を配置したことで、ドレイン用コンタクトホールCTDの開口不良を防止でき、ドレイン用プラグPGDとドレイン用の n^+ 型半導体領域DRとの間の接続不良を防止することができる。ドレイン用コンタクトホールCTDの形成位置をSTI絶縁膜3の上面端部TB6に近づけることは、ドレイン用の n^+ 型半導体領域DRの平面寸法の縮小を可能とし、ひいては、半導体装置の小型化(小面積化)を可能とする。すなわち、ドレイン用コンタクトホールCTDの形成位置をSTI絶縁膜3の上面端部TB6に近づけることができれば、図3に示されるドレイン用の n^+ 型半導体領域DRの寸法L2を小さくすることができることにつながり、ひいては、半導体装置の小型化(小面積化)につながる。従って、本実施の形態では、ドレイン用の n^+ 型半導体領域DR側に、

40

50

LOCOS酸化膜2ではなくSTI絶縁膜3を配置したことで、半導体装置の小型化(小面積化)を図ることができる。また、同じ面積のLDMOSFET形成領域に配置できる単位LDMOSFET6aの数を増やすことができるため、面積が同じであれば、複数の単位LDMOSFET6aを並列接続して構成したパワーMISFETのオン抵抗を低減することができる。ここで、ドレイン用の n^+ 型半導体領域DRの寸法L2は、X方向(ゲート電極GEのゲート長方向に沿った方向)における n^+ 型半導体領域DRの寸法に対応している。

【0177】

一例を上げれば、上記図31および図32の第2検討例の場合は、ドレイン用の n^+ 型半導体領域DRの寸法L1を例えば $1.2\mu\text{m}$ 程度で設計する必要があったものが、上記図1~図4の本実施の形態の場合は、ドレイン用の n^+ 型半導体領域DRの寸法L2を例えば $0.3\mu\text{m}$ 程度で設計することができるようになる。これにより、第2検討例の場合に比べて、上記単位セル6のX方向の寸法を、例えば $0.9\mu\text{m}$ 程度、縮小することができる。従って、半導体装置の小型化(小面積化)を図ることができる。

【0178】

このように、本実施の形態では、チャンネル形成領域とドレイン用の n^+ 型半導体領域DRとの間において、半導体基板SUBの主面にLOCOS酸化膜2およびSTI絶縁膜3を形成し、かつ、LOCOS酸化膜2およびSTI絶縁膜3のうち、LOCOS酸化膜2をチャンネル形成領域側に配置し、STI絶縁膜3をドレイン用の n^+ 型半導体領域DR側に配置している。チャンネル形成領域側にLOCOS酸化膜2を配置したことにより、ホットキャリアがゲート絶縁膜に注入されることでゲート絶縁膜が劣化してしまう現象を防止できる。このため、半導体装置の信頼性を向上させることができる。また、半導体装置の性能を向上させることができる。また、ドレイン用の n^+ 型半導体領域DR側にSTI絶縁膜3を配置したことにより、ドレイン用コンタクトホールCTDの開口不良を防止でき、ドレイン用プラグPGDとドレイン用の n^+ 型半導体領域DRとの間の接続不良を防止することができる。このため、半導体装置の信頼性を向上させることができる。また、半導体装置の製造歩留まりを向上することができる。また、ドレイン用の n^+ 型半導体領域DR側にSTI絶縁膜3を配置したことにより、ドレイン用の n^+ 型半導体領域DRの平面寸法を縮小することが可能となり、半導体装置の小型化(小面積化)を図ることができる。

【0179】

また、本実施の形態では、チャンネル形成領域とドレイン用の n^+ 型半導体領域DRとの間の半導体基板SUBに、 n^+ 型半導体領域DRよりも低不純物濃度の n 型半導体領域(n^- 型半導体領域NFと n 型半導体領域NWとから構成される n 型半導体領域)を設け、この低不純物濃度の n 型半導体領域をLOCOS酸化膜2およびSTI絶縁膜3の下に延在させている。これにより、耐圧(ドレイン耐圧)を高めることができる。

【0180】

更に、チャンネル形成領域とドレイン用の n^+ 型半導体領域DRとの間に介在するこの低不純物濃度の n 型半導体領域を、 n^- 型半導体領域NFと n 型半導体領域NWとにより構成している。 n^- 型半導体領域NFは n 型半導体領域NWよりも低不純物濃度であり、チャンネル形成領域側に n^- 型半導体領域NFが存在し、 n^- 型半導体領域NFと n^+ 型半導体領域DRとの間に n 型半導体領域NWが介在している。すなわち、 n 型半導体領域NWの形成を省略し、 n^+ 型半導体領域DRが n^- 型半導体領域NFに接するように構成することも可能であるが、 n 型半導体領域NWを省略せずに、 n^+ 型半導体領域DRと n^- 型半導体領域NFとの間に n 型半導体領域NWを介在させていることが、より好ましい。これにより、LDMOSFETがオン状態のときに発生する高電界がドレイン側(n^+ 型半導体領域DR側)に遷移することを防ぎ、LDMOSFETのオン耐圧を向上させることができるという利点を得られる。

【0181】

図33は、STI絶縁膜3の幅W1とオン抵抗との相関を示すグラフである。図34は

10

20

30

40

50

、S T I絶縁膜3の幅W 1とオン耐圧との相関を示すグラフである。図3 5は、本実施の形態の半導体装置の要部断面図であり、上記図1に示される断面図の一部が示されている。

【0182】

図3 3および図3 4のグラフの横軸は、S T I絶縁膜3の幅W 1に対応している。S T I絶縁膜3の幅W 1は、ゲート電極G Eのゲート長方向（従ってチャンネル長方向）におけるS T I絶縁膜3の幅（寸法）に対応しており、図3 5に示されている。図3 3のグラフの縦軸は、L D M O S F E Tのオン抵抗に対応し、図3 4のグラフの縦軸はL D M O S F E Tのオン耐圧に対応している。オン耐圧は、L D M O S F E Tがオン状態のときのドレイン耐圧に対応している。なお、図3 3および図3 4は、図3 5の構造を基にしてシミュレーションで得られたグラフである。

10

【0183】

図3 3のグラフでは、S T I絶縁膜3の幅W 1とオン抵抗との相関について、S T I絶縁膜3の深さD 2とL O C O S酸化膜2の深さD 1との比である深さ比R 1を変えて調べてある。このため、図3 3のグラフを参照すると、深さ比R 1とオン抵抗との相関についても、理解することができる。ここで、深さ比R 1は、S T I絶縁膜3の深さD 2をL O C O S酸化膜2の深さD 1で割った値であり、 $R 1 = D 2 / D 1$ と表すことができる。L O C O S酸化膜2の深さD 1とS T I絶縁膜3の深さD 2は図3 5に示されており、L O C O S酸化膜2の上面から下面までの寸法（距離）がL O C O S酸化膜2の深さD 1に対応し、S T I絶縁膜3の上面から下面までの寸法（距離）がS T I絶縁膜3の深さD 2に対応している。

20

【0184】

図3 3のグラフからも分かるように、S T I絶縁膜3の深さD 2をL O C O S酸化膜2の深さD 1よりも深くすると、ドレイン用のn⁺型半導体領域D Rとチャンネル形成領域との間の導電経路が長くなるため、オン抵抗が大きくなってしまふ。このため、S T I絶縁膜3の深さD 2は、L O C O S酸化膜2の深さD 1よりも、あまり深くし過ぎないことが望ましい。すなわち、深さ比R 1は、あまり大きくし過ぎないことが望ましい。具体的には、図3 3のグラフからも分かるように、深さ比R 1を1.5以下（ $R 1 \leq 1.5$ ）にすることが好ましい。すなわち、S T I絶縁膜3の深さD 2をL O C O S酸化膜2の深さD 1の1.5倍以下（ $D 2 \leq D 1 \times 1.5$ ）にすることが好ましい。つまり、チャンネル形成領域とドレイン用のn⁺型半導体領域D Rとの間に配置されたS T I絶縁膜3の深さD 2と、チャンネル形成領域とドレイン用のn⁺型半導体領域D Rとの間に配置されたL O C O S酸化膜2の深さD 1とについて、 $D 2 / D 1 \leq 1.5$ の関係が成り立つようにすることが好ましい。これにより、オン抵抗を抑制することができる。従って、半導体装置の性能を、より向上させることができる。

30

【0185】

図3 4のグラフでは、S T I絶縁膜3の幅W 1とオン耐圧との相関について、S T I絶縁膜3の深さD 2を変えて調べてある。なお、図3 4のグラフのシミュレーションの前提として、S T I絶縁膜3のドレイン用のn⁺型半導体領域D R側の端部からゲート電極G Eの端部までの距離W 2は、0.6 μmで固定してある。また、L O C O S酸化膜2の深さD 1は0.25 μmで固定してある。このため、図3 4のグラフの横軸が0.6 μmのときは、ゲート電極G Eの端部とS T I絶縁膜3の端部とが上下にほぼ一致していることになる。また、図3 4のグラフの横軸が0.6 μmよりも大きいときは、平面視において、S T I絶縁膜3がゲート電極G Eと重なっていることになる。また、図3 4のグラフの横軸が0.3 μmのときは、S T I絶縁膜3のチャンネル形成領域側の端部とゲート電極G Eの端部との間の間隔W 3が0.3 μmであることになる。また、図3 4のグラフの横軸が0 μmの場合は、S T I絶縁膜3を形成していない場合、すなわち上記第2検討例（図3 1および図3 2）の場合に対応することになる。

40

【0186】

図3 4のグラフからも分かるように、ドレイン用のn⁺型半導体領域D R側にS T I絶

50

縁膜 3 を配置することにより、オン耐圧（オン時のドレイン耐圧）を向上させることができる。これは、図 3 4 のグラフの横軸が $0 \mu\text{m}$ の場合（S T I 絶縁膜 3 を形成していない第 2 検討例の場合に対応）に、オン耐圧が低いことから、明らかである。

【 0 1 8 7 】

そして、図 3 4 のグラフからも分かるように、S T I 絶縁膜 3 の幅 $W 1$ をある程度確保することでオン耐圧は高くなるが、S T I 絶縁膜 3 の幅 $W 1$ を大きくし過ぎて、S T I 絶縁膜 3 の端部がゲート電極 G E の端部に近づき過ぎたり、更には S T I 絶縁膜 3 がゲート電極 G E と重なってしまうと、オン耐圧は若干低下する傾向にある。これは、図 3 4 のグラフにおいて、オン耐圧はピークを示した後に、ゆるやかに低下していることに対応している。このため、平面視において、S T I 絶縁膜 3 がゲート電極 G E と重ならないようにすることが好ましく、S T I 絶縁膜 3 の端部（チャンネル形成領域側の端部）を、ゲート電極 G E の端部（ドレイン用の n^+ 型半導体領域 D R 側の端部）から $0.3 \mu\text{m}$ 以上離すことが、より好ましい。すなわち、S T I 絶縁膜 3 の端部（チャンネル形成領域側の端部）とゲート電極 G E の端部（ドレイン用の n^+ 型半導体領域 D R 側の端部）との間の間隔（距離） $W 3$ を、 $0.3 \mu\text{m}$ 以上確保することが、より好ましい（すなわち $W 3 \geq 0.3 \mu\text{m}$ ）。これにより、オン耐圧（オン時のドレイン耐圧）を、よりの確に向上させることができる。

10

【 0 1 8 8 】

従って、ゲート電極 G E は、チャンネル形成領域とドレイン用の n^+ 型半導体領域 D R との間に配置された L O C O S 酸化膜 2 上に乗っているが、チャンネル形成領域とドレイン用の n^+ 型半導体領域 D R との間に配置された S T I 絶縁膜 3 上には乗っていないようにすることが好ましい。更に、ゲート電極 G E の端部は、チャンネル形成領域とドレイン用の n^+ 型半導体領域 D R との間に配置された S T I 絶縁膜 3 から、 $0.3 \mu\text{m}$ 以上離間されていれば、より好ましい。これにより、オン耐圧を、よりの確に向上させることができる。従って、半導体装置の性能を、より向上させることができる。

20

【 0 1 8 9 】

< 変形例について >

図 3 6 および図 3 7 は、本実施の形態の変形例の半導体装置の要部断面図であり、図 3 6 は、上記図 1 に相当する断面図であり、図 3 7 は、上記図 2 に相当する断面図である。

【 0 1 9 0 】

上記図 1 ~ 図 4 では、L D M O S F E T が n チャネル型である場合について説明したが、L D M O S F E T は p チャネル型であってもよく、図 3 7 および図 3 8 には、L D M O S F E T が p チャネル型である場合が示されている。

30

【 0 1 9 1 】

具体的には、図 3 6 および図 3 7 に示されるように、半導体基板 S U B のエピタキシャル層 E P に n 型ウエル H N W が形成され、 n 型ウエル H N W 内に、 n 型ウエル H N W よりも高不純物濃度の n 型ウエル P W 1 と、ドレイン用の p^- 型半導体領域 N F 1、 p 型半導体領域 N W 1 および p^+ 型半導体領域 D R 1 とが形成されている。そして、 n 型ウエル P W 1 内にソース用の p^+ 型半導体領域 S R 1 と給電用の n^+ 型半導体領域 P R 1 とが形成されている。

40

【 0 1 9 2 】

n 型ウエル P W 1 は、上記 p 型ウエル P W の代わりに設けられたものであり、導電型が逆なこと以外は上記 p 型ウエル P W と同様である。ドレイン用の p^- 型半導体領域 N F 1 は、ドレイン用の上記 n^- 型半導体領域 N F の代わりに設けられたものであり、導電型が逆なこと以外は上記 n^- 型半導体領域 N F と同様である。ドレイン用の p 型半導体領域 N W 1 は、ドレイン用の上記 n 型半導体領域 N W の代わりに設けられたものであり、導電型が逆なこと以外は上記 n 型半導体領域 N W と同様である。ドレイン用の p^+ 型半導体領域 D R 1 は、ドレイン用の上記 n^+ 型半導体領域 D R の代わりに設けられたものであり、導電型が逆なこと以外は上記 n^+ 型半導体領域 D R と同様である。ソース用の p^+ 型半導体領域 S R 1 は、ソース用の上記 n^+ 型半導体領域 S R の代わりに設けられたものであり、導

50

電型が逆なこと以外は上記 n^+ 型半導体領域 $S R$ と同様である。 n 型ウエル $P W 1$ への給電用の n^+ 型半導体領域 $P R 1$ は、上記 p 型ウエル $P W$ への給電用の上記 p^+ 型半導体領域 $P R$ の代わりに設けられたものであり、導電型が逆なこと以外は上記 p^+ 型半導体領域 $P R$ と同様である。

【 0 1 9 3 】

図 3 6 および図 3 7 の変形例の半導体装置の他の構成は、上記図 1 ~ 図 4 の半導体装置と基本的には同様であるので、ここではその繰り返しの説明は省略する。従って、上記図 1 ~ 図 4 の半導体装置と同様に、図 3 6 および図 3 7 の変形例の半導体装置も、ゲート絶縁膜用の絶縁膜 $G I$ 、ゲート電極 $G E$ 、 $L O C O S$ 酸化膜 2、 $S T I$ 絶縁膜 3、サイドウォールスペーサ $S W$ 、絶縁膜 $I L 3$ 、コンタクトホール $C T$ 、プラグ $P G (P G D, P G K, P G G, P G S)$ 、および配線 $M 1 (M 1 D, M 1 G, M 1 S)$ を有している。これらの構成は、図 3 6 および図 3 7 の変形例の半導体装置も、上記図 1 ~ 図 4 の半導体装置と同様である。

10

【 0 1 9 4 】

図 3 7 および図 3 8 のように $L D M O S F E T$ が p チャネル型の場合であっても、上記図 1 ~ 図 4 のように $L D M O S F E T$ が n チャネル型の場合とほぼ同様の効果を得ることができる。

【 0 1 9 5 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20

【 符号の説明 】

【 0 1 9 6 】

2, 1 0 2 $L O C O S$ 酸化膜

3, 3 a, 1 0 3 $S T I$ 絶縁膜

4 素子分離領域

5 $D T I$ 構造

6 単位セル

6 a 単位 $L D M O S F E T$

$C T$ コンタクトホール

$C T S$ ソース用コンタクトホール

$C T D$ ドレイン用コンタクトホール

$D R$ n^+ 型半導体領域

$D R 1$ p^+ 型半導体領域

$E P$ エピタキシャル層

$E P 1$ p^- 型エピタキシャル層

$E X 1, E X 2$ n^- 型半導体領域

$G E$ ゲート電極

$G I$ 絶縁膜

$H N W$ n 型ウエル

$I L 1, I L 2, I L 3, I L 4, I L 5, I L 6, I L 7, I L 8$ 絶縁膜

$I L 9$ 樹脂膜

$K G$ 空隙

$L 1, L 2$ 寸法

$M 1, M 2, M 3, M 4$ 配線

$M 1 D$ ドレイン用配線

$M 1 G$ ゲート用配線

$M 1 S$ ソース用配線

$M E$ 金属膜

$N B$ 埋込層

30

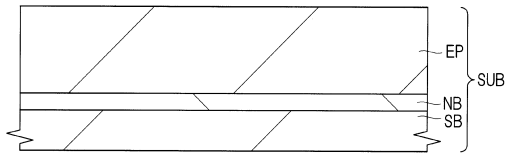
40

50

N F	n ⁻ 型半導体領域	
N F 1	p ⁻ 型半導体領域	
N W	n型半導体領域	
N W 1	p型半導体領域	
O P 1 , O P 2	開口部	
P G , P G 2 , P G 3 , P G 4	プラグ	
P G D	ドレイン用プラグ	
P G G	ゲート用プラグ	
P G K	給電用プラグ	
P G S	ソース用プラグ	10
P R	p ⁺ 型半導体領域	
P R 1	n ⁺ 型半導体領域	
P S 1 , P S 2	シリコン膜	
P W	p型ウエル	
P W 1	n型ウエル	
R 1	比	
R P 1 , R P 2	フォトレジスト層	
S B	基板本体	
S L	金属シリサイド層	
S N	窒化シリコン膜	20
S R	n ⁺ 型半導体領域	
S R 1	p ⁺ 型半導体領域	
S U B	半導体基板	
S W	サイドウォール Spacer	
T B 1 , T B 1 a , T B 1 b , T B 2 , T B 4 , T B 5	下面端部	
T B 3 , T B 6	上面端部	
T R 1 , T R 2	溝	
W 1	幅	
W 2	距離	
W 3	間隔	30

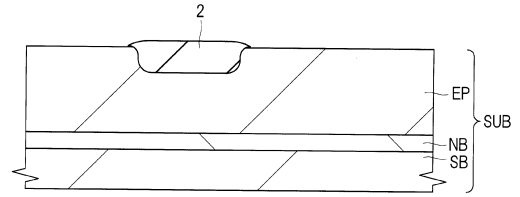
【図5】

図5



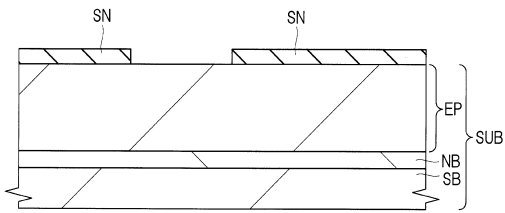
【図7】

図7



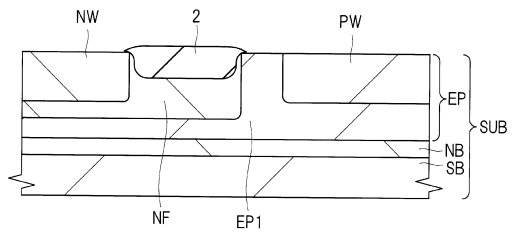
【図6】

図6



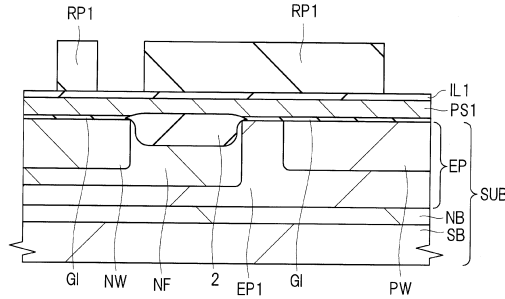
【図8】

図8



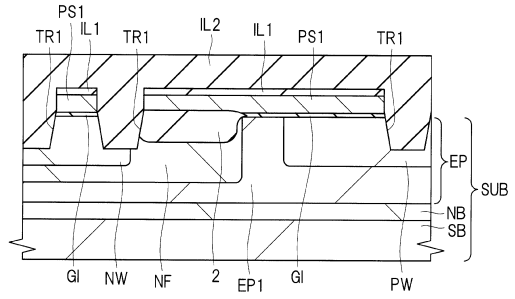
【図9】

図9



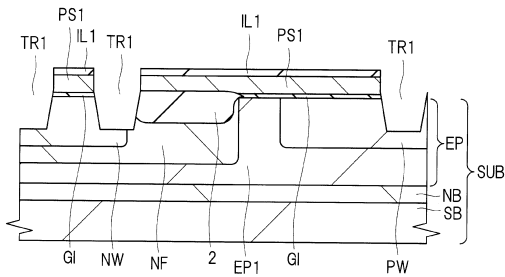
【図11】

図11



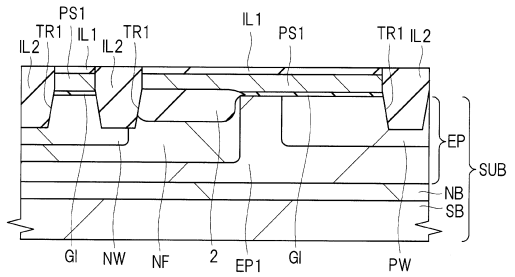
【図10】

図10

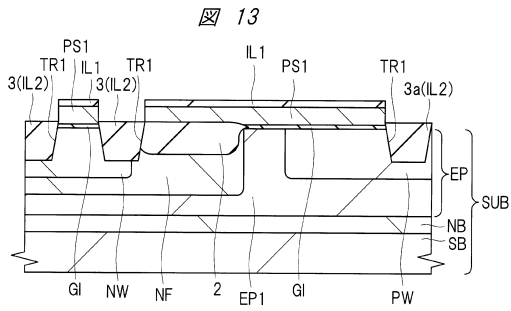


【図12】

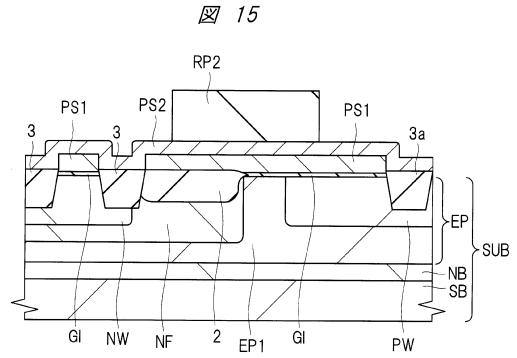
図12



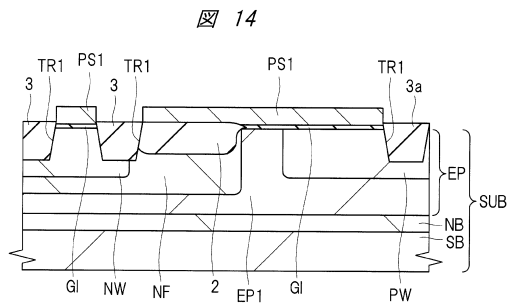
【図 13】



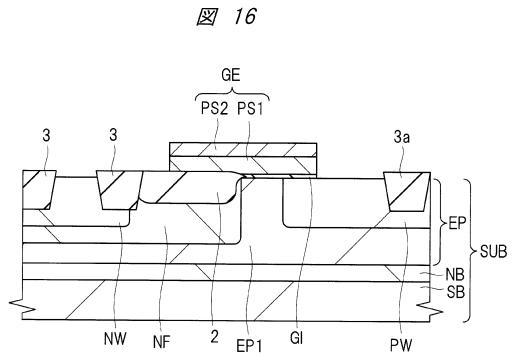
【図 15】



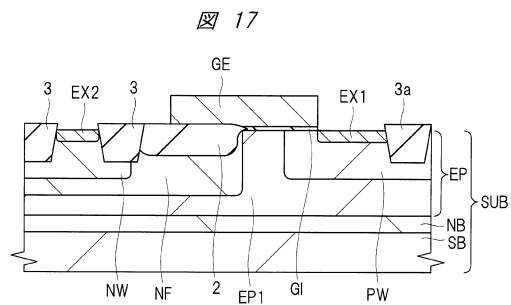
【図 14】



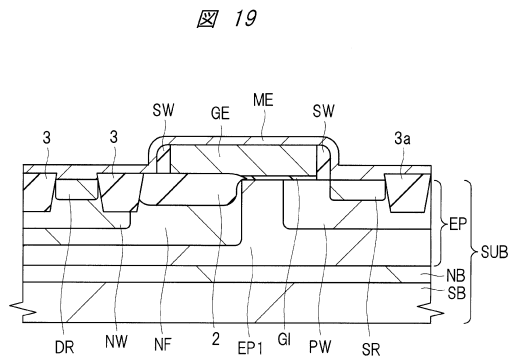
【図 16】



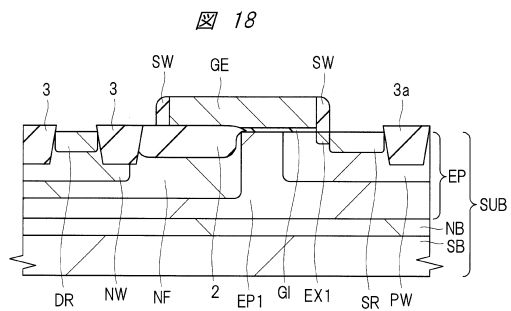
【図 17】



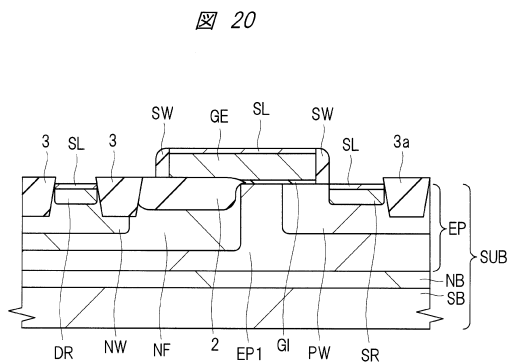
【図 19】



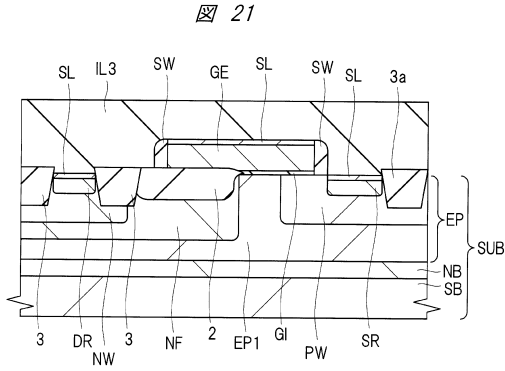
【図 18】



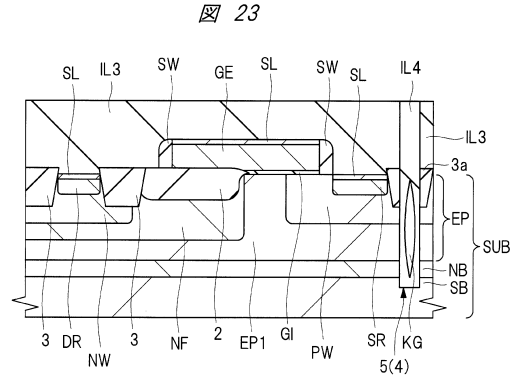
【図 20】



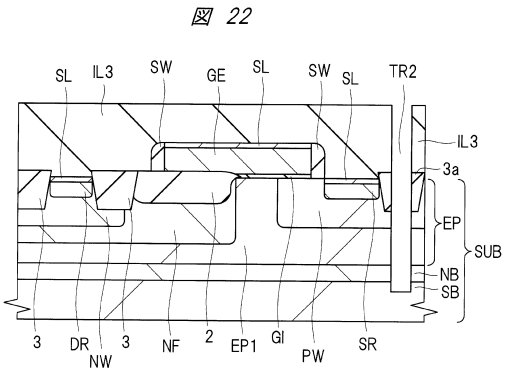
【 2 1 】



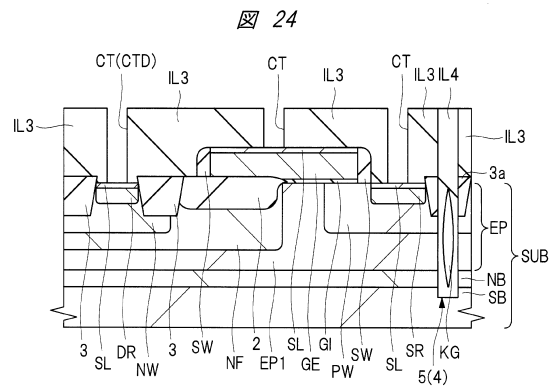
【 2 3 】



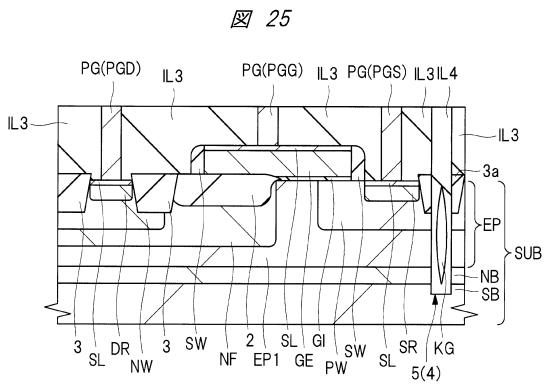
【 2 2 】



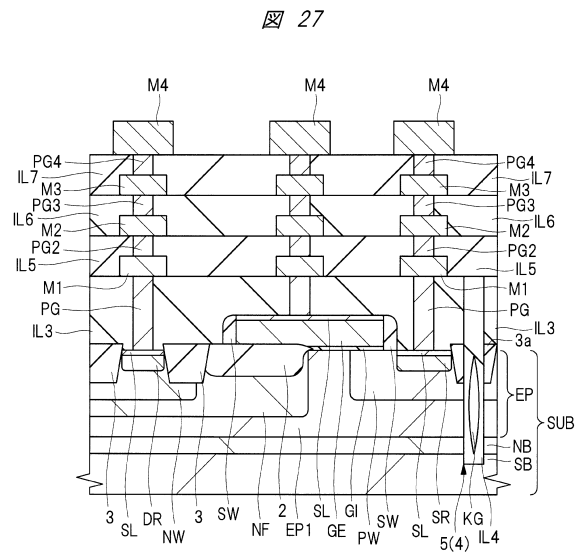
【 2 4 】



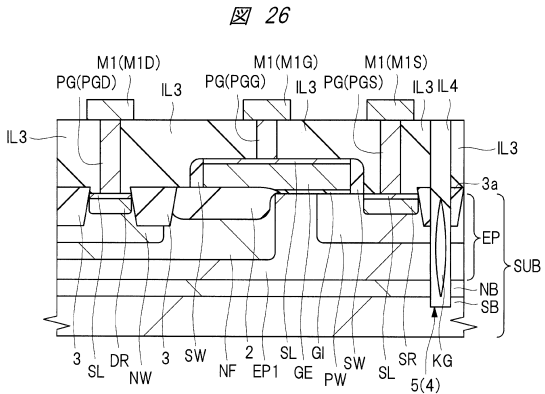
【 2 5 】



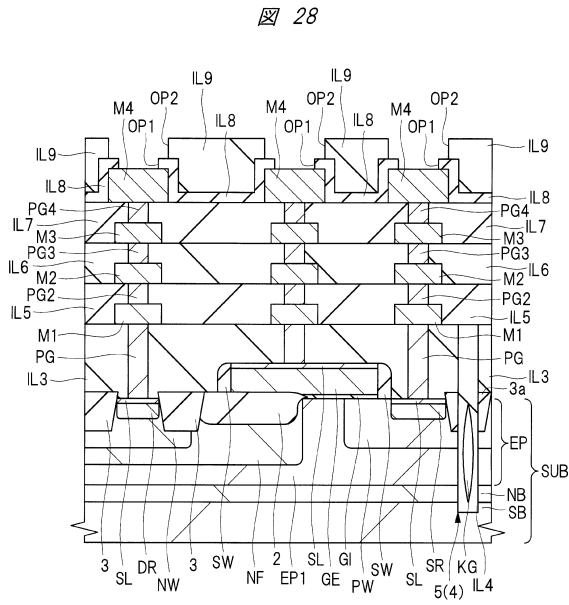
【 2 7 】



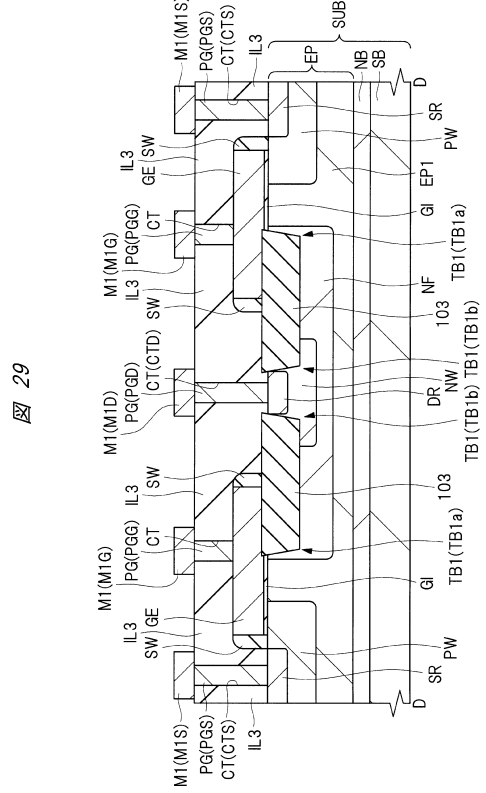
【 2 6 】



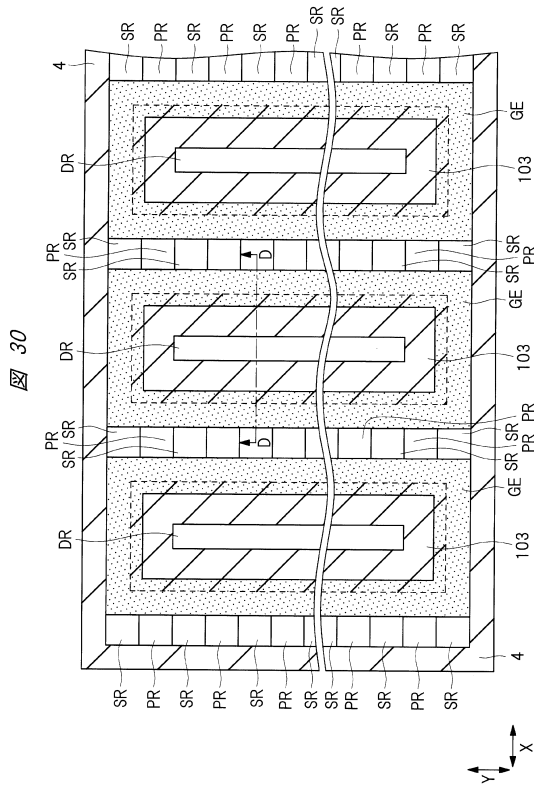
【 図 28 】



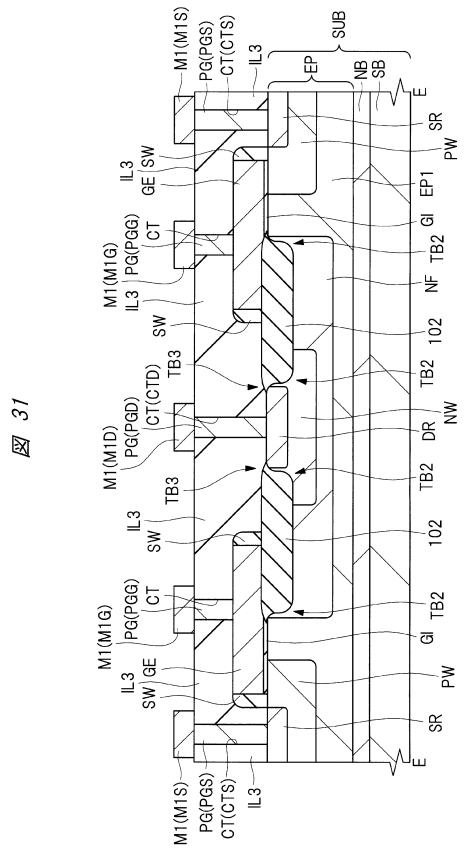
【 図 29 】



【 図 30 】



【 図 31 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/285 C

(72)発明者 城本 竜也
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

(72)発明者 新田 哲也
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 市川 武宜

(56)参考文献 特開 2 0 0 8 - 2 8 8 5 1 0 (J P , A)
特開 2 0 1 2 - 0 3 3 5 9 9 (J P , A)
国際公開第 2 0 1 1 / 1 6 1 7 4 8 (W O , A 1)
特開 2 0 1 3 - 2 5 1 4 9 7 (J P , A)
特開平 1 1 - 1 2 1 7 4 2 (J P , A)
特開 2 0 0 9 - 1 7 6 8 9 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 2 8 5
H 0 1 L 2 9 / 7 8