



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년04월16일  
 (11) 등록번호 10-0822216  
 (24) 등록일자 2008년04월08일

(51) Int. Cl.  
*H05B 33/02* (2006.01) *H05B 33/10* (2006.01)  
 (21) 출원번호 10-2007-0034617  
 (22) 출원일자 2007년04월09일  
 심사청구일자 2007년04월09일  
 (56) 선행기술조사문헌  
 JP2000131720 A  
 KR100232677 A  
 KR1020010084330 A  
 KR1020030058511 A

(73) 특허권자  
**삼성에스디아이 주식회사**  
 경기 수원시 영통구 신동 575  
 (72) 발명자  
**강철규**  
 경기 용인시 기흥구 공세동 428-5  
**최종현**  
 경기 용인시 기흥구 공세동 428-5  
 (뒷면에 계속)  
 (74) 대리인  
**리엔목특허법인**

전체 청구항 수 : 총 16 항

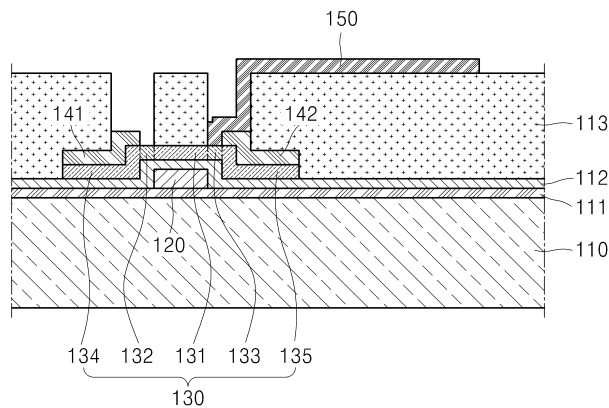
심사관 : 하정균

**(54) 박막 트랜지스터 기판, 이를 포함한 유기 발광 표시장치 및 유기 발광 표시장치의 제조방법**

**(57) 요약**

본 발명은 패터닝을 이용한 마스크 공정 수를 줄인 박막 트랜지스터 기판, 이를 포함한 유기 발광 표시장치 및 그 제조방법에 관한 것으로서, 기판; 상기 기판 상에 배치된 게이트 전극; 상기 게이트 전극을 덮도록 상기 기판 상에 배치된 게이트 절연막; 상기 게이트 전극에 대응하는 위치에 배치된 채널 영역과, 상기 채널 영역 외부에 배치되고 불순물이 도핑된 제1 소스 및 드레인 영역과, 상기 제1 소스 및 드레인 영역 외부에 배치되고 금속물질을 포함하는 제2 소스 및 드레인 영역을 구비하며, 상기 게이트 절연막 상에 배치되는 반도체층; 상기 제1 소스 및 드레인 영역이 노출되도록 상기 제2 소스 및 드레인 영역 상에 배치되는 소스 및 드레인 전극; 상기 게이트 절연막, 상기 소스 및 드레인 전극, 및 상기 채널 영역 상에 배치되고, 상기 제1 소스 및 드레인 영역과 상기 소스 및 드레인 전극의 일부가 노출되도록 개구부를 구비한 평탄화막; 및 상기 평탄화막 상에 배치되고, 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 전기적으로 연결되는 화소 전극을 포함하는 박막 트랜지스터 기판, 이를 포함한 유기발광 표시 장치 및 그 제조방법을 제공한다.

**대표도 - 도2**



(72) 발명자

**전우식**

경기 용인시 기흥구 공세동 428-5

**전희철**

경기 용인시 기흥구 공세동 428-5

---

**특허청구의 범위**

**청구항 1**

기관;

상기 기관 상에 배치된 게이트 전극;

상기 게이트 전극을 덮도록 상기 기관 상에 배치된 게이트 절연막;

상기 게이트 전극에 대응하는 위치에 배치된 채널 영역과, 상기 채널 영역 외부에 배치되고 불순물이 도핑된 제 1 소스 및 드레인 영역과, 상기 제1 소스 및 드레인 영역 외부에 배치되고 금속물질을 포함하는 제2 소스 및 드레인 영역을 구비하며, 상기 게이트 절연막 상에 배치되는 반도체층;

상기 제1 소스 및 드레인 영역이 노출되도록 상기 제2 소스 및 드레인 영역 상에 배치되는 소스 및 드레인 전극;

상기 게이트 절연막, 상기 소스 및 드레인 전극, 및 상기 채널 영역 상에 배치되고, 상기 제1 소스 및 드레인 영역과 상기 소스 및 드레인 전극의 일부가 노출되도록 개구부를 구비한 평탄화막; 및

상기 평탄화막 상에 배치되고, 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 전기적으로 연결되는 화소 전극;을 포함하는 박막 트랜지스터 기관.

**청구항 2**

제1항에 있어서,

상기 제2 소스 및 드레인 영역에 포함되는 금속 물질은 상기 소스 및 드레인 전극을 구성하는 금속 물질을 포함하는 박막 트랜지스터 기관.

**청구항 3**

제2항에 있어서,

상기 소스 및 드레인 전극을 구성하는 금속 물질은 Al, Cu, Mo, W, Cr 및 Pt 로 이루어진 군에서 선택된 적어도 하나의 금속 물질을 포함하는 박막 트랜지스터 기관.

**청구항 4**

제1항에 있어서,

상기 반도체층의 단부와 상기 소스 및 드레인 전극의 단부의 패턴이 동일한 박막 트랜지스터 기관.

**청구항 5**

제1항에 있어서,

상기 반도체층은 다결정 실리콘을 포함하는 박막 트랜지스터 기관.

**청구항 6**

제1항에 있어서,

상기 기관 상에 버퍼층을 더 포함하는 박막 트랜지스터 기관.

**청구항 7**

기관;

상기 기관 상에 배치된 게이트 전극;

상기 게이트 전극을 덮도록 상기 기관 상에 배치된 게이트 절연막;

상기 게이트 전극에 대응하는 위치에 배치된 채널 영역과, 상기 채널 영역 외부에 배치되고 불순물이 도핑된 제 1 소스 및 드레인 영역과, 상기 제1 소스 및 드레인 영역 외부에 배치되고 금속물질을 포함하는 제2 소스 및 드

레인 영역을 구비하며, 상기 게이트 절연막 상에 배치되는 반도체층;

상기 제1 소스 및 드레인 영역이 노출되도록 상기 제2 소스 및 드레인 영역 상에 배치되는 소스 및 드레인 전극;

상기 게이트 절연막, 상기 소스 및 드레인 전극, 및 상기 채널 영역 상에 배치되고, 상기 제1 소스 및 드레인 영역과 상기 소스 및 드레인 전극의 일부가 노출되도록 개구부를 구비한 평탄화막;

상기 평탄화막 상에 배치되고, 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 전기적으로 연결되는 화소 전극;

상기 평탄화막 및 상기 화소 전극을 덮고, 상기 화소 전극의 일부를 노출시키는 화소 정의막;

상기 노출된 화소 전극 상에 배치된 유기 발광층; 및

상기 유기 발광층을 덮는 대향 전극; 을 포함하는 유기 발광 표시장치.

#### 청구항 8

제7항에 있어서,

상기 화소 정의막 상에 스페이서를 더 포함하는 유기 발광 표시장치.

#### 청구항 9

제8항에 있어서,

상기 화소 정의막과 상기 스페이서는 동일 물질로 형성되는 유기 발광 표시장치.

#### 청구항 10

제8항에 있어서,

상기 화소 정의막과 상기 스페이서는 동시에 패터닝되는 유기 발광 표시장치.

#### 청구항 11

기판 상에 게이트 전극을 증착하고 패터닝하는 단계(M1);

상기 기판 및 상기 게이트 전극 상에 게이트 절연막을 증착하는 단계;

상기 게이트 절연막 상에 상기 게이트 전극을 덮도록 비정질 실리콘층을 증착하는 단계;

상기 비정질 실리콘층을 다결정 실리콘으로 결정화하는 단계;

상기 다결정 실리콘층 상에 소스 및 드레인 전극 물질을 증착하는 단계;

하프톤(half-tone) 마스크를 이용하여, 소스 및 드레인 전극 사이에, 상기 게이트 전극에 대응하는 위치의 다결정 실리콘층을 포함한 다결정 실리콘층의 일부가 노출되도록 상기 다결정 실리콘층 및 상기 소스 및 드레인 전극을 동시에 패터닝하는 단계(M2);

상기 게이트 절연막, 상기 소스 및 드레인 전극 및 상기 노출된 다결정 실리콘층 상에 평탄화막을 형성하는 단계;

상기 게이트 전극에 대응하는 위치의 다결정 실리콘층의 외부에 위치한 다결정 실리콘층 및 상기 소스 및 드레인 전극의 일부가 노출되도록 상기 평탄화막에 개구부를 형성하는 단계(M3);

상기 노출된 다결정 실리콘층에 불순물을 도핑하는 단계;

상기 소스 및 드레인 전극의 금속 물질이 상기 다결정 실리콘층에 확산되도록 열처리하는 단계;

상기 평탄화막, 상기 소스 및 드레인 전극 및 상기 불순물이 도핑된 영역 상에 도전물질을 증착하는 단계;

상기 도전물질이 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 접촉하도록 평탄화막 상에 패터닝하여 화소 전극을 형성하는 단계(M4);

상기 화소 전극 상에 화소 정의막을 형성하는 단계;

상기 화소 전극의 일부가 노출되도록 화소 정의막을 패터닝하는 단계(M5); 및

상기 화소 정의막 상에 유기 발광층 및 대향전극을 형성하는 단계; 를 포함하는 유기 발광 표시장치의 제조방법.

**청구항 12**

제11항에 있어서,

상기 게이트 전극에 대응하는 위치의 다결정 실리콘층의 외부에 위치한 다결정 실리콘층 및 상기 소스 및 드레인 전극의 일부가 노출되도록 상기 평탄화막에 개구부를 형성하는 단계(M3)는 상기 다결정 실리콘층의 단부와 상기 소스 및 드레인 전극의 단부를 동일한 패턴으로 형성하는 단계인 유기 발광 표시장치의 제조방법.

**청구항 13**

제11항에 있어서,

상기 소스 및 드레인 전극의 금속 물질이 상기 다결정 실리콘층에 확산되도록 열처리하는 단계는 상기 소스 및 드레인 전극을 구성하는 금속 물질의 용융점 이상의 온도를 공급하는 단계인 유기 발광 표시장치의 제조방법.

**청구항 14**

제11항에 있어서,

상기 화소 정의막 상에 스페이서를 형성하는 단계를 더 포함하는 유기 발광 표시장치의 제조방법.

**청구항 15**

제14항에 있어서,

상기 화소정의막과 스페이서는 하프톤(half-tone) 마스크를 이용하여 동시에 패터닝되는 유기 발광 표시장치의 제조방법.

**청구항 16**

제11항에 있어서,

상기 기판 상에 버퍼층을 형성하는 단계를 더 포함하는 유기 발광 표시장치의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <18> 본 발명은 박막 트랜지스터 기판, 이를 포함한 유기 발광 표시장치 및 유기 발광 표시장치의 제조방법에 관한 것으로, 더 상세하게는 제조공정이 단순화되고 콘택 저항이 낮은 바텀 게이트 타입의 박막 트랜지스터 기판, 이를 포함한 유기 발광 표시장치 및 유기 발광 표시장치의 제조방법에 관한 것이다.
- <19> 박막 트랜지스터는 액정 표시장치나 유기 발광 표시장치 등 평판 표시장치의 스위칭 소자 또는 구동 소자로 사용되고 있다. 박막 트랜지스터는 게이트 전극의 위치에 따라 탑 게이트(top gate) 타입과 바텀 게이트(bottom gate) 타입으로 분류되고, 이들 가운데 탑 게이트 타입의 박막 트랜지스터는 유기 발광 표시장치를 비롯한 평판 디스플레이 장치에 널리 사용되고 있다.
- <20> 한편, 유기 발광 표시장치는 화소 전극과 대향 전극 사이에 유기 발광층을 갖는 자발광형 표시장치로서, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빨라, 차세대 표시소자로 주목받고 있다.
- <21> 도 1은 종래의 탑 게이트 타입의 박막 트랜지스터를 구비한 유기 발광 표시장치의 구조를 개략적으로 도시한 단

면도이다. 상기 도면을 참조하면, 종래의 유기 발광 표시장치는 기판(10) 상에 버퍼층(11), 반도체층(21), 층간 절연막(112), 게이트 전극(22), 게이트 절연막(113), 소스 및 드레인 전극(23, 24), 평탄화막(14), 화소정의막(15), 화소 전극(27), 유기발광층(28) 및 대향 전극(29)을 구비한다.

- <22> 상기 유기발광 표시장치는 먼저 기판(10) 상에 버퍼층(11)과 비정질 실리콘층(21)을 순차로 증착하고, 비정질 실리콘층(21)을 다결정 실리콘으로 결정화시킨 후, 제1마스크를 이용하여 다결정 실리콘층(21)을 소정의 패턴으로 패터닝한다. 그 후, 제2마스크를 이용하여 패터닝된 다결정 실리콘층(21)을 소스 및 드레인 영역으로 만들기 위하여 이온 도핑 공정을 실시한다.
- <23> 다음으로, 버퍼층(11) 및 상기 패터닝된 반도체층(21) 상에 층간 절연막(12)과 게이트 전극(22)으로 사용될 도전물질을 증착한 후, 제3마스크를 이용하여 게이트 전극(22)을 소정 패턴으로 패터닝한다.
- <24> 게이트 전극(22)을 패터닝 한 후, 게이트 전극(22) 상에 게이트 절연막(13)을 증착하고, 그 후 제4마스크를 이용하여 소스/드레인 전극(23, 24)과 반도체층(21)을 전기적으로 접속시키기 위한 콘택홀(25)을 패터닝한다.
- <25> 콘택홀(25)을 형성한 후, 게이트 절연막(13) 상에 소스/드레인 전극 물질을 증착하고 제5마스크를 이용하여 소스/드레인 전극(23, 24)을 소정 패턴으로 패터닝한다.
- <26> 소스/드레인 전극(23, 24)을 형성한 후, 소스/드레인 전극(23, 24) 및 게이트 절연막(13) 상에 평탄화막(14)을 증착하고, 소스/드레인 전극(23, 24) 중 어느 하나의 전극과 화소 전극(27)을 전기적으로 접속시키기 위한 비어홀(26)을 제6마스크를 이용하여 패터닝한다.
- <27> 비어홀(26)을 형성한 후, 평탄화막(14) 상에 도전물질을 증착하고, 제7마스크를 이용하여 상기 도전물질을 소정 패턴의 화소 전극(27)으로 패터닝한다.
- <28> 화소 전극(27)을 형성한 후, 평탄화막(14)과 화소 전극(27) 상에 화소정의막(15)을 증착하고, 제8마스크를 이용하여 화소 전극(27)의 일부가 개구되도록 패터닝한다. 화소 정의막(15) 상에 스페이서(미도시)를 더 구비할 경우에는 스페이서(미도시)를 증착하고 또 다른 마스크(제9마스크)를 이용하여 스페이서(미도시)를 패터닝한다.
- <29> 개구된 화소 전극(27) 상에 유기 발광층(28)을 새도우 마스크나 오픈 마스크를 이용하여 증착하고, 그 다음 유기 발광층(28) 상에 대향 전극(29)을 오픈 마스크를 이용하여 증착한다.
- <30> 상술한 종래 탑 게이트 타입의 박막 트랜지스터를 포함하는 유기 발광 표시장치는 소정의 패턴을 형성하기 위하여 마스크를 사용하는 공정이 많은데, 이러한 공정은 포토레지스터를 도포, 노광, 현상하는 일련의 과정을 거치기 때문에 제조 공정이 복잡하고 이로 인하여 제조 원가가 상승하는 문제가 있었다.

**발명이 이루고자 하는 기술적 과제**

- <31> 본 발명은 상기와 같은 문제 및 그 밖의 문제를 해결하기 위하여, 마스크를 이용한 패터닝 공정 수를 줄일 수 있는 박막 트랜지스터 기판, 이를 포함한 유기 발광 표시장치 및 이의 제조방법을 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

- <32> 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판; 상기 기판 상에 배치된 게이트 전극; 상기 게이트 전극을 덮도록 상기 기판 상에 배치된 게이트 절연막; 상기 게이트 전극에 대응하는 위치에 배치된 채널 영역과, 상기 채널 영역 외부에 배치되고 불순물이 도핑된 제1 소스 및 드레인 영역과, 상기 제1 소스 및 드레인 영역 외부에 배치되고 금속물질을 포함하는 제2 소스 및 드레인 영역을 구비하며, 상기 게이트 절연막 상에 배치되는 반도체층; 상기 제1 소스 및 드레인 영역이 노출되도록 상기 제2 소스 및 드레인 영역 상에 배치되는 소스 및 드레인 전극; 상기 게이트 절연막, 상기 소스 및 드레인 전극, 및 상기 채널 영역 상에 배치되고, 상기 제1 소스 및 드레인 영역과 상기 소스 및 드레인 전극의 일부가 노출되도록 개구부를 구비한 평탄화막; 및 상기 평탄화막 상에 배치되고, 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 전기적으로 연결되는 화소 전극;을 포함하는 박막 트랜지스터 기판을 제공한다.
- <33> 또한 본 발명의 상기 제2 소스 및 드레인 영역에 포함되는 금속 물질은 상기 소스 및 드레인 전극을 구성하는 금속 물질을 포함할 수 있다.
- <34> 또한, 상기 소스 및 드레인 전극을 구성하는 금속 물질은 Al, Cu, Mo, W, Cr 및 Pt 로 이루어진 군에서 선택된

적어도 하나의 금속 물질을 포함할 수 있다.

- <35> 상기 반도체층의 단부와 상기 소스 및 드레인 전극의 단부의 패턴은 동일할 수 있다.
- <36> 상기 반도체층은 다결정 실리콘을 포함할 수 있다.
- <37> 상기 기판 상에 버퍼층을 더 포함할 수 있다.
- <38> 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판; 상기 기판 상에 배치된 게이트 전극; 상기 게이트 전극을 덮도록 상기 기판 상에 배치된 게이트 절연막; 상기 게이트 전극에 대응하는 위치에 배치된 채널 영역과, 상기 채널 영역 외부에 배치되고 불순물이 도핑된 제1 소스 및 드레인 영역과, 상기 제1 소스 및 드레인 영역 외부에 배치되고 금속물질을 포함하는 제2 소스 및 드레인 영역을 구비하며, 상기 게이트 절연막 상에 배치되는 반도체층; 상기 제1 소스 및 드레인 영역이 노출되도록 상기 제2 소스 및 드레인 영역 상에 배치되는 소스 및 드레인 전극; 상기 게이트 절연막, 상기 소스 및 드레인 전극, 및 상기 채널 영역 상에 배치되고, 상기 제1 소스 및 드레인 영역과 상기 소스 및 드레인 전극의 일부가 노출되도록 개구부를 구비한 평탄화막; 상기 평탄화막 상에 배치되고, 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 전기적으로 연결되는 화소 전극; 상기 평탄화막 및 상기 화소 전극을 덮고, 상기 화소 전극의 일부를 노출시키는 화소 정의막; 상기 노출된 화소 전극 상에 배치된 유기 발광층; 및 상기 유기 발광층을 덮는 대향 전극;을 포함하는 유기 발광 표시장치를 제공한다.
- <39> 또한 본 발명은, 상기 화소 정의막 상에 스페이서를 더 포함할 수 있다.
- <40> 또한, 상기 화소 정의막과 상기 스페이서는 동일 물질로 형성될 수 있다.
- <41> 상기 화소 정의막과 상기 스페이서는 동시에 패터닝될 수 있다.
- <42> 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판 상에 게이트 전극을 증착하고 패터닝하는 단계(M1); 상기 기판 및 상기 게이트 전극 상에 게이트 절연막을 증착하는 단계; 상기 게이트 절연막 상에 상기 게이트 전극을 덮도록 비정질 실리콘층을 증착하는 단계; 상기 비정질 실리콘층을 다결정 실리콘으로 결정화하는 단계; 상기 다결정 실리콘층 상에 소스 및 드레인 전극 물질을 증착하는 단계; 하프톤(half-tone) 마스크를 이용하여, 소스 및 드레인 전극 사이에, 상기 게이트 전극에 대응하는 위치의 다결정 실리콘층을 포함한 다결정 실리콘층의 일부가 노출되도록 상기 다결정 실리콘층 및 상기 소스 및 드레인 전극을 동시에 패터닝하는 단계(M2); 상기 게이트 절연막, 상기 소스 및 드레인 전극 및 상기 노출된 다결정 실리콘층 상에 평탄화막을 형성하는 단계; 상기 게이트 전극에 대응하는 위치의 다결정 실리콘층의 외부에 위치한 다결정 실리콘층 및 상기 소스 및 드레인 전극의 일부가 노출되도록 상기 평탄화막에 개구부를 형성하는 단계(M3); 상기 노출된 다결정 실리콘층에 불순물을 도핑하는 단계; 상기 소스 및 드레인 전극의 금속 물질이 상기 다결정 실리콘층에 확산되도록 열처리하는 단계; 상기 평탄화막, 상기 소스 및 드레인 전극 및 상기 불순물이 도핑된 영역 상에 도전물질을 증착하는 단계; 상기 도전물질이 상기 개구부를 통하여 상기 소스 및 드레인 전극 가운데 하나의 전극과 접촉하도록 평탄화막 상에 패터닝하여 화소 전극을 형성하는 단계(M4); 상기 화소 전극 상에 화소 정의막을 형성하는 단계; 상기 화소 전극의 일부가 노출되도록 화소 정의막을 패터닝하는 단계(M5); 및 상기 화소 정의막 상에 유기 발광층 및 대향전극을 형성하는 단계; 를 포함하는 유기 발광 표시장치의 제조방법을 제공한다.
- <43> 또한 본 발명은, 상기 게이트 전극에 대응하는 위치의 다결정 실리콘층의 외부에 위치한 다결정 실리콘층 및 상기 소스 및 드레인 전극의 일부가 노출되도록 상기 평탄화막에 개구부를 형성하는 단계(M3)는 상기 다결정 실리콘층의 단부와 상기 소스 및 드레인 전극의 단부를 동일한 패턴으로 형성할 수 있다.
- <44> 또한, 상기 소스 및 드레인 전극의 금속 물질이 상기 다결정 실리콘층에 확산되도록 열처리하는 단계는 상기 소스 및 드레인 전극을 구성하는 금속 물질의 용융점 이상의 온도를 공급하는 단계일 수 있다.
- <45> 본 발명은 상기 화소 정의막 상에 스페이서를 형성하는 단계를 더 포함할 수 있다.
- <46> 상기 화소정의막과 스페이서는 하프톤(half-tone) 마스크를 이용하여 동시에 패터닝될 수 있다.
- <47> 상기 기판 상에 버퍼층을 형성하는 단계를 더 포함할 수 있다.
- <48> 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예들을 참조하여 본 발명을 보다 상세히 설명한다.
- <49> 도 2는 본 발명의 일 실시예에 관한 바텀 게이트 타입의 박막 트랜지스터 기판을 개략적으로 도시한 단면도이고, 도 5 내지 도 12는 본 실시예의 박막 트랜지스터 기판을 포함하는 유기 발광 표시장치의 제조방법



을 개략적으로 도시한 단면도들로서, 이 가운데 박막 트랜지스터 기판의 제조방법을 참조하기로 한다.

- <50> 도 2를 참조하면, 본 실시예에 따른 박막 트랜지스터 기판은 기판(110) 상에 버퍼층(111), 게이트 전극(120), 게이트 절연막(111), 반도체층(130), 소스 및 드레인 전극(141, 142), 평탄화막(113) 및 화소 전극(150)을 구비한다.
- <51> 기판(110)은 SiO<sub>2</sub>를 주성분으로 하는 글라스재 기판일 수 있다. 그러나 이에 한정되지 않으며, 플라스틱재 기판 등 다양한 재질로 이루어질 수 있다.
- <52> 기판(110)의 상면에는 기판(110)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(111)이 구비될 수 있다. 상기 버퍼층은 SiO<sub>2</sub> 및/또는 SiN<sub>x</sub> 등을 이용하여 PECVD법, APCVD법, LPCVD법, ERC법 등 다양한 방법에 의해 증착될 수 있다.
- <53> 도 5를 참조하면, 버퍼층(111) 상에 MoW, Al/Cu 등의 저저항의 금속을 포함하는 금속층(120)이 증착되고, 이 금속층(120)은 소정 패턴을 가진 마스크(M1)에 의해 도 6과 같은 소정 패턴을 가진 게이트 전극(120)이 형성된다. 게이트 전극(120)은 박막 트랜지스터의 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 이때, 마스크를 이용한 패턴링 과정을 보다 상세히 설명하면 다음과 같다.
- <54> 먼저, 버퍼층(111) 상에 금속층(120)을 증착하고, 금속층(120)의 전면에 걸쳐 포토레지스터(photoresistor)를 도포한다. 이 포토레지스터를 통상의 사진식각(photolithography) 공정을 이용하여 소정의 패턴으로 패터닝한다. 즉, 소정의 패턴이 형성된 마스크(M1)를 이용하여 도포된 포토레지스터를 노광, 현상하여 베이킹한 후, 이를 소정 패턴에 따라 일광 에칭하는 것이다. 이때, 에칭은 습식 에칭 및 건식 에칭 모두 적용 가능하며, 건식 에칭을 적용할 경우에는 플라즈마 식각, 반응 이온 식각(Reactive Ion Etching: RIE), 반응 스퍼터 식각(Reactive Sputter Etching), 반응이온빔 밀링 등의 방법이 적용될 수 있다. 마스크를 이용하는 패턴링 공정은 상술한 과정이 반복되므로, 이하에서는 동일한 공정에 대하여는 자세한 설명은 생략될 것이다.
- <55> 도 7을 참조하면, 게이트 전극(120)과 버퍼층(111) 상에는 게이트 절연막(112)이 증착된다. 이 게이트 절연막(112)은 SiN<sub>x</sub> 또는 SiO<sub>x</sub> 등의 무기 절연막을 PECVD법, APCVD법, LPCVD법, ERC법 등의 방법으로 증착할 수 있다.
- <56> 게이트 절연막(112) 상에 소정 패턴의 반도체층(130)이 구비된다. 먼저, 비정질 실리콘층(130)이 증착된 후 결정화 과정을 거친다. 비정질 실리콘층(130)은 RTA(Lapid Thermal Annealing)공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Annealing), MIC(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SLS법(Sequential Lateral Solidification) 등 다양한 방법에 의해 다결정 실리콘으로 결정화될 수 있다.
- <57> 도 8을 참조하면, 비정질 실리콘층을 다결정 실리콘으로 결정화한 후, 반도체층(130)을 바로 패턴링 하지 않고 반도체층(130) 상에 소스 및 드레인 전극으로 형성될 도전물질(140)을 증착한다. 이러한 도전물질(140)로는 알루미늄(Al) 또는 구리(Cu) 등으로 된 단일 금속층 또는 알루미늄(Al) 층상에 몰리브덴(Mo), 우라늄(W), 크롬(Cr), 백금(Pt) 등의 금속을 적층한 이중 금속층 등을 선택할 수 있으며, 이 외에도 다양한 재료의 선택이 가능하다.
- <58> 게이트 절연막(112) 상에 순차로 적층된 반도체층(130)과 소스 및 드레인 전극용 도전물질(140)은 소정 패턴을 가진 하나의 마스크(M2)로 소정 패턴의 반도체층(130)과 소스 및 드레인 전극(141, 142)으로 일괄적으로 패턴링된다(도 9참조). 이때, 반도체층(130)의 일부 영역(A)은 소스 및 드레인 전극(141, 142) 사이에서 노출되어야 하기 때문에, 광투과부와 광차단부 뿐만 아니라 반투과부를 구비한 하프톤(half-tone) 마스크(M2)가 사용된다. 즉, 반도체층(130)의 일부 영역(A)은 하프톤(half-tone) 마스크(M2)의 반투과부에 노광되어 소스 및 드레인 전극(141, 142) 사이에서 패턴이 노출된다. 이 외부로 노출된 반도체층(130)의 일부 영역(A) 가운데 게이트 전극(120)에 대응하는 위치에 있는 부분은 후술할 채널영역(131)이 된다.
- <59> 한편, 본 실시예에서 반도체층(130)의 단부와 소스 및 드레인 전극(141, 142)의 단부는 하프톤(half-tone) 마스크(M2)에 의해 동일한 패턴으로 패터닝된다. 그러나, 본 발명은 여기에 한정되지 않으며, 하프톤(half-tone) 마스크(M2)의 패턴을 변형 할 경우 반도체층(130)과 소스 및 드레인 전극(141, 142)의 단부의 패턴도 다르게 변형이 가능함은 물론이다.
- <60> 도 10 참조하면, 상술한 과정에 의해 형성된 소스 및 드레인 전극(141, 142)과, 소스 및 드레인 전극(141, 142) 사이의 반도체층(130)의 노출영역과, 게이트 절연막(112) 상에 평탄화막(113)이 증착된. 평탄화막(113)은 무



기 절연막 및/또는 유기 절연막이 사용될 수 있다. 무기 절연막으로는  $\text{SiO}_2$ ,  $\text{SiNx}$ ,  $\text{SiON}$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ , BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 또한, 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.

- <61> 평탄화막(113) 증착 후, 소정 패턴의 마스크(M3)를 이용하여 반도체층(130)의 노출영역(A)의 일부와 소스 및 드레인 전극(141, 142)의 일부가 노출되도록 패터닝된다.
- <62> 도 11을 참조하면, 반도체층(130)의 노출영역 중 게이트 전극(120)에 대응하는 위치의 평탄화막(113)은 패터닝 후에 그대로 남아있게 되고, 이 부분은 반도체층(130)의 채널 영역(131)이 된다. 또한, 게이트 절연막(112)과 소스 및 드레인 전극(141, 142)의 가장자리부분은 평탄화막(113)이 식각되지 않고 남아있게 되는데, 이 남아있는 평탄화막(113)은 반도체층(130)에 불순물을 도핑하는 데 이용된다. 즉, 반도체층(130)에 불순물을 도핑하기 위하여 별도의 마스크를 사용할 필요 없이 이 패터닝 된 평탄화막(113)을 사용할 수 있다.
- <63> 상술한 평탄화막(113)을 이용하여 반도체층(130)에 불순물이 도핑되는 과정은 다음과 같다.
- <64> 박막 트랜지스터의 사용 목적에 따라 이온 주입법과 같은 방법으로 N형 또는 P형의 불순물이 도핑된다. N형 박막 트랜지스터의 경우  $\text{PH}_3$  가스를 이온화시켜 도핑하며, P형 박막 트랜지스터의 경우에는  $\text{B}_2\text{H}_6$  가스를 이온화시켜 도핑 할 수 있다. 본 실시예의 경우, 식각되지 않고 패턴이 남아있는 평탄화막(113)이 일종의 얼라인 마스크 역할을 하기 때문에, 도핑되는 이온들은 평탄화막(113)이 식각되어 생긴 개구부(114)로만 유입되게 된다. 이 개구부(114)로 유입된 이온들의 일부는 소스 및 드레인 전극(141, 142)에 의해 차단되고, 일부는 다결정 실리콘으로 이루어진 반도체층(130)에 도핑된다. 이때, 이온이 도핑되는 영역은 소스 및 드레인 전극(141, 142)과 게이트 전극(120)에 대응하는 위치에 있는 평탄화막(113)의 사이에 있는 개구부(114)에서, 반도체층(130)이 외부로 노출되어 있는 영역이다. 이 영역이 불순물이 도핑되는 영역으로 반도체층(130)의 제1소스 영역(132) 및 제1드레인 영역(133)이 된다.
- <65> 상술한 구조 및 방법에 의하면, 반도체층(130)과 소스 및 드레인 전극(141, 142)층은 동시에 패터닝되고, 반도체층(130)에 이온을 도핑하기 위하여 별도의 마스크가 사용될 필요가 없으며, 불순물이 도핑된 제1 소스 및 드레인 영역(132, 133)과 소스 및 드레인 전극(141, 142)을 전기적으로 접촉시키기 위하여 콘택홀을 별도로 만들지 않기 때문에 마스크를 이용한 패터닝 공정이 획기적으로 줄어드는 장점이 있다. 그러나, 불순물이 도핑된 제1 소스 및 드레인 영역(132, 133)과 소스 및 드레인 전극(141, 142)이 충분한 면적으로 접촉되어 있지 않기 때문에, 제1 소스 및 드레인 영역(132, 133)과 소스 및 드레인 전극(141, 142) 간의 콘택 저항이 높아져서 박막 트랜지스터 소자의 동작특성이 열화 될 수 있는 문제가 있다.
- <66> 상술한 문제점을 해결하기 위하여, 본 발명에서는 상기 박막 트랜지스터 기판에 열을 가하는 공정을 거치게 된다. 이러한 열 공정으로는 기존의 퍼니스(furnace) 방식, 텅스텐 할로겐 램프의 복사광선을 이용하여 기판에 열을 급속히 전달하는 급속열처리방식(RTA: rapid thermal annealing) 및 레이저(laser)를 이용한 방식 등이 사용될 수 있다.
- <67> 상술한 열처리 방식으로 박막 트랜지스터 기판에 열을 가하여 소스 및 드레인 전극(141, 142)을 구성하는 금속 물질들이 용융 임계점에 도달하게 되면, 이 금속 물질들은 소스 및 드레인 전극(141, 142)이 배치된, 상기 반도체층(130)의 제1 소스 및 드레인 영역(132, 133) 외부의 영역(134, 135)(이하, "제2 소스 및 드레인 영역"이라 한다)으로 확산 된다. 예를 들어, 알루미늄(Al)으로 구성된 소스 및 드레인 전극(141, 142)을 구비한 유기 발광 표시장치를 퍼니스에서 알루미늄 용융점 이상의 온도인 약  $300^\circ\text{C}$ 에서 약 2시간 정도 가열할 경우, 소스 및 드레인 전극(141, 142)을 구성하는 알루미늄은 제2 소스 및 드레인 영역(134, 135)으로 확산되고, 그 결과 제2 소스 및 드레인 영역(134, 135)은 소스 및 드레인 전극(141, 142)과 같은 금속성 성질을 띠게 된다. 또한, 본 실시예에서 소스 및 드레인 전극(141, 142)은 단일 금속 물질(Al)을 포함하고 있지만, 본 발명은 여기에 한정되지 않고 서로 다른 2 이상의 금속 물질을 포함할 수 있다. 이때, 기판에 가해지는 온도는 최소한 서로 다른 금속 물질들 가운데 가장 낮은 용융점보다 높은 온도를 가해 주어야 한다.
- <68> 상술한 방법 및 구조에 의하면, 본 실시예에 따른 박막 트랜지스터 기판은 소스 및 드레인 전극(141, 142)과 불순물이 도핑된 제1 소스 및 드레인 영역(132, 133)의 접촉 면적이 협소함에도 불구하고, 제2 소스 및 드레인 영역(134, 135)이 금속성을 띠게 됨에 따라 상기 영역(134, 135)이 소스 및 드레인 전극(141, 142)과 불순물이 도핑된 제1 소스 및 드레인 영역(132, 133) 사이에서 전류가 이동되는 통로 역할을 하게 되므로 전술한 콘택 저항

을 줄일 수 있게 된다.

- <69> 한편, 이러한 열처리 과정은 패터닝된 평탄화막(113)의 개구부(114)를 통하여 외부로 노출된 소스 및 드레인 전극(141, 142)에 열이 직접 공급되기 때문에, 소스 및 드레인 전극(141, 142)에 직접 열을 공급하기 위하여 소스 및 드레인 전극(141, 142)을 개구시키기 위하여 패터닝 공정을 별도로 할 필요가 없다. 즉, 평탄화막(113)의 개구부(114)는 전술한 이온 도핑의 얼라인 마스크 역할뿐만 아니라, 후술할 화소 전극(150)과 드레인 전극(133)을 연결시키는 비어홀 역할을 하는데, 본 발명의 경우 비어홀 형성 공정과 열처리 공정을 하나의 마스크(M3)로 만들어진 패턴으로 할 수 있기 때문에, 다른 마스크 공정의 추가 없이 열처리공정을 진행할 수 있다.
- <70> 도 12를 참조하면, 전술한 도 11의 구조물 상에 도전물질(150)이 전면에 증착된다. 도전물질(150)이 증착된 후, 소정 패턴의 마스크(M4)를 이용하여 제1 드레인 영역(133)과 일부 드레인 전극(142) 및 일부 평탄화막(113) 상에 도전물질(150)의 패턴이 남도록 패터닝된다. 이 도전물질(150)이 패터닝된 화소 전극(150)은 소스 전극(141)과 접촉되도록 패터닝 될 수 있음은 물론이다.
- <71> 상기 마스크(M4)에 의한 패터닝의 결과로 도 2와 같은 박막 트랜지스터 기관의 구조물이 형성된다. 이때, 남아 있는 패턴들의 결과적인 형상은 상기 도면에 도시된 모습 그대로 한정되는 것은 아니며, 마스크 제작 공차나 도전물질(150)의 두께 등 제조조건에 변화에 따라 약간의 변형은 불가피하다. 예를 들어, 화소 전극(150)은 제1드레인 영역(133)에는 접촉되지 않고 드레인 전극(142)에만 접촉될 수도 있으며, 또한 드레인 전극(142)과 제1드레인 영역(133)뿐만 아니라 게이트 전극(120)에 대응하는 위치의 평탄화막(113) 상에 까지 형성될 수도 있다. 다만, 이때에도 화소 전극(150)은 최소한 소스 전극(141) 또는 제1소스 영역(132)과는 전기적으로 접촉되지 않아야 한다.
- <72> 상술한 바에 의하면, 본 실시예에 의한 박막 트랜지스터 기관은 마스크를 이용한 패터닝 공정의 회수를 상당히 줄일 수 있다. 또한, 별도의 마스크 공정을 추가하지 않고 제2 소스 및 드레인 영역(134, 135)에 금속 물질을 확산시킴으로써, 소스 및 드레인 전극(141, 142)과 제1 소스 및 드레인 영역(132, 133)과의 접촉 면적이 작아 콘택 저항이 증가하는 문제를 해결할 수 있다.
- <73> 이하, 도 3 및 도 13을 참조하여 본 발명의 다른 실시예인 유기 발광 표시장치에 대해 상세히 설명한다. 다만, 본 유기 발광 표시장치는 전술한 바텀 게이트 타입의 박막 트랜지스터 기관을 포함하고 있으므로, 전술한 실시예에서 이미 상세히 설명된 부분에 대하여는 상세한 설명을 생략하기로 한다. 또한 동일한 부호는 동일한 구성요소를 나타낸다.
- <74> 도 3을 참조하면, 본 실시예에 따른 유기 발광 표시장치는 기관(110) 상에 버퍼층(111), 게이트 전극(120), 게이트 절연막(112), 반도체층(130), 소스 및 드레인 전극(141, 142), 평탄화막(113), 화소 전극(150), 화소 정의막(160), 유기 발광층(180) 및 대향전극(190)을 구비한다.
- <75> 기관(110) 상에 게이트 전극(120), 반도체층(130), 소스 및 드레인 전극(141, 142) 및 평탄화막(113)이 형성되는 과정은 전술한 실시예를 참고한다. 다만, 기관(110)은 기관(110)의 반대쪽에서 화상이 구현되는 전면 발광형의 유기 발광 표시장치일 경우에는 반드시 투명한 재질로 한정될 필요는 없다.
- <76> 본 실시예에 따른 유기 발광 표시장치의 경우, 화소 전극(150)은 유기 발광 소자의 애노드 전극으로 사용되고 대향 전극(190)은 캐소드 전극으로 사용된다. 물론 전극의 극성이 반대로 적용될 수도 있다.
- <77> 기관(110)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)일 경우, 화소 전극(150)은 투명 전극이 되고, 대향 전극(190)은 반사 전극이 될 수 있다. 이때, 화소 전극(150)은 일함수가 높은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등으로 형성되고, 대향 전극(190)은 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등으로 형성될 수 있다.
- <78> 한편, 대향전극(190)의 방향으로 화상을 구현하는 전면 발광형(top emission type)의 유기 발광 소자일 경우, 화소 전극(150)은 반사 전극이 될 수 있고, 대향 전극(190)은 투명 전극이 될 수 있다. 이때, 화소 전극(150)이 되는 반사 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 일함수가 높은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등을 형성하여 이루어질 수 있다. 그리고, 대향 전극(190)이 되는 투명 전극은, 일함수가 작은 금속 즉, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물을 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등의 투명 도전물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다.
- <79> 또한, 화소 전극(150)과 평탄화막(113)과의 계면 접촉력을 향상시키기 위하여 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등으

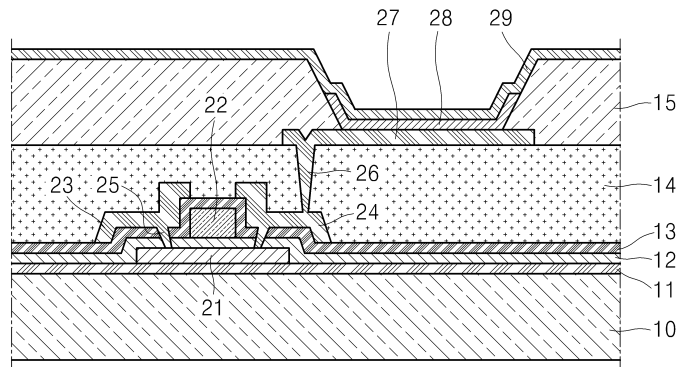
로 먼저 화소 전극(150)을 형성하고, 그 위에 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 화합물을 증착한 후, 그 위에 일함수가 높은 ITO, IZO, ZnO, 또는 In<sub>2</sub>O<sub>3</sub> 등을 형성할 수 있다.

- <80> 도 13을 참조하면, 전술한 도 12에 의한 구조물 상에 화소 정의막(PDL: pixel defining layer, 160)을 구성하는 물질이 증착된다. 본 실시예의 경우 폴리이미드가 사용되었다. 화소 정의막(160)은 발광 영역을 정의하는 것 외에, 화소전극(150)의 가장자리와 대향 전극(190) 사이의 간격을 넓혀 화소 전극(150) 가장자리에 전계가 집중되는 현상을 방지함으로써 화소 전극(150)과 대향 전극(190) 사이의 단락을 방지하는 역할을 한다.
- <81> 화소 정의막(160)이 마스크(M5)로 패터닝 된 후, 그 구조물 상에 유기 발광층(180)이 형성된다. 유기 발광층(180)은 화소 전극(150)과 대향 전극(190)의 전기적 구동에 의해 발광한다. 유기 발광층(180)은 저분자 또는 고분자 유기물이 사용될 수 있다. 유기 발광층(180)이 저분자 유기물로 형성되는 경우, 유기 발광층(180)을 중심으로 화소 전극(150)의 방향으로 홀 수송층 및 홀 주입층 등이 적층되고, 대향 전극(190) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- <82> 한편, 고분자 유기물로 형성된 고분자 유기층의 경우에는 유기 발광층(180)을 중심으로 화소 전극(150)의 방향으로 홀 수송층(Hole Transport Layer: HTL)만이 포함될 수 있다. 상기 고분자 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(152) 상부에 형성되며, 고분자 유기 발광층(180)은 PPV, Soluble PPV's, Cyano-PPV, 폴리플루오렌(Polyfluorene) 등을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.
- <83> 유기 발광층(180) 상에 공통전극으로 전술한 대향 전극(190)이 증착되고, 그 위에 외부의 수분이나 산소 등으로부터 유기 발광층(180)을 보호하기 위한 밀봉 부재(미도시)등이 더 구비될 수 있다.
- <84> 상술한 본 실시예에 의한 유기 발광 표시장치에 의하면, 반도체층(130)과 소스 및 드레인 전극(141, 142)을 동시에 패터닝하고, 드레인 전극(142)과 화소 전극(150)을 연결하는 비어홀 역할을 하는 평탄화막(113)의 개구부(114)를 패터닝하는 마스크 공정으로 반도체층(130)에 이온을 도핑 함으로써 마스크 공정의 회수를 상당히 줄일 수 있다. 또한, 상기 공정을 이용하여 제2 소스 및 드레인 영역(134, 135)에 금속 물질을 확산시킴으로써, 소스 및 드레인 전극(141, 142)과 제1 소스 및 드레인 영역(132, 133)의 접촉 면적이 작아서 콘택 저항이 증가하는 문제를 해결할 수 있다.
- <85> 이하, 도 4 및 도 14를 참조하여 본 발명의 또 다른 실시예인 유기 발광 표시장치에 대해 상세히 설명한다. 다만, 본 유기 발광 표시장치는 전술한 실시예에서 이미 상세히 설명된 부분에 대하여는 상세한 설명을 생략하기로 한다. 또한 동일한 부호는 동일한 구성요소를 나타낸다.
- <86> 도 4을 참조하면, 본 실시예에 따른 유기 발광 표시장치는 전술한 유기 발광 표시장치의 화소 정의막(160)상에 스페이서(170)를 더 포함하고, 스페이서(170) 상에 유기 발광층(180) 및 대향전극(190)이 구비된다.
- <87> 도 14를 참조하면, 전술한 도 12에 의한 구조물 상에 화소 정의막(PDL: pixel defining layer, 160)을 구성하는 물질 및 스페이서(170)를 구성하는 물질이 순차로 증착된다. 본 실시예의 경우 화소 정의막(160)과 스페이서(170) 모두 폴리이미드가 사용되었다.
- <88> 증착된 화소 정의막(160)은 바로 패터닝되지 않고, 유기 발광층(180)을 외부의 충격으로부터 보호하는 스페이서(170)를 구성하는 물질이 화소 정의막(160) 상에 연속적으로 증착된 후, 마스크(M5')를 이용하여 화소 정의막(160)과 스페이서(170)가 동시에 패터닝된다. 이때, 사용되는 마스크(M5')는 화소정의막(160)과 스페이서(170)의 패턴이 일치할 경우에는 광투과부와 광차단부만을 구비한 일반 마스크가 이용될 수 있지만, 본 실시예와 같이 화소 정의막(160)과 스페이서(170)의 패턴이 일치하지 않을 경우에는 도 15에 도시된 바와 같이 반투과부를 더 구비한 하프톤 마스크(M5')가 이용될 수 있다.
- <89> 상술한 화소 정의막(160)과 스페이서(170)가 마스크(M5')로 패터닝된 후, 그 구조물 상에 유기 발광층(180) 및 대향 전극(190)이 형성되고, 그 위에 외부의 수분이나 산소 등으로부터 유기 발광층(180)을 보호하기 위한 밀봉 부재(미도시)등이 더 구비될 수 있다.
- <90> 상술한 본 실시예에 의한 유기 발광 표시장치에 의하면, 반도체층(130)과 소스 및 드레인 전극(141, 142)을 동

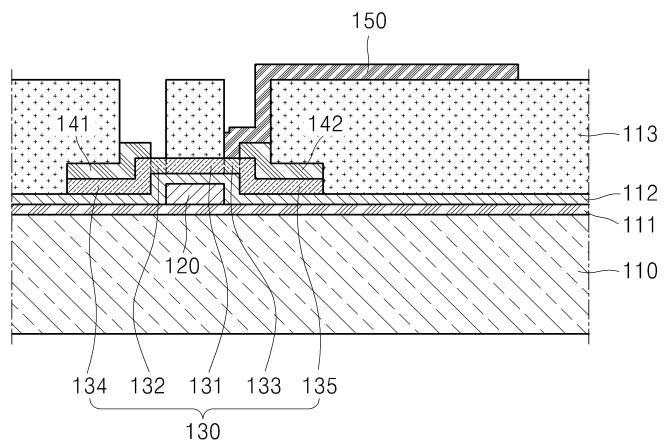


도면

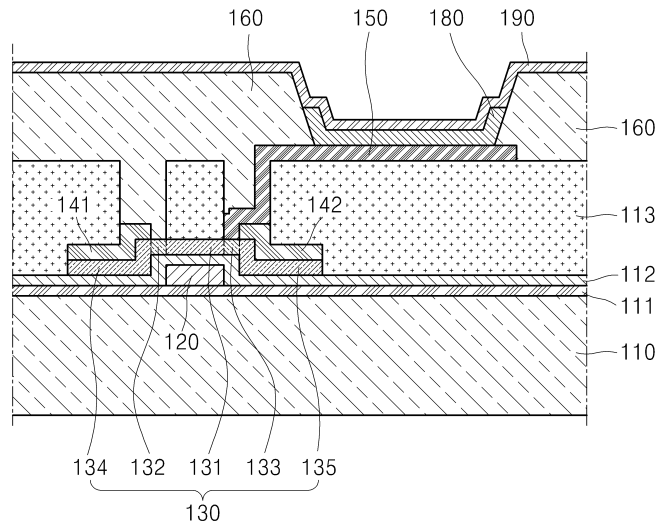
도면1



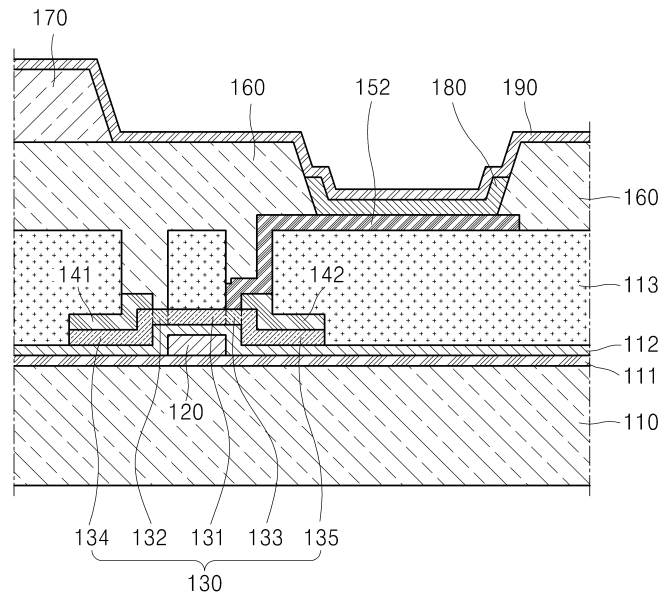
도면2



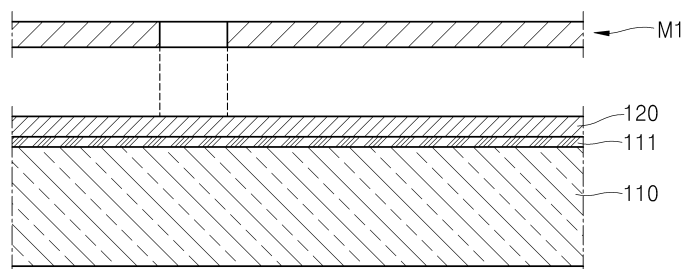
도면3



도면4

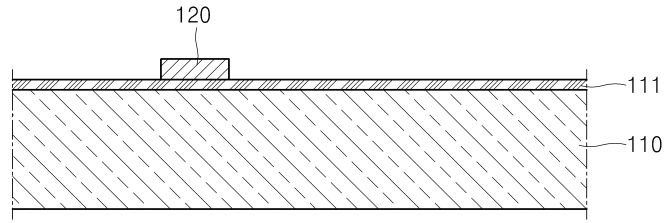


도면5

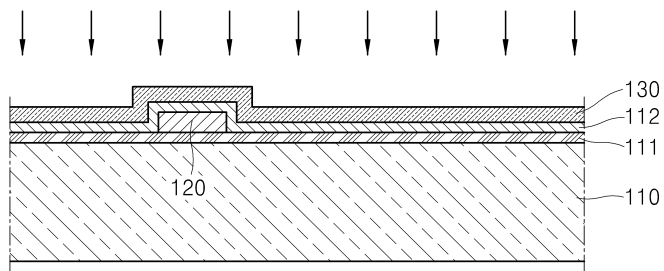




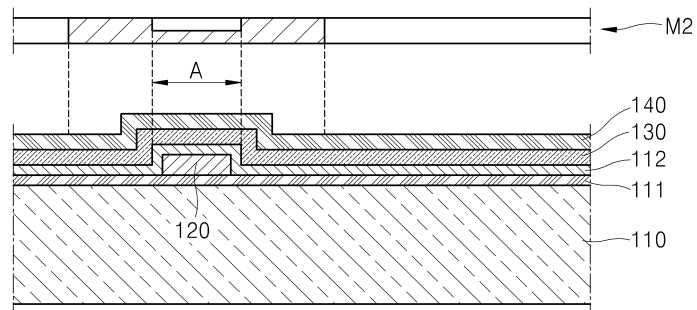
도면6



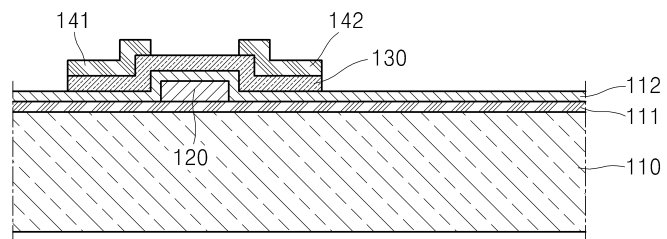
도면7



도면8

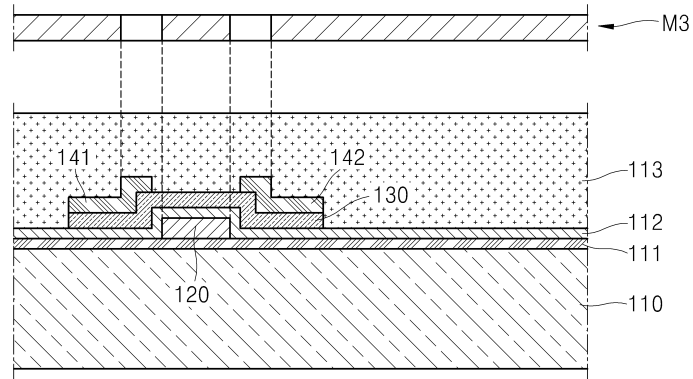


도면9

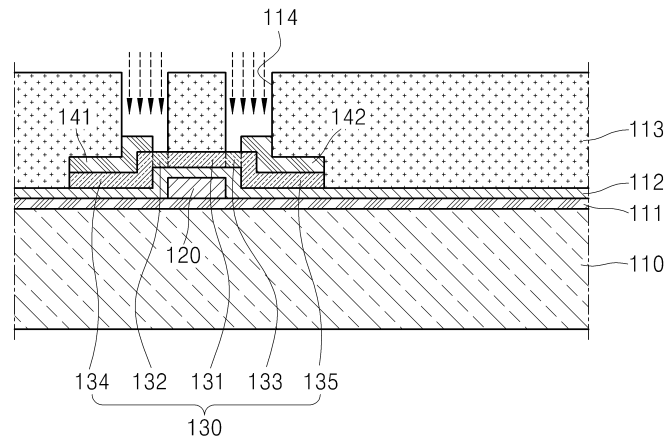




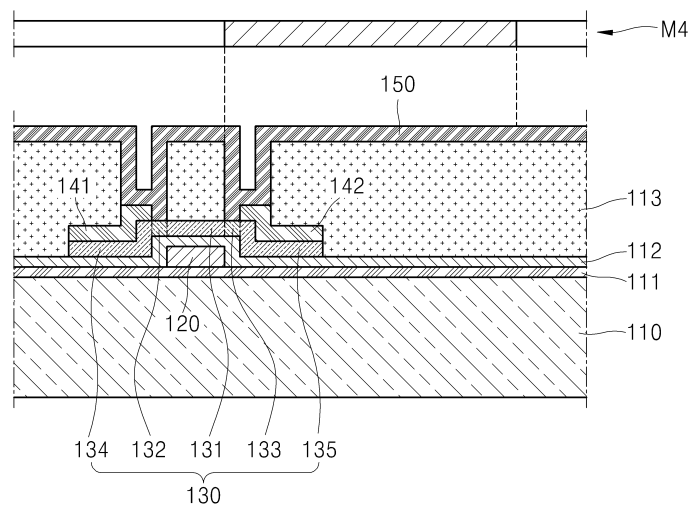
도면10



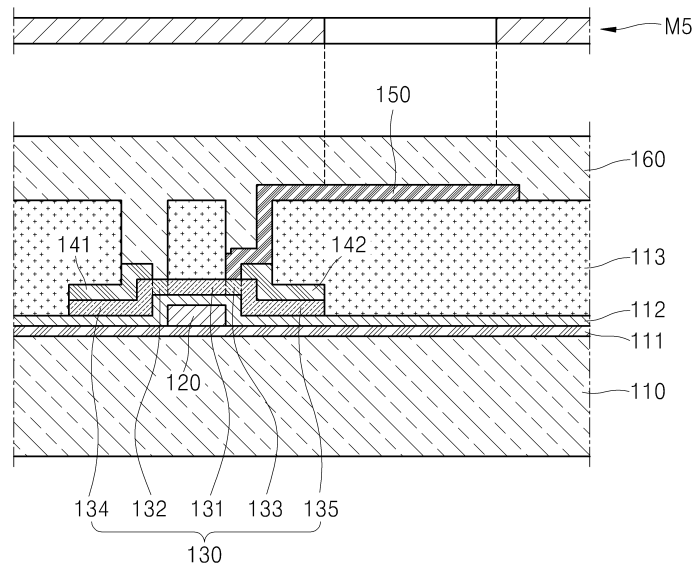
도면11



도면12



도면13



도면14

