



(12)发明专利申请

(10)申请公布号 CN 109413838 A

(43)申请公布日 2019.03.01

(21)申请号 201711236767.4

(22)申请日 2017.11.30

(30)优先权数据

106128030 2017.08.18 TW

(71)申请人 景硕科技股份有限公司

地址 中国台湾桃园市新屋区中华路1245号

(72)发明人 刘景宽 王招龙 张硕训 吕育德
张金喜

(74)专利代理机构 北京律诚同业知识产权代理
有限公司 11006

代理人 王玉双 李岩

(51)Int.Cl.

H05K 1/02(2006.01)

H05K 3/46(2006.01)

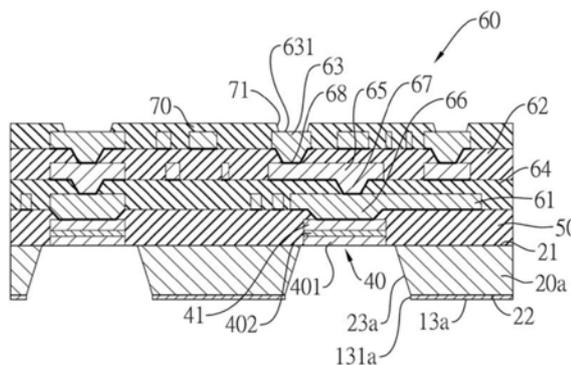
权利要求书2页 说明书8页 附图6页

(54)发明名称

可做电性测试的多层电路板及其制法

(57)摘要

本发明的可做电性测试的多层电路板包含图案化金属接口层、金属制的出货载板、电连接层、导电止蚀层、底介电层及多层电路结构。多层电路结构经由底介电层设置于出货载板上，多层电路结构的顶层电路经由多层电路结构的底层电路、电连接层与导电止蚀层电连接，且出货载板与图案化金属接口层暴露出导电止蚀层。所述多层电路板于封装前，能先进行电性测试以得知所述多层电路板是否可正常工作，从而降低找寻封装后所获得的电子元件电性不佳的原因所需耗费的成本，且可有利于划分电子元件电性不佳的责任。



1. 一种可做电性测试的多层电路板,其特征在于,包含:
图案化金属接口层,具有导电性;
出货载板,重叠于该图案化金属接口层的顶面上且其包含有第一侧及相反于该第一侧的第二侧,该第二侧与该图案化金属接口层的顶面相接,且该出货载板为金属所制;
底介电层,重叠于该出货载板的第一侧上;
多层电路结构,重叠于该底介电层上且其包含:
底层电路,设置于该底介电层上;
顶介电层,位于该底层电路的顶侧;以及
顶层电路,设置于该顶介电层上且与该底层电路电连接;
导电止蚀层,设置于该底介电层上与该底层电路电连接;以及
电连接层,设置于该底介电层上且连接于该底层电路与该导电止蚀层之间;其中,该出货载板与该图案化金属接口层暴露出该导电止蚀层。
2. 如权利要求1所述的可做电性测试的多层电路板,其特征在于,该底层电路凸设于该底介电层上,且该顶层电路凸设于该顶介电层上。
3. 如权利要求2所述的可做电性测试的多层电路板,其特征在于,该多层电路结构包含内介电层、内层电路、第一导通柱、第二导通柱及第三导通柱,该内介电层连接于该底层电路顶侧,该内层电路连接于该内介电层与该顶介电层之间,该内层电路凸设于该内介电层上,该第一导通柱向下穿设于该底介电层上且连接于该电连接层与该底层电路之间,该第二导通柱向下穿设于该内介电层上且连接于该底层电路与该内层电路之间,该第三导通柱向下穿设于该顶介电层上且连接于该顶层电路与该内层电路之间,该顶层电路经由该第三导通柱、该内层电路、该第二导通柱、该底层电路、该第一导通柱及该电连接层与该导电止蚀层电连接。
4. 如权利要求1至3中任一项所述的可做电性测试的多层电路板,其特征在于,该导电止蚀层及该电连接层嵌设于该底介电层上。
5. 如权利要求1至3中任一项所述的可做电性测试的多层电路板,其特征在于,该导电止蚀层包含金、镍、锡、铁、或钛。
6. 如权利要求5所述的可做电性测试的多层电路板,其特征在于,该导电止蚀层包含有金层及镍层,该镍层连接于该电连接层与该金层之间。
7. 如权利要求1至3中任一项所述的可做电性测试的多层电路板,其特征在于,该图案化金属接口层包含铜。
8. 如权利要求1至3中任一项所述的可做电性测试的多层电路板,其特征在于,还包含有防焊层,该防焊层暴露出该顶层电路且覆盖该顶介电层。
9. 一种可做电性测试的多层电路板的制法,其特征在于,步骤包含:
提供第一载板,其中,该第一载板包含有基板、导电层及金属界面层,该导电层与该金属界面层依序重叠于该基板上,该金属接口层的底面可分离地与该导电层相接,且该金属界面层具有导电性;
电镀该第一载板以形成重叠于该金属接口层上的第二载板,其中,该第二载板具有第一侧及相反于该第一侧的第二侧,该第二侧与该金属界面层的顶面相接;
形成重叠于该第二载板的第一侧上的第一图案化光阻层;

电镀该第二载板,以依序形成导电止蚀层及电连接层于该第二载板的第一侧上,其中,该导电止蚀层具有导电性,且该导电止蚀层连接于该电连接层与该第二载板之间;

移除该第一图案化光阻层;

设置底介电层于该第二载板的第一侧及该电连接层上以包覆该电连接层及该导电止蚀层;

形成多层电路结构于该底介电层上,其中,该多层电路结构包含底层电路、顶介电层及顶层电路,该底层电路重叠于该底介电层上且与该电连接层连接,该顶介电层位于该底层电路的顶侧,该顶层电路设于该顶介电层的顶面上且与该底层电路电连接;

形成包覆该顶层电路且覆盖该顶介电层的第二图案化光阻层并剥离该基板与该导电层;

形成第三图案化光阻层于该金属界面层的底面上;

蚀刻该金属界面层及该第二载板,从而获得图案化金属接口层及出货载板,其中,该图案化金属接口层连接于该第三图案化光阻与该出货载板之间,该出货载板连接于该底介电层与该图案化金属接口层之间,且该第三图案化光阻层、该出货载板与该图案化金属接口层暴露出该导电止蚀层;以及

移除该第二图案化光阻层及该第三图案化光阻层,从而获得所述可做电性测试的多层电路板。

10. 如权利要求9所述的可做电性测试的多层电路板的制法,其特征在于,所述依序形成该导电止蚀层及该电连接层于该第二载板的第一侧上的步骤包含:

于电压为0.1伏特至5伏特的条件下,令该第二载板于浓度为2.8g/l至6.0g/l的Au溶液中进行电镀,从而获得金层于该第二载板的第一侧上的步骤;

令该金层于浓度为260g/l至310g/l的 $\text{NiSO}_4 \cdot 6\text{H}_2\text{O}$ 溶液中进行无电镀,以获得镍层于该金层上并获得该导电止蚀层的步骤;以及

于电压为5伏特至6伏特的条件下,令该镍层于浓度为70g/l至90g/l的 CuSO_4 溶液中进行电镀,从而获得该电连接层于该导电止蚀层上的步骤。

可做电性测试的多层电路板及其制法

技术领域

[0001] 本发明关于一种多层电路基板及其制法,尤其指一种可做电性测试的多层电路板及其制法。

背景技术

[0002] 于电子产业中,电路板厂负责多层电路板的制造,封装测试厂负责于多层电路板上进行芯片的接线与封装及封装完成后的电子元件的电性测试。

[0003] 然而,现有技术的多层电路板于提供给封装测试厂前,无法进行电性测试。因此,若电性测试结果不佳,就需要细部检视及分析多层电路板及其与其他部件间的连结,以找出电性不佳的问题。然而,此类电子元件的尺寸小且各部位相当精细,不但需要耗费相当多的人力及时间成本才能找出造成电性不佳的原因,还无法有效将造成电性不佳的责任归属厘清。

发明内容

[0004] 鉴于上述现有技术的缺点,本发明的目的在于提供一种可做电性测试的多层电路板及其制法,所述多层电路基板于提供给封装测试厂进行封装前,即可进行电性测试,从而可减少找寻电子元件电性不佳的原因所需耗费的成本,并可有效厘清电子元件电性不佳的责任归属。

[0005] 为达到前述的发明目的,本发明所采取的技术手段令该可做电性测试的多层电路板,其中包含:

[0006] 图案化金属接口层,具有导电性;

[0007] 出货载板,重叠于该图案化金属接口层的顶面上且其包含有第一侧及相反于该第一侧的第二侧,该第二侧与该图案化金属接口层的顶面相接,且该出货载板为金属所制;

[0008] 底介电层,重叠于该出货载板的第一侧上;

[0009] 多层电路结构,重叠于该底介电层上且其包含:

[0010] 底层电路,设置于该底介电层上;

[0011] 顶介电层,位于该底层电路的顶侧;以及

[0012] 顶层电路,设置于该顶介电层上且与该底层电路电连接;

[0013] 导电止蚀层,设置于该底介电层上且与该底层电路电连接;以及

[0014] 电连接层,设置于该底介电层上且连接于该底层电路与该导电止蚀层之间;其中,该出货载板与该图案化金属接口层暴露出该导电止蚀层。

[0015] 由于该多层电路结构经由该底介电层设置于该出货载板上,且该出货载板与该图案化金属接口层暴露出该导电止蚀层,该多层电路结构的顶层电路经由该底层电路、该电连接层与该导电止蚀层电连接,故所述可做电性测试的多层电路板于出货至封装测试厂前或进行芯片封装前,能先进行电性测试以得知所述可做电性测试的多层电路板是否可正常工作,从而降低找寻封装后所获得的电子元件电性不佳的原因所需耗费的成本,且可有利

于划分清楚电子元件电性不佳的责任。

[0016] 较佳的是,该底层电路凸设于该底介电层上,且该顶层电路凸设于该顶介电层上。

[0017] 较佳的是,该多层电路结构包含内介电层、内层电路、第一导通柱、第二导通柱及第三导通柱,该内介电层连接于该底层电路顶侧,该内层电路连接于该内介电层与该顶介电层之间,该内层电路凸设于该内介电层上,该第一导通柱向下穿设于该底介电层上且连接于该电连接层与该底层电路之间,该第二导通柱向下穿设于该内介电层上且连接于该底层电路与该内层电路之间,该第三导通柱向下穿设于该顶介电层上且连接于该顶层电路与该内层电路之间,该顶层电路经由该第三导通柱、该内层电路、该第二导通柱、该底层电路、该第一导通柱及该电连接层与该导电止蚀层电连接。

[0018] 较佳的是,该导电止蚀层及该电连接层嵌设于该底介电层上。

[0019] 较佳的是,该导电止蚀层包含金、镍、锡、铁、或钛。

[0020] 较佳的是,该导电止蚀层包含有金层及镍层,该镍层连接于该电连接层与该金层之间。

[0021] 较佳的是,该图案化金属接口层包含铜。

[0022] 较佳的是,所述可做电性测试的多层电路板还包含有防焊层,该防焊层暴露出该顶层电路且覆盖该顶介电层。

[0023] 同样为达到前述的发明目的,本发明所采取的技术手段令该可做电性测试的多层电路板的制法,其步骤包含:

[0024] 提供第一载板,其中,该第一载板包含有基板、导电层及金属界面层,该导电层与该金属界面层依序重叠于该基板上,该金属接口层的底面可分离地与该导电层相接,且该金属界面层具有导电性;

[0025] 电镀该第一载板以形成重叠于该金属接口层上的第二载板,其中,该第二载板具有第一侧及相反于该第一侧的第二侧,该第二侧与该金属界面层的顶面相接;

[0026] 形成重叠于该第二载板的第一侧上的第一图案化光阻层;

[0027] 电镀该第二载板,以依序形成导电止蚀层及电连接层于该第二载板的第一侧上,其中,该导电止蚀层具有导电性,且该导电止蚀层连接于该电连接层与该第二载板之间;

[0028] 移除该第一图案化光阻层;

[0029] 设置底介电层于该第二载板的第一侧及该电连接层上以包覆该电连接层及该导电止蚀层;

[0030] 形成多层电路结构于该底介电层上,其中,该多层电路结构包含底层电路、顶介电层及顶层电路,该底层电路重叠于该底介电层上且与该电连接层连接,该顶介电层位于该底层电路的顶侧,该顶层电路设于该顶介电层的顶面上且与该底层电路电连接;

[0031] 形成包覆该顶层电路且覆盖该顶介电层的第二图案化光阻层并剥离该基板与该导电层;

[0032] 形成第三图案化光阻层于该金属界面层的底面上;

[0033] 蚀刻该金属界面层及该第二载板,从而获得图案化金属接口层及出货载板,其中,该图案化金属接口层连接于该第三图案化光阻与该出货载板之间,该出货载板连接于该底介电层与该图案化金属接口层之间,且该第三图案化光阻层、该出货载板与该图案化金属接口层暴露出该导电止蚀层;以及

[0034] 移除该第二图案化光阻层及该第三图案化光阻层,从而获得所述可做电性测试的多层电路板。

[0035] 所述可做电性测试的多层电路板的制法所制成的多层电路板,由于该多层电路结构经由该底介电层设置于该出货载板上,且该出货载板与该图案化金属接口层暴露出该导电止蚀层,该多层电路结构的顶层电路经由该底层电路、该电连接层与该导电止蚀层电连接,故能于出货至封装测试厂前或进行芯片封装前经由电性测试得知所述多层电路板是否可正常工作,从而降低寻找封装后所获得的电子元件电性不佳的原因所需耗费的成本,且可有助于厘清电子元件电性不佳的责任归属。

[0036] 较佳的是,所述依序形成该导电止蚀层及该电连接层于该第二载板的第一侧上的步骤包含:于电压为0.1伏特至5伏特的条件下,令该第二载板于浓度为2.8g/l至6.0g/l的Au溶液中进行电镀,从而获得金层于该第二载板的第一侧上的步骤;令该金层于浓度为260g/l至310g/l的NiSO₄·6H₂O溶液中进行无电镀,以获得镍层于该金层上并获得该导电止蚀层的步骤;以及于电压为5伏特至6伏特的条件下,令该镍层于浓度为70g/l至90g/l的CuSO₄溶液中进行电镀,从而获得该电连接层于该导电止蚀层上的步骤。

附图说明

[0037] 图1为本发明的可做电性测试的多层电路板之侧试剖面示意图;

[0038] 图2为本发明的可做电性测试的多层电路板的制法的流程图;以及

[0039] 图3A至3M为本发明的可做电性测试的多层电路板的制法的流程状态示意图。

[0040] 其中附图标记为:

[0041] 10 第一载板 11 基板

[0042] 12 导电层 13 金属界面层

[0043] 13a 图案化金属接口层 131a 开口

[0044] 20 第二载板 20a 出货载板

[0045] 21 第一侧 22 第二侧

[0046] 23a 穿孔 30 第一图案化光阻层

[0047] 30a 第二图案化光阻层 30b 第三图案化光阻层

[0048] 31、31b 图案区 32、32 保留区

[0049] 40 导电止蚀层 401 金层

[0050] 402 镍层 41 电连接层

[0051] 50 底介电层 60 多层电路结构

[0052] 61 底层电路 62 顶介电层

[0053] 63 顶层电路 631 预定连接区

[0054] 64 内介电层 65 内层电路

[0055] 66 第一导通柱 67 第二导通柱

[0056] 68 第三导通柱 70 防焊层

[0057] 71 通孔

[0058] S1、S2、S3、S4、S5、S6、S7、S8、S9、S10、S11 步骤

具体实施方式

[0059] 以下配合图式及本发明的较佳实施例进一步阐述本发明为达预定发明目的所采取的技术手段。

[0060] 请参阅图1所示,本发明的可做电性测试的多层电路板包含有图案化金属接口层13a、出货载板20a、底介电层50、多层电路结构60、导电止蚀层40、电连接层41及防焊层70。

[0061] 请参阅图1所示,该图案化金属接口层13a具有导电性,该出货载板20a为金属所制成,该出货载板20a重叠于该图案化金属接口层13a的顶面上,且该出货载板20a包含有第一侧21及相反于该第一侧21的第二侧22,该出货载板20a的第二侧22与该图案化金属接口层13a的顶面相接。于一较佳实施例中,该出货载板20a及该图案化金属接口层13a为铜所制成,但不以此为限。于其他较佳实施例中,该出货载板20a可由铜、镍、铝、或铁所制成。

[0062] 请参阅图1所示,该底介电层50重叠设置于该出货载板20a的第一侧21上,于一较佳实施例中,该底介电层50为味之素增层膜(Ajinomoto Build-up Film, ABF),但不以此为限。于其他实施例中,该底介电层50为双马来酰亚胺三嗪树脂(bismaleimide triazine, BT)与玻璃纤维所制成的胶片。

[0063] 请参阅图1所示,该多层电路结构60形成于该底介电层50上,该多层电路结构60包含有底层电路61、顶介电层62及顶层电路63,该底层电路61凸设于该底介电层50上,该顶介电层62位于该底层电路61的顶侧,该顶层电路63凸设于该顶介电层62的顶面上且与该底层电路61电连接。

[0064] 请参阅图1所示,该导电止蚀层40嵌设于该底介电层50上。

[0065] 请参阅图1所示,该电连接层41嵌设于该底介电层50上且连接于该底层电路61与该导电止蚀层40之间,藉此,该底层电路61经由该电连接层41与该导电止蚀层40电连接。

[0066] 于一较佳实施例中,该导电止蚀层40由金与镍所制成,该电连接层41为铜所制成,但不以此为限。进一步而言,于一较佳实施例中,该导电止蚀层40包含有金层401及镍层402,该镍层402连接于该电连接层41与该金层401之间。于其他较佳实施例中,该导电止蚀层40可由金或镍所制成,该电连接层41可由铜所制成。

[0067] 请参阅图1所示,于一较佳实施例中,该多层电路结构60包含有内介电层64、内层电路65、第一导通柱66、第二导通柱67及第三导通柱68,该内介电层64连接于该底层电路61顶侧,该内层电路65连接该内介电层64与该顶介电层62之间,且该内层电路65凸设于该内介电层64上。该第一导通柱66向下穿设于该底介电层50上且连接于该电连接层41与该底层电路61之间,从而使该电连接层41与该底层电路61电连接。该第二导通柱67向下穿设于该内介电层64上且连接于该底层电路61与该内层电路65之间,从而使该底层电路61与该内层电路65电连接。该第三导通柱68向下穿设于该顶介电层62上且连接于该顶层电路63与该内层电路65之间,从而使该顶层电路63与该内层电路65电连接。也就是说,该顶层电路63经由该第三导通柱68、该内层电路65、该第二导通柱67、该底层电路61及该第一导通柱66、该电连接层41与导电止蚀层40构成电连接。

[0068] 于一较佳实施例中,该顶介电层62及该内介电层64两者或其中一者为味之素增层膜,但不以此为限。于其他实施例中,该顶介电层62及该内介电层64两者或其中一者为双马来酰亚胺三嗪树脂与玻璃纤维所制成的胶片。

[0069] 请参阅图1所示,该防焊层70暴露出该顶层电路63且覆盖该顶介电层62。进一步而言,该防焊层70具有通孔71,该通孔71与该顶层电路63相接,从而使得该防焊层70暴露出该顶层电路63;再一步而言,该顶层电路63包含有预定连接区631,该通孔71与该顶层电路63的预定连接区631相接,从而暴露出该顶层电路63的预定连接区631。

[0070] 请参阅图1所示,该出货载板20a与该图案化金属接口层13a暴露出该导电止蚀层40。进一步而言,该图案化金属接口层13a具有开口131a,该出货载板20a具有与该开口131a相接的穿孔23a,该穿孔23a贯穿该第一侧21与该第二侧22,且该穿孔23a与该导电止蚀层40相接,藉此,使得该出货载板20a与该图案化金属接口层13a暴露出该导电止蚀层40。其中,该穿孔23a成梯形。

[0071] 请参阅图2所示,所述可做电性测试的多层电路板的制法包含:提供第一载板10的步骤S1、电镀该第一载板10以形成重叠于该第一载板10的金属界面层13上的第二载板20的步骤S2、形成重叠于该第二载板20的第一侧21上的第一图案化光阻层30的步骤S3、依序形成该导电止蚀层40及该电连接层41于该第二载板20上的步骤S4、移除该第一图案化光阻层30的步骤S5、设置该底介电层50于该第二载板20的第一侧21及该电连接层41上以包覆该电连接层41及该导电止蚀层40的步骤S6、形成该多层电路结构60于该底介电层50上的步骤S7、形成包覆所述多层电路结构60的顶层电路63且覆盖该多层电路结构60的顶介电层62的第二图案化光阻层30a并剥离该第一载板10的基板11与该第一载板10的导电层12的步骤S8、形成重叠于该金属界面层13的底面上的第三图案化光阻层30b的步骤S9、经由该第三图案化光阻层30b的图案区化学蚀刻该金属接口层13及该第二载板20从而获得该图案化金属接口层13a及该出货载板20a的步骤S10、移除该第二图案化光阻层30a及该第三图案化光阻层30b从而获得所述可做电性测试的多层电路板的步骤S11。

[0072] 请参阅图3A所示,于提供该第一载板10的步骤S1中,该第一载板10包含有基板11、导电层12及金属界面层13,该导电层12设置于该基板11的表面上,该金属接口层13可分离地设置于该导电层12远离该基板11的表面上,也就是说,该导电层12设置于该基板11与该金属接口层13之间,换言之,该导电层12与该金属界面层13依序重叠于该基板11上,该金属接口层13的底面可分离地与该导电层12相接。其中,该金属接口层13具有导电性。于一较佳实施例中,该金属接口层13由铜所制成,但不以此为限。

[0073] 请参阅图3B所示,于电镀该第一载板10以形成该重叠于该金属界面层13的顶面上的第二载板20的步骤S2中,该第二载板20具有该第一侧21及该第二侧22,该第二侧22与该金属界面层13的顶面相接。

[0074] 于一较佳实施例中,于电镀该第一载板10以形成该重叠于该金属界面层13的顶面上的第二载板20的步骤S2中,使用浓度为100g/l至120g/l的CuSO₄溶液于电压为5伏特至6伏特的条件下对该第一载板10进行电镀169分钟,从而获得该第二载板20,换言之,该第二载板20为铜所制成,但不以此为限。于其他较佳实施例中,该第二载板20可由铝、铁或镍所制成。

[0075] 请参阅图3C所示,于形成该重叠于该第二载板20的第一侧21上的第一图案化光阻层30的步骤S3中,该第一图案化光阻层30包含有图案区31及与该图案区31相接的保留区32,该第一图案化光阻层30的图案区31暴露出该第一侧21,该第一图案化光阻层30的保留区32覆盖该第一侧21。换言之,该第一图案化光阻层30暴露出该第一侧21的一部分且覆盖

该第一侧21的另一部分。进一步来说,于形成该重叠于该第二载板20上的第一图案化光阻层30的步骤S3中,首先重叠设置第一光阻层于该第二载板20上;然后经由曝光将一第一底片上的影像转移到该第一光阻层上,从而获得经影像转移的第一光阻层;之后对该经影像转移的第一光阻层进行显影,进而获得该第一图案化光阻层30。

[0076] 请参阅图3D所示,依序形成该导电止蚀层40及该电连接层41于该第二载板20上的步骤S4中,该导电止蚀层40具有导电性,该导电止蚀层40与该电连接层41设置于该第一图案化光阻层30的图案区31内。该导电止蚀层40连接于该电连接层41与该第二载板20之间,从而分隔该电连接层41与该第二载板20。进一步而言,该导电止蚀层40及该电连接层41设于该第二载板20的第一侧21。

[0077] 于一较佳实施例中,于依序形成该导电止蚀层40及该电连接层41于该第二载板20上的步骤S4中,首先使用浓度为2.8g/l至6.0g/l的Au溶液于电压为0.1伏特至5V的条件下对该第二载板20进行电镀8分钟,从而获得所述金层401于该第二载板20上;然后以浓度为260g/l至310g/l的NiSO₄·6H₂O溶液对所述金层401进行无电镀以获得所述镍层402于所述金层401上并获得该导电止蚀层40;之后使用浓度为70g/l至90g/l的CuSO₄溶液于电压为5伏特至6伏特的条件下,对所述镍层402进行电镀11分钟,从而获得该电连接层41于该导电止蚀层40上。其中,该导电止蚀层40包含有所述金层401及所述镍层402,且所述镍层402连接于该电连接层41与所述金层401之间。

[0078] 请参阅图3E所示,于一较佳实施例中,于移除该第一图案化光阻层30的步骤S5中,使用剥膜液将该第一图案化光阻层30移除。

[0079] 请参阅图3F所示,于一较佳实施例中,于设置该底介电层50于该第二载板20的第一侧21及该电连接层41上以包覆该电连接层41及该导电止蚀层40的步骤S6中,使用味之素增层膜作为所述底介电层50。于其他较佳实施例中,可使用由双马来酰亚胺三嗪树脂与玻璃纤维所制成的胶片作为该底介电层50。

[0080] 请参阅图3G所示,于形成该多层电路结构60于该底介电层50上的步骤S7中,该多层电路结构60包含有该底层电路61、该顶层电路63及该顶介电层62。于一较佳实施例中,该多层电路结构60还包含有该内介电层64、该内层电路65、该第一导通柱66、该第二导通柱67及该第三导通柱68,该顶介电层62及该内介电层64两者或其中一者为味之素增层膜,但不以此为限。于其他较佳实施例中,该顶介电层62及该内介电层64两者或其中一者为双马来酰亚胺三嗪树脂与玻璃纤维所制成的胶片。

[0081] 请参阅图3H及3I所示,于该多层电路结构60的顶层电路63及该该多层电路结构60的顶介电层62上设置该第二图案化光阻层30a,并且将该第一载板10的基板11与该第一载板10的导电层12。具体而言,于形成包覆该多层电路结构60的顶层电路63且覆盖该多层电路结构60的顶介电层62的第二图案化光阻层30a并剥离该第一载板10的基板11与该第一载板10的导电层12的步骤S8中,先令第二光阻层包覆该顶层电路63且覆盖于该顶介电层62上;然后令该第二光阻层曝光,获得经曝光的第二光阻层;之后对该经曝光的第二光阻层进行显影,进而获得该第二图案化光阻层30a;接着,令该导电层12与该金属接口层13相分离,从而剥离该导电层12与该基板11。

[0082] 请参阅图3J所示,于形成该重叠于该金属界面层13的底面上的第三图案化光阻层30b的步骤S9中,该第三图案化光阻层30b包含有图案区31b及与该图案区31b相接的保留区

32b,该第三图案化光阻层30b的图案区31b暴露出该金属界面层13的底面,该第三图案化光阻层30b的保留区32b覆盖该金属接口层13的底面,且该第三图案化光阻层30b的图案区31b的位置与该导电止蚀层40的位置相对。换言之,该第三图案化光阻层30b暴露出该金属接口层13的底面的一部分且覆盖该金属接口层13的底面的另一部分。进一步来说,于形成该重叠于该金属界面层13的底面上的第三图案化光阻层30b的步骤中,先重叠设置第三光阻层于该金属界面层13的底面上;然后经由曝光将第二底片上的影像转移到该第三光阻层上,从而获得经影像转移的第三光阻层;之后对该经影像转移的第三光阻层进行显影,进而获得该第三图案化光阻层30b。

[0083] 请参阅图3K所示,于经由该第三图案化光阻层30b的图案区31b化学蚀刻该金属接口层13及该第二载板20从而获得图案化金属接口层13a及出货载板20a的步骤S10中,该图案化金属接口层13a连接于该第三图案化光阻与该出货载板20a之间,该出货载板20a连接于该底介电层50与该图案化金属接口层13a之间,且该第三图案化光阻层30b的图案区31b、该出货载板20a与该图案化金属接口层13a暴露出该导电止蚀层40。进一步而言,该图案化金属接口层13a的开口131a与该第三图案化光阻层30b的图案区31b相接,该出货载板20a的穿孔23a连接于该导电止蚀层40与该开口131a之间,藉此,使得该第三图案化光阻层30b的图案区、31b该出货载板20a与该图案化金属接口层13a暴露出该导电止蚀层40。

[0084] 于一较佳实施例中,于经由该第三图案化光阻层30b的图案区化学蚀刻该金属接口层13及该第二载板20,从而获得该图案化金属接口层13a及该出货载板20a的步骤中,使用浓度为135g/l至175g/l的 Cu^{2+} 碱性蚀铜药水对该金属接口层13及该第二载板20进行化学蚀刻。

[0085] 请参阅图3L及3M所示,于移除该第二图案化光阻层30a及该第三图案化光阻层30b从而获得所述可做电性测试的多层电路板的步骤S11中,首先以剥膜液将该第二图案化光阻层30a及该第三图案化光阻层30b移除,再形成该暴露出该顶层电路63且覆盖该顶介电层62的防焊层70,从而获得所述可做电性测试的多层电路板。

[0086] 于一较佳实施例中,该第一图案化光阻层30、该第二图案化光阻层30a及该第三图案化光阻层30b为干膜光阻所制。

[0087] 由于该多层电路结构60经由该底介电层50设置于该出货载板20a上,且该出货载板20a与该图案化金属接口层13a暴露出该导电止蚀层40,该多层电路结构60的顶层电路63经由该底层电路61、该电连接层41与该导电止蚀层40电连接,故所述可做电性测试的多层电路板于出货至封装测试厂前或进行芯片封装前,能先进行电性测试以获知该顶层电路63与该导电止蚀层40之间的电路是否导通,也就是说,可于芯片封装前即得知所述可做电性测试的多层电路板是否可正常工作。一方面确保所述可做电性测试的多层电路板的出货质量,另一方面减少找寻封装后所获得的电子元件电性不佳的原因所需耗费的成本,且可有效厘清电子元件电性不佳的责任归属。

[0088] 此外,由于该出货载板20a为金属所制,故该出货载板20a可以提供良好的支撑力给该电连接层41、该导电止蚀层40、该底介电层50、该多层电路结构60及该防焊层70,从而该底介电层50及该多层电路结构60的顶介电层62与内介电层64可不含有玻璃纤维,例如:该底介电层50、该顶介电层62及该内介电层64可为味之素增层膜。相较于含有玻璃纤维的胶片(例如,由双马来酰亚胺三嗪树脂与玻璃纤维所制成的胶片)而言,由于不含有玻璃纤

维,味之素增层膜具有更薄的厚度,从而使用味之素增层膜作为该底介电层50、该顶介电层62或该内介电层64能使所述可做电性测试的多层电路基板的整体厚度减少。

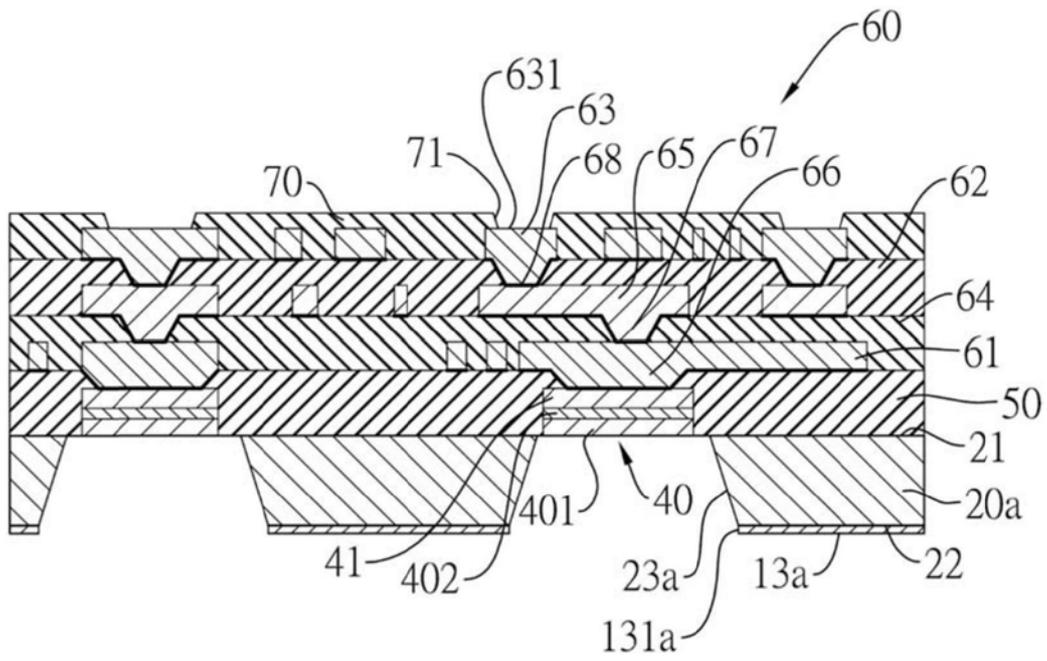


图1

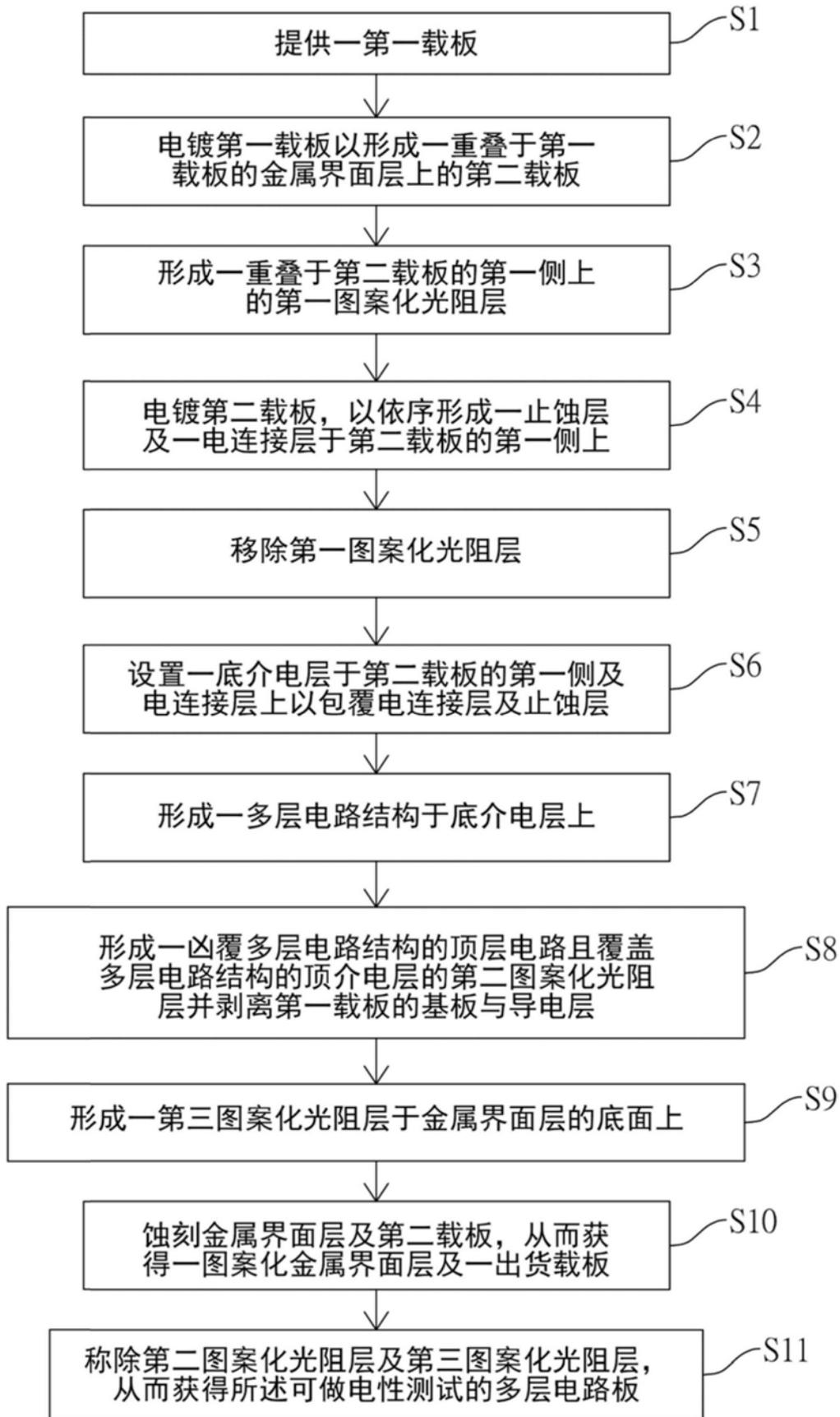
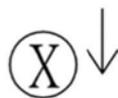
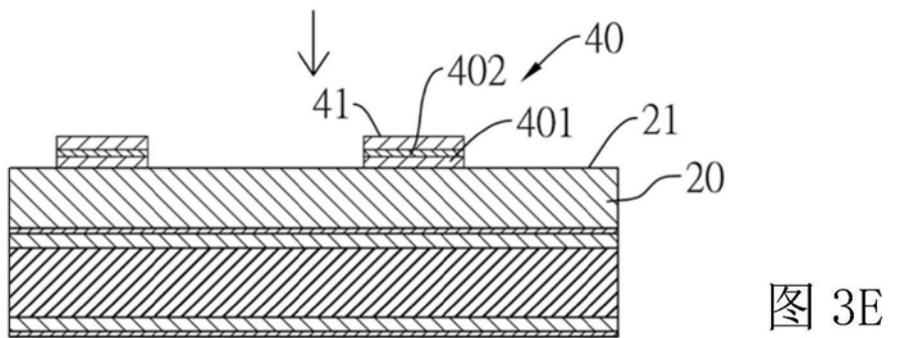
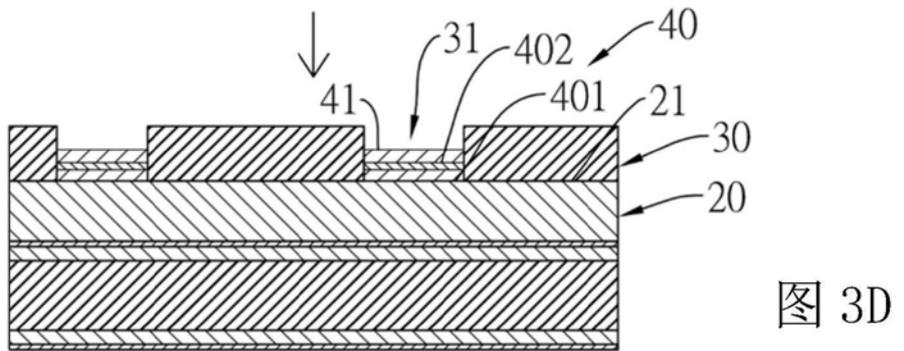
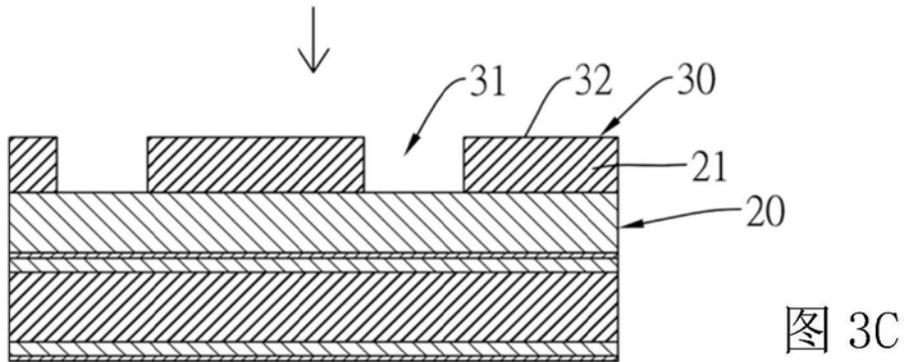
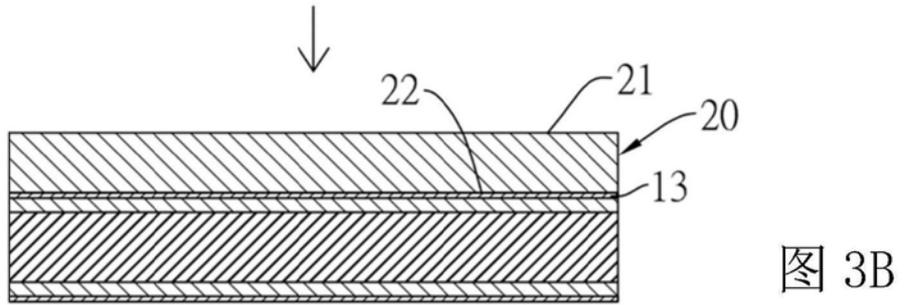
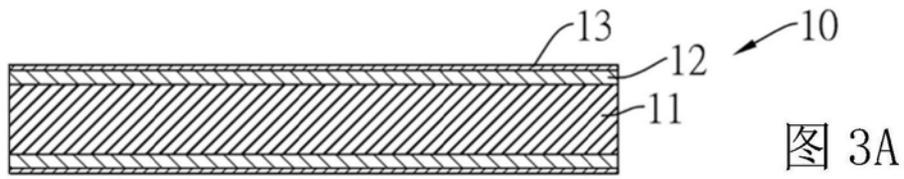


图2



(X) ↓

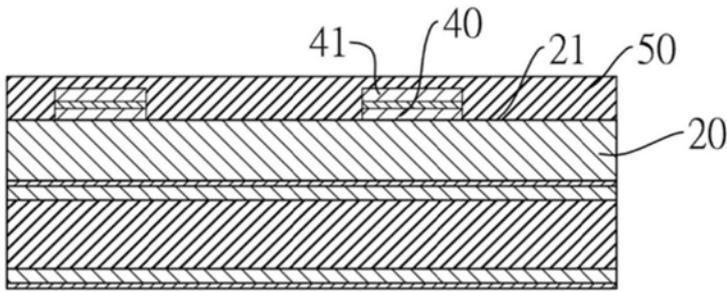


图 3F

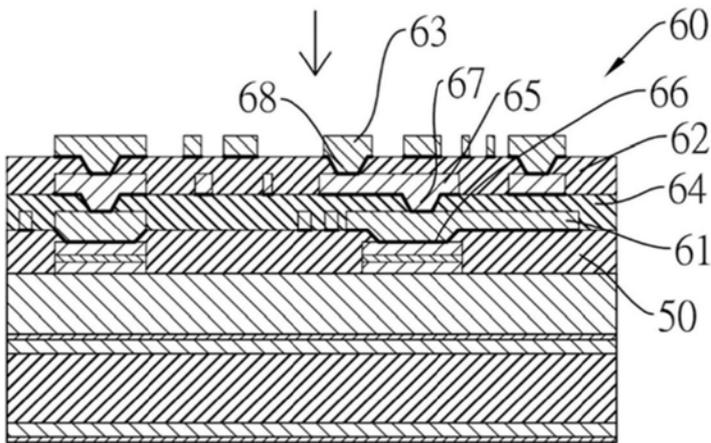


图 3G

↓

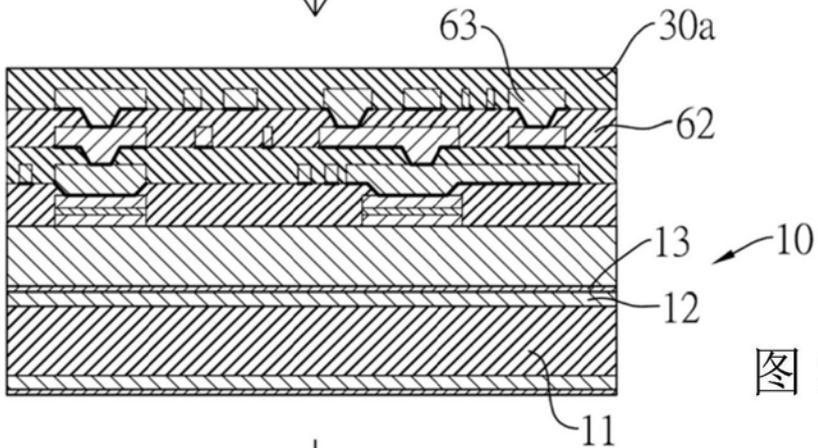


图 3H

(Y) ↓

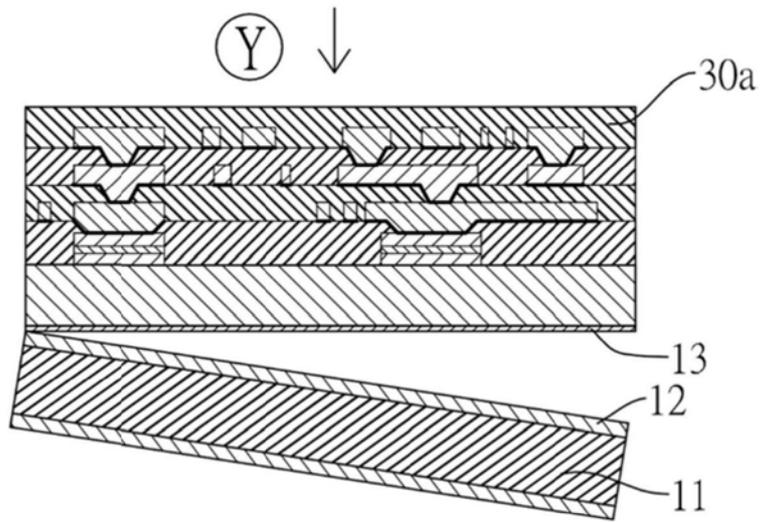


图3I

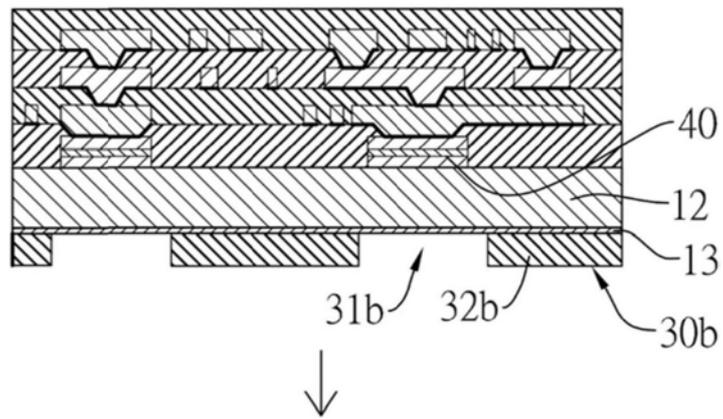


图3J

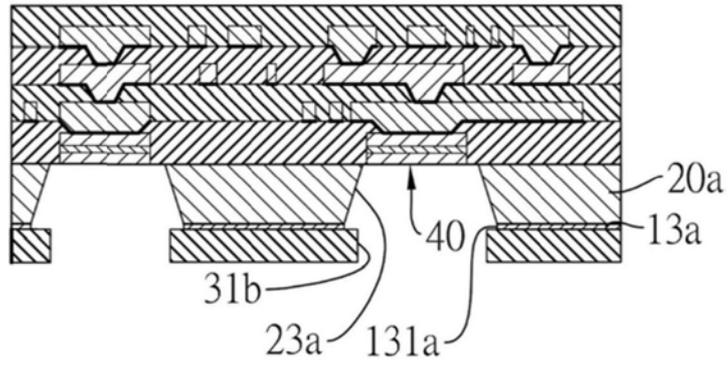


图3K

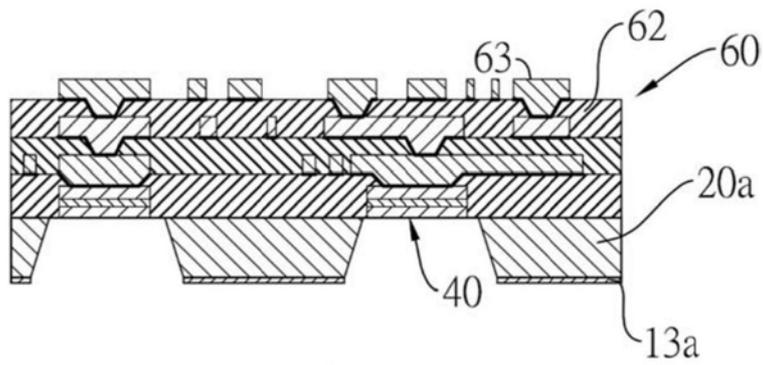


图3L

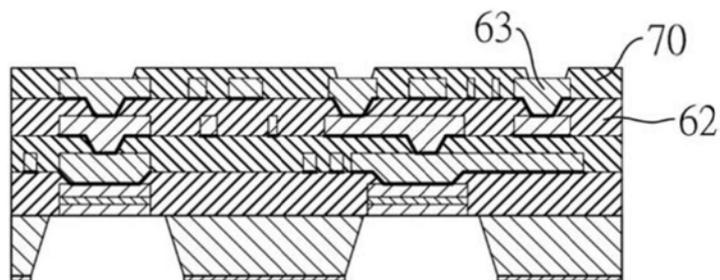


图3M