

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6131781号
(P6131781)

(45) 発行日 平成29年5月24日 (2017.5.24)

(24) 登録日 平成29年4月28日 (2017.4.28)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 E
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 6 K
HO 1 L 29/41 (2006.01)	HO 1 L 29/78	6 1 6 T
GO 2 F 1/1368 (2006.01)	HO 1 L 21/28	3 0 1 B
請求項の数 6 (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2013-176951 (P2013-176951)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成25年8月28日 (2013.8.28)	(74) 代理人	100112210 弁理士 稲葉 忠彦
(65) 公開番号	特開2015-46499 (P2015-46499A)	(74) 代理人	100108431 弁理士 村上 加奈子
(43) 公開日	平成27年3月12日 (2015.3.12)	(74) 代理人	100153176 弁理士 松井 重明
審査請求日	平成27年9月25日 (2015.9.25)	(74) 代理人	100109612 弁理士 倉谷 泰孝
		(72) 発明者	村上 隆昭 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
最終頁に続く			

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法ならびに液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に形成されたゲート電極と、
前記ゲート電極上に形成されたゲート絶縁膜と、
前記ゲート電極上に前記ゲート絶縁膜を介して第1の障壁層、井戸層、第2の障壁層の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層と、
前記酸化物半導体層と電氣的に接続するソース電極及びドレイン電極とを備えた薄膜トランジスタであって、
前記第1の障壁層、前記井戸層及び前記第2の障壁層のうち、前記井戸層において前記ソース電極又は前記ドレイン電極との接触面積が最大となり、
前記井戸層は、上面視において前記第2の障壁層で覆われていない領域を有し、
前記ソース電極又は前記ドレイン電極は、前記井戸層の上面のうち前記第2の障壁層で覆われていない領域に接触して形成され、かつ前記第2の障壁層との間に空隙を有する、
ことを特徴とする薄膜トランジスタ。

【請求項2】

基板上に形成されたゲート電極と、
前記ゲート電極上に形成されたゲート絶縁膜と、
前記ゲート電極上に前記ゲート絶縁膜を介して第1の障壁層、井戸層、第2の障壁層の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層と、
前記酸化物半導体層と電氣的に接続するソース電極及びドレイン電極とを備えた薄膜トランジスタ

ンジスタであって、
 前記第 1 の障壁層、前記井戸層及び前記第 2 の障壁層のうち、前記井戸層において前記ソース電極又は前記ドレイン電極との接触面積が最大となり、
前記井戸層は、上面視において前記第 2 の障壁層で覆われていない領域を有し、
前記ソース電極又は前記ドレイン電極は、前記井戸層の上面のうち前記第 2 の障壁層で覆われていない領域に接触して形成され、
前記第 2 の障壁層上にエッチングストッパー層をさらに備える、
 ことを特徴とする薄膜トランジスタ。

【請求項 3】

基板上に形成されたゲート電極と、
 前記ゲート電極上に形成されたゲート絶縁膜と、
 前記ゲート電極上に前記ゲート絶縁膜を介して第 1 の障壁層、井戸層、第 2 の障壁層の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層と、
 前記酸化物半導体層と電気的に接続するソース電極及びドレイン電極とを備えた薄膜トランジスタであって、
 前記第 1 の障壁層、前記井戸層及び前記第 2 の障壁層のうち、前記井戸層において前記ソース電極又は前記ドレイン電極との接触面積が最大となり、
前記井戸層は、上面視において前記第 2 の障壁層で覆われていない領域を有し、
前記ソース電極又は前記ドレイン電極は、前記井戸層の上面のうち前記第 2 の障壁層で覆われていない領域に接触して形成され、かつ前記第 2 の障壁層との間に空隙を有し、
前記第 2 の障壁層上にエッチングストッパー層をさらに備える、
 ことを特徴とする薄膜トランジスタ。

【請求項 4】

請求項 1 から請求項 3 のいずれか 1 項に記載の薄膜トランジスタを備えた液晶表示装置。

【請求項 5】

基板上にゲート電極を形成する工程と、
 前記ゲート電極上にゲート絶縁膜を形成する工程と、
 前記ゲート電極上に前記ゲート絶縁膜を介して第 1 の障壁層、井戸層、第 2 の障壁層を順に積層して井戸型ポテンシャル構造の酸化物半導体層を形成する工程と、
 前記ゲート電極上に第 1 のマスクを形成する工程と、
 前記第 1 のマスクを用いて前記酸化物半導体層をエッチングする工程と、
 前記第 1 のマスクを除去する工程と、
 前記基板上にエッチングストッパー層を形成する工程と、
 前記エッチングストッパー層上に第 2 のマスクを形成する工程と、
 前記第 2 のマスクを用いて前記エッチングストッパー層及び前記第 2 の障壁層をエッチングすることにより、前記井戸層の上面を露出させ、ソース電極又はドレイン電極を接続する領域を形成する工程と、
 前記ソース電極又は前記ドレイン電極を前記領域に接触させて形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項 6】

基板上にゲート電極を形成する工程と、
 前記ゲート電極上にゲート絶縁膜を形成する工程と、
 前記ゲート電極上に前記ゲート絶縁膜を介して第 1 の障壁層、井戸層、前記井戸層と比較してエッチングされ易い組成の第 2 の障壁層を順に積層して井戸型ポテンシャル構造の酸化物半導体層を形成する工程と、
 前記ゲート電極上にマスクを形成する工程と、
 前記マスクを用いて前記酸化物半導体層をエッチングする工程であって、前記マスクの下の前記第 2 の障壁層の一部を除去するようにオーバーエッチングして前記井戸層の上面を露出させ、ソース電極又はドレイン電極を接続する領域を形成する工程と、
 前記マスクを除去する工程と、

前記ソース電極又は前記ドレイン電極を前記領域に接触させて形成する工程とを備えた薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、酸化物半導体層を備えた薄膜トランジスタおよびその製造方法に関するものである。また、この発明は、その薄膜トランジスタを用いた液晶表示装置に関するものである。

【背景技術】

【0002】

近年、InGaZnO系の酸化物半導体をチャンネル層に用いた薄膜トランジスタの開発が盛んに行われている。酸化物半導体は、アモルファスシリコンよりも高移動度であり、さらに低温成膜が可能であることから、ガラス基板上に形成され、表示デバイスの画素トランジスタとして用いられている。

【0003】

薄膜トランジスタは、高移動度なほど高速動作が可能になるため、高移動度化を目指した開発が行われている。特許文献1には、酸化物半導体層としてInGaZnO系を用いた井戸型ポテンシャル構造を実現し、2次元電子を用いて高移動度化を図った薄膜トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2011-124360号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1のように半導体層に井戸型ポテンシャル構造を持つ薄膜トランジスタにおいては、ソース-ドレイン間の電流は井戸層を流れるものの、ソース電極及びドレイン電極により電流として取り出す際には大半が障壁層を経由する。これは、井戸層端面とソース、ドレイン電極との接触面積が、上部障壁層とソース、ドレイン電極との接触面積に比べて格段に小さく、電流のほとんどが上部障壁層経由で取り出されるためである。そのため、薄膜トランジスタの特性は、障壁層の抵抗成分、欠陥準位、表面準位による影響を受け易く、動作が不安定になるなどの問題があった。

【0006】

この発明は、上記のような問題点を解決するためになされたものであり、障壁層の抵抗成分、欠陥準位、表面準位の影響を低減した薄膜トランジスタ及びその製造方法ならびに液晶表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0007】

この発明に係る薄膜トランジスタは、基板上に形成されたゲート電極と、ゲート電極上に形成されたゲート絶縁膜と、ゲート電極上にゲート絶縁膜を介して第1の障壁層、井戸層、第2の障壁層の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層と、酸化物半導体層と電気的に接続するソース電極及びドレイン電極とを備えた薄膜トランジスタであって、第1の障壁層、井戸層及び第2の障壁層のうち、井戸層においてソース電極又はドレイン電極との接触面積が最大となり、井戸層は、上面視において第2の障壁層で覆われていない領域を有し、ソース電極又はドレイン電極は、井戸層の上面のうち第2の障壁層で覆われていない領域に接触して形成され、かつ第2の障壁層との間に空隙を有することを特徴としている。

【0008】

また、この発明に係る薄膜トランジスタの他の態様によれば、基板上に形成されたゲ

10

20

30

40

50

ト電極と、ゲート電極上に形成されたゲート絶縁膜と、ゲート電極上にゲート絶縁膜を介して第1の障壁層、井戸層、第2の障壁層の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層と、酸化物半導体層と電氣的に接続するソース電極及びドレイン電極とを備えた薄膜トランジスタであって、第1の障壁層、井戸層及び第2の障壁層のうち、井戸層においてソース電極又はドレイン電極との接触面積が最大となり、井戸層は、上面視において第2の障壁層で覆われていない領域を有し、ソース電極又はドレイン電極は、井戸層の上面のうち第2の障壁層で覆われていない領域に接触して形成され、第2の障壁層上にエッチングストッパー層をさらに備える、薄膜トランジスタである。

さらに、本発明に係る薄膜トランジスタの他の態様によれば、基板上に形成されたゲート電極と、ゲート電極上に形成されたゲート絶縁膜と、ゲート電極上にゲート絶縁膜を介して第1の障壁層、井戸層、第2の障壁層の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層と、酸化物半導体層と電氣的に接続するソース電極及びドレイン電極とを備えた薄膜トランジスタであって、第1の障壁層、井戸層及び第2の障壁層のうち、井戸層においてソース電極又はドレイン電極との接触面積が最大となり、井戸層は、上面視において第2の障壁層で覆われていない領域を有し、ソース電極又はドレイン電極は、井戸層の上面のうち第2の障壁層で覆われていない領域に接触して形成され、かつ第2の障壁層との間に空隙を有し、記第2の障壁層上にエッチングストッパー層をさらに備える、薄膜トランジスタである。

【発明の効果】

【0009】

この発明に係る薄膜トランジスタは、上記のように構成したことにより、障壁層を経由しないキャリアの注入、取り出しを増加させることが可能となる。その結果、障壁層の抵抗成分、欠陥準位、表面準位がキャリアに与える影響が抑制され、高移動度で動作の安定した薄膜トランジスタを得ることが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態1に係る薄膜トランジスタの上面図である。

【図2】図1中のI I - I I線における断面図である。

【図3】本発明の実施の形態1に係る薄膜トランジスタの製造工程を示す模式図である。

【図4】InGaZnO系酸化物半導体層の成膜時圧力とGa組成との関係を示す図である。

【図5】InGaZnO系酸化物半導体層の成膜時放電パワーとGa組成との関係を示す図である。

【図6】本発明の実施の形態1に係る薄膜トランジスタの半導体層のバンドギャップを示す模式図である。

【図7】本発明の実施の形態1に係る薄膜トランジスタの変形例の構造を示す断面図である。

【図8】本発明の実施の形態2に係る薄膜トランジスタの構造を示す断面図である。

【図9】本発明の実施の形態3に係る薄膜トランジスタの構造を示す断面図である。

【図10】本発明の実施の形態3に係る薄膜トランジスタの製造工程を示す模式図である。

【図11】本発明の実施の形態3に係る薄膜トランジスタの変形例の構造を示す断面図である。

【図12】本発明の実施の形態3に係る薄膜トランジスタの変形例の構造を示す上面図である。

【図13】図12中のX I I I - X I I I線における断面図である。

【図14】本発明の実施の形態3に係る薄膜トランジスタの変形例の構造を示す断面図である。

【図15】本発明の実施の形態3に係る薄膜トランジスタの変形例の構造を示す断面図である。

10

20

30

40

50

【図 16】本発明の実施の形態 4 に係る薄膜トランジスタの構造を示す断面図である。

【図 17】本発明の実施の形態 5 に係る薄膜トランジスタの構造を示す断面図である。

【図 18】本発明の実施の形態 5 に係る薄膜トランジスタの変形例の構造を示す断面図である。

【図 19】本発明の実施の形態 5 に係る薄膜トランジスタの製造工程を示す模式図である。

。

【図 20】本発明の実施の形態 5 に係る薄膜トランジスタの変形例の構造を示す断面図である。

【図 21】本発明の実施の形態 6 に係る薄膜トランジスタの製造工程を示す模式図である。

。

【図 22】本発明の実施の形態 7 に係る液晶表示装置の画素部の上面図である。

【図 23】図 22 中の X X I I I - X X I I I 線における断面図である。

【図 24】本発明の実施の形態 7 に係る液晶表示装置の画素の回路図である。

【発明を実施するための形態】

【0011】

<実施の形態 1>

はじめに、本発明の実施の形態 1 の薄膜トランジスタの構造について、図を参照しながら説明する。各図においては、同一または同様の構成部分については同じ符号を付している。なお、図は模式的なものであり、示された構成要素の正確な大きさなどを反映するものではない。また、本発明の実施の形態において例示される各構成要素の寸法、材質、形状、それらの相対配置などは、本発明が適用される装置の構成や各種条件により適宜変更されるものであり、本発明はそれらの例示に限定されるものではない。

【0012】

図 1 は本発明の実施の形態 1 による薄膜トランジスタ 100 の上面図である。図 2 は図 1 中の I I - I I 線における薄膜トランジスタ 100 の断面図である。図に示すように、薄膜トランジスタ 100 は、基板 8、ゲート電極 1、絶縁層 2、半導体層 9、ソース電極 6、ドレイン電極 7 により構成される。なお、図 1 においては、絶縁層 2 を透視して図示している。また、ゲート電極 1 のうち、ソース及びドレイン電極 6, 7 により覆われる部分を破線の仮想線で示している。

【0013】

基板 8 は、絶縁性材料で形成されたもの、導電性基板上に絶縁性薄膜を形成したものなど、表面が絶縁性であれば材質、構造は問わない。基板 8 上には、ゲート電極 1、絶縁層 2、半導体層 9、ソース電極 6、ドレイン電極 7 が形成される。

【0014】

ゲート電極 1 は、基板 8 の上面に導電性材料で形成される。また、ゲート電極 1 は絶縁層 2 で覆われる。絶縁層 2 はゲート絶縁膜とも称する。

【0015】

半導体層 9 は、第 1 の半導体層 3、第 2 の半導体層 5、第 3 の半導体層 4 により構成される。また、半導体層 9 は、ゲート電極 1 上に絶縁層 2 を介して、第 1 の半導体層 3、第 3 の半導体層 4、第 2 の半導体層 5 をこの順に積層して形成される。第 3 の半導体層 4 は、第 1 の半導体層 3 と第 2 の半導体層 5 との間に挟まれており、第 1、第 2 の半導体層 3, 5 よりバンドギャップが狭い。よって、半導体層 9 は井戸型ポテンシャルを形成する。つまり、第 1 の半導体層 3 は障壁層（第 1 の障壁層とも称する）、第 3 の半導体層 4 は井戸層（ポテンシャル井戸層）、第 2 の半導体層 5 は障壁層（第 2 の障壁層とも称する）となる。なお、第 1 の半導体層 3 は、井戸層の下に形成されることから下部障壁層とも称する。また、第 2 の半導体層 5 は、井戸層の上に形成されることから上部障壁層とも称する。

。

【0016】

半導体層 9 は、InGaZnO 系の酸化物半導体で形成される。半導体層 9 のポテンシャル井戸を 3 層構造の InGaZnO 系酸化物半導体で実現するには、第 1、第 2 の半導

10

20

30

40

50

体層 3, 5 の Ga 組成が、第 3 の半導体層 4 の Ga 組成と比較して少しでも多くなるようにすればよい。

【0017】

また、半導体層 9 においては、第 3 の半導体層 4 の膜厚が第 1、第 2 の半導体層 3, 5 の膜厚よりも厚くなるように構成する。つまり、半導体層 9 を構成する層の中で井戸層である第 3 の半導体層 4 の膜厚が最も厚い。例えば、第 1 の半導体層 3 の膜厚は 0.1 μm、第 3 の半導体層 4 の膜厚は 0.3 μm、第 2 の半導体層 5 の膜厚は 0.1 μm とする。

【0018】

ソース電極 6 及びドレイン電極 7 は、導電性材料で形成され、半導体層 9 を構成する第 1 の半導体層 3、第 2 の半導体層 5、第 3 の半導体層 4 の端面（側面）3a, 4a, 5a と接触し、電気的に接続している。つまり、ソース電極 6 及びドレイン電極 7 は、上部障壁層である第 2 の半導体層 5 の端面 5a の上端部から下部障壁層である第 1 の半導体層 3 の端面 3a の下端部に渡り、連続して接触するように形成されている。図 2 においては、第 2 の半導体層 5 の上面が全面露出しており、ソース電極 6 及びドレイン電極 7 は第 2 の半導体層 5 の上面 5b に接触していない。

【0019】

図 2 における半導体層 9 の紙面奥行き方向の形状が同一の場合、半導体層 9 を構成する各層とソース電極 6 及びドレイン電極 7 との接触面積は、第 3 の半導体層 4 の膜厚が最も厚いことから、第 3 の半導体層 4 において最大となる。

【0020】

次に、本発明の実施の形態 1 による薄膜トランジスタ 100 の製造方法について説明する。図 3 (a) ~ (f) は、本発明の実施の形態 1 による薄膜トランジスタ 100 の製造フローを模式的に示した模式図である。

【0021】

まず、図 3 (a) に示すように、ガラス基板 8 上にパターニングしたゲート電極 1 とゲート電極 1 を覆う絶縁層 2 とを形成する。さらに、スパッタ法を用いて、第 1 の半導体層 3、第 3 の半導体層 4、第 2 の半導体層 5 を成膜する。第 1 の半導体層 3、第 2 の半導体層 5、第 3 の半導体層 4 を含む半導体層 9 は、InGaZnO 系酸化物半導体層を連続的に成膜して形成される。その際、障壁層である第 1、第 2 の半導体層 3, 5 が、井戸層である第 3 の半導体層 4 と比較して Ga リッチ組成になるように成膜する。例えば、障壁層である第 1、第 2 の半導体層 3, 5 の Ga 比率を 7%、井戸層である第 3 の半導体層 4 の Ga 比率を 5% とする。このようにすることで、第 1、第 2 の半導体層 3, 5 のバンドギャップが第 3 の半導体層 4 のバンドギャップより広い井戸型ポテンシャルを形成することができる。

【0022】

ここで、InGaZnO 系酸化物半導体層の Ga 比率と成膜時のパラメータとの関係について説明する。図 4 は、InGaZnO 系酸化物半導体層の成膜時の圧力と Ga 比率との関係を示す実験結果である。図 5 は、InGaZnO 系酸化物半導体層の成膜時の放電パワーと Ga 比率との関係を示す実験結果である。図より、成膜圧力を高くしたり、放電パワーを高くしたりすることにより、Ga 比率が高くなることが分かる。つまり、成膜時の圧力や放電パワーなどのパラメータを変更することで、Ga リッチ組成膜を成膜することができる。このように、InGaZnO 系の酸化物半導体層においては、成膜時の条件を変更することで組成を変えることが可能なため、半導体層 9 を構成する 3 層の酸化物半導体層を連続成膜工程で実現することができる。

【0023】

次に、図 3 (b) に示すように、ゲート電極 1 の上方に形成したレジスト 80 をマスクとして、第 1 の半導体層 3、第 3 の半導体層 4、第 2 の半導体層 5 の 3 層の酸化物半導体層をパターニングする。パターニングは、ドライエッチングで行う。パターニングすることで、第 1 の半導体層 3、第 3 の半導体層 4、第 2 の半導体層 5 の端面が形成される。

【0024】

10

20

30

40

50

その後、図3(c)に示すように、レジストを除去し、電極となる金属膜81を基板上全面にスパッタ法などにより成膜する。金属膜81は、半導体層9の端面及び上面に接触している。電極となる金属膜81は、Ti、Mo、ITOなどを用いて成膜してもよい。

【0025】

次に、図3(d)、(e)に示すように、半導体層9の上にある金属膜81をレジスト82による写真製版技術でエッチングし、ソース電極6及びゲート電極7を形成する。

【0026】

最後に、図3(f)に示すように、レジスト82を除去する。以上の工程により、第1の半導体層3、第3の半導体層4、第2の半導体層5の端面にソース電極6及びゲート電極7を接触させた薄膜トランジスタを作製することができる。

10

【0027】

以上のような構造の薄膜トランジスタ100の動作について、図を参照しながら説明する。図6は、3層構造の半導体層9の平衡状態におけるエネルギーバンド構造を示す模式図である。図6では、ソースとドレイン電極7との間の位置における、ゲート電極1から上方向(図2に示すZ方向)への断面におけるエネルギー状態を示す。横方向は図2のZ方向と一致し、積層された各層を示している。また、縦方向はエネルギーを示している。図中の E_c は伝導帯の下端、 E_v は価電子帯の上端を示している。また、 E_g は E_c と E_v の差であるバンドギャップである。井戸層である第3の半導体層4のバンドギャップ E_g は、障壁層である第1、第2の半導体層3、5のバンドギャップ E_g より小さい値をとる。

20

【0028】

薄膜トランジスタ100のソース、ドレイン電極6、7間の電流は、伝導帯 E_c 上に存在する電子の図6の紙面垂直方向への流れとなる。電子は、常にエネルギーの低い方向へ移動しようとするため、図6に示すバンド構造では、バンドギャップ E_g の狭い第3の半導体層4に集まる。このような状態でソース、ドレイン電極6、7間にバイアスを印加すると紙面垂直方向においてエネルギー勾配が生じる。以下では、一例として、ドレイン電極7に5Vを印加し、ソース電極6を接地電位にした場合について説明する。ソース、ドレイン電極6、7間にバイアスを印加すると、電子はエネルギーの低いドレイン電極7へ向かって移動し、ソース、ドレイン電極6、7間に電流が流れる。本願のように、半導体層9に井戸型ポテンシャル構造を採用した構成においては、バンドギャップの狭い領域の電子がバンドギャップの広い領域の電子と比較して多くなっていることから、井戸層である第3の半導体層4における電子の移動がソース、ドレイン電極6、7間電流の主体となる。

30

【0029】

次に、バンドギャップの狭い第3の半導体層4に注入される電子について説明する。

ゲート電極1に正バイアスを印加すると、主に、下記(A1)~(A3)に示す3種類の電子が、井戸層である第3の半導体層4に注入される。

(A1) 初めから第2の半導体層5の価電子帯に存在する電子

(A2) ソース電極6及びドレイン電極7を経由して第2の半導体層5の価電子帯に流入する電子

40

(A3) ソース電極6及びドレイン電極7から第3の半導体層4の価電子帯に、直接、注入される電子

なお、初めから第1の半導体層3に存在する電子はゲート電極1に印加された正バイアスによってゲート電極1側に引き寄せられるので、第1の半導体層3から第3の半導体層4に注入される電子は拡散によるものだけとなる。よって、第1の半導体層3が第3の半導体層4へ注入される電子に与える影響は極微である。

【0030】

上記の3種類の電子のうち、(A1)、(A2)のように第2の半導体層5を経由して井戸層である第3の半導体層4に注入される電子は、第2の半導体層5の膜質の影響を強く受ける。具体的には、第2の半導体層5を経由する際に、一部の電子が第2の半導体層

50

5の欠陥準位や表面準位等にトラップされたり、第2の半導体層5の抵抗成分の影響を受けたりする。その結果、第3の半導体層4に注入される電子が減少する。よって、例えば、第2の半導体層5と第3の半導体層4において、ソース電極6及びドレイン電極7との接触面積が同等であっても、上記(A2)、(A3)により第3の半導体層4に注入される電子の量は同等ではなく、(A3)のほうが多くなる。

【0031】

ここで、本実施の形態1では、ソース電極6及びドレイン電極が半導体層9の端面に接触し、井戸層である第3の半導体層4の膜厚が障壁層である第2の半導体層5の膜厚より大きい。つまり、第3の半導体層4とソース電極6及びドレイン電極7との接触面積は、第2の半導体層5とソース電極6及びドレイン電極7との接触面積より大きい。

10

【0032】

よって、ゲート電極1に正バイアスを印加したときに第3の半導体層4へ注入される電子(以降、キャリアとも称する)は、上記(A1)から(A3)の中では(A3)が支配的となる。このように、ソース、ドレイン電極6,7間電流の主体となる第3の半導体層4に、直接かつ最も多く電子を注入することで、電子が第2の半導体層5から受ける影響を低減し、効率よく井戸層に電子を注入することができる。

【0033】

井戸層である第3の半導体層4に注入された電子は、ゲート電極1の正バイアスにより、ゲート電極1側に移動しようとする。しかしながら、第1の半導体層3のバンドギャップが大きく、ポテンシャル障壁となるため、電子は第3の半導体層4に閉じ込められる。この閉じ込められた電子は2次的に高移動度となる。従って、この高移動度電子を用いることで薄膜トランジスタを高性能化することができる。電子が第3の半導体層4に閉じ込められた状態でソース電極6を接地し、ドレイン電極7に正バイアスを印加すると、ソース、ドレイン電極6,7間に電流が流れる。この場合においても、第3の半導体層4からソース電極6、ドレイン電極7により直接取り出される電子が支配的になる。そのため、第2の半導体層5を経由して取り出す場合のように電子が第2の半導体層5の欠陥準位などの膜特性の影響を受けることがなく、さらにソース、ドレイン電極6,7間の抵抗を低減することができる。

20

【0034】

次に、本実施の形態1における、半導体層9への電子の注入の効果を見積もる。図2において、薄膜トランジスタ100の紙面奥行き方向の形状は一樣であるものとし、半導体層9とソース電極6及びドレイン電極7との接触部の紙面奥行き方向の長さをW(図1中に図示)とする。また、第1の半導体層3の膜厚を0.1 μ m、第3の半導体層4の膜厚を0.3 μ m、第2の半導体層5を0.1 μ mとする。このとき、下部障壁層である第1の半導体層3とソース電極6及びドレイン電極7との接触部の面積S1、上部障壁層である第2の半導体層4とソース電極6及びドレイン電極7との接触部の面積S2、井戸層である第3の半導体層5とソース電極6及びドレイン電極7との接触部の面積S3は、それぞれ以下の数1で表される。

30

【0035】

【数1】

$$S1 = 0.1\mu m \times W$$

$$S2 = 0.1\mu m \times W$$

$$S3 = 0.3\mu m \times W$$

40

【0036】

ソース電極6及びドレイン電極7から半導体層9に注入される電子は、ソース電極6及びドレイン電極7と半導体層9との接触面積が大きければ大きいほど多くなる。よって、本実施の形態1のように、第3の半導体層4とソース電極6及びドレイン電極7との接触面積が最大になるように構成することで、ソース、ドレイン6,7間電流の主となる井戸層に障壁層を経由することなく効率的に電子を注入することができる。

50

【0037】

本実施の形態1では、図2において奥行き方向に一様な電極レイアウトを想定した。しかしながら、本実施の形態1においては、井戸層である第3の半導体層4とソース電極6及びドレイン電極7との接触面積が最大になることが本質であり、必ずしも奥行き方向に一様な電極レイアウトである必要はない。

【0038】

また、本実施の形態1では、ソース電極6とドレイン電極7とが同一形状の電極レイアウトを想定し、第1の半導体層3、第2の半導体層5、第3の半導体層4のうち、第3の半導体層4とソース電極6及びドレイン電極7との接触面積がともに最大となる構成について説明した。しかしながら、必ずしもソース電極6とドレイン電極7とが同一形状である必要はなく、ソース電極6及びドレイン電極7のうち何れか一方の接触面積が最大となるような構成であっても、従来と比較して第3の半導体層4に効率的に電子を注入することができる。つまり、ソース電極6又はドレイン電極7の接触面積が最大となるような構成であれば、従来と比較して第3の半導体層4に効率的に電子を注入することができる。

10

【0039】

さらに、本実施の形態1では、ソース電極6及びドレイン電極7が上部障壁層である第2の半導体層5の上面5bに接触していない構成について説明した。しかしながら、図7に示す薄膜トランジスタ101のように、ソース電極106及びドレイン電極107が第2の半導体層5の端面だけでなく上面5bにも接触している構成であってもよい。この場合には、第2の半導体層5の膜厚と、ソース電極106又はドレイン電極107が第2の半導体層5の上面5bに接触している接触幅Hとの合計が、第3の半導体層4の膜厚以下となる必要がある。つまり、第3の半導体層4の端面とソース電極106及びドレイン電極107との接触面積が、第1、第2の半導体層3、5とソース電極106及びドレイン電極107との接触面積より大きくなる必要がある。

20

【0040】

具体的には、半導体層9の端面とソース電極106及びドレイン電極107との接触面積が数1のとき、第2の半導体層5の上面5bを覆うソース電極106及びドレイン電極107の幅Hが0.2µm未満であれば、ソース電極106及びドレイン電極107との接触面積は、第3の半導体層4において最大となる。

【0041】

また、本実施の形態1では、3層構造の井戸型ポテンシャルについて説明したが、4層以上であっても差し支えない。

30

【0042】

以上のように、本発明の実施の形態1は、基板8上に形成されたゲート電極1と、ゲート電極1上に形成されたゲート絶縁膜2と、ゲート電極1上にゲート絶縁膜2を介して第1の障壁層である第1の半導体層3、井戸層である第3の半導体層4、第2の障壁層である第2の半導体層5の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層9と、酸化物半導体層9と電気的に接続するソース電極6及びドレイン電極7とを備えた薄膜トランジスタであって、第1の障壁層である第1の半導体層3、井戸層である第3の半導体層4及び第2の障壁層である第2の半導体層5のうち、井戸層である第3の半導体層4においてソース電極6又はドレイン電極7との接触面積が最大となることを特徴とする。

40

【0043】

このように構成することにより、ソース-ドレイン間の電流を取り出す際に、障壁層を経由して移動するキャリア(電子)が減り、障壁層を経由することなく移動するキャリア(電子)が増える。その結果、障壁層内部の欠陥、界面準位、表面準位などによるキャリアへの影響が低減し、特性が安定した薄膜トランジスタを得ることができる。

【0044】

また、本発明の実施の形態1の薄膜トランジスタでは、成膜時の圧力や放電パワーなどでGa組成を制御することが可能なInGaZnO系の酸化物半導体を用いて半導体層9

50

を形成する。よって、成膜条件を変更することで、バンドギャップの異なる層を積層したポテンシャル井戸の構造を容易に形成することができる。また、Ga組成を変えながらバンドギャップの異なる層を連続して成膜することができるので、界面特性の良い半導体層9を形成することができる。

【0045】

<実施の形態2>

実施の形態1では、ボトムゲート構造の薄膜トランジスタについて説明した。しかしながら、本発明はトップゲート構造の薄膜トランジスタにも適用することができる。本発明の実施の形態2の薄膜トランジスタはトップゲート構造であり、実施の形態1で示した薄膜トランジスタとは半導体層に対する電極の配置位置が主に異なる。これ以外の構成は、
10
上述した実施の形態1と同様であるので、同一の要素については同一の符号を付し、その説明を繰り返さない。また、実施の形態2の動作は上述した実施の形態1と同様であるので、以下に説明する実施の形態2においても実施の形態1と同様の効果を奏する。以下、図を用いて本発明の実施の形態2における薄膜トランジスタの構造について説明する。

【0046】

図8は、本発明の実施の形態2による薄膜トランジスタ102の断面図である。図に示すように、薄膜トランジスタ102は、基板8、半導体層19、ソース電極16、ドレイン電極17、絶縁層12、ゲート電極11、ソース引き出し電極18a、ドレイン引き出し電極18bにより構成される。

【0047】

絶縁性の基板8上には、半導体層19、ソース電極16、ドレイン電極17、絶縁層12、ゲート電極11が形成される。

【0048】

半導体層19は、第1の半導体層13、第2の半導体層15、第3の半導体層14により構成される。また、半導体層19は、基板8の上面に第1の半導体層13、第3の半導体層14、第2の半導体層15をこの順に積層して形成される。第3の半導体層14は、第1の半導体層13と第2の半導体層15との間に挟まれており、第1、第2の半導体層13、15よりもバンドギャップが狭い。よって、半導体層19は井戸型ポテンシャルを形成する。つまり、第1、第2の半導体層13、15は障壁層、第3の半導体層14は井戸層となる。
30

【0049】

半導体層19は、InGaZnO系の酸化物半導体で形成される。半導体層19のポテンシャル井戸を3層構造のInGaZnO系酸化物半導体で実現するには、第1、第2の半導体層13、15のGa組成が、第3の半導体層14のGa組成と比較して少しでも多くなるようにすればよい。

【0050】

また、半導体層19においては、第3の半導体層14の膜厚が第1、第2の半導体層13、15の膜厚よりも厚くなるように構成する。つまり、半導体層19を構成する層の中で井戸層である第3の半導体層14の膜厚が最も厚い。

【0051】

ソース電極16及びドレイン電極17は、導電性材料で形成され、基板8の上面に形成される。また、ソース電極16及びドレイン電極17は、半導体層19を構成する第1の半導体層13、第2の半導体層15、第3の半導体層14の端面(側面)13a、14a、15aと接触し、電氣的に接続している。図8においては、ソース電極16及びドレイン電極17は第2の半導体層15の上面15bに接触していない。
40

【0052】

半導体層19、ソース電極16及びドレイン電極17は絶縁層12で覆われる。また、ソース電極16及びドレイン電極17上の絶縁層12には貫通穴が設けられ、貫通孔内には、ソース電極16と電氣的に接続するソース引き出し電極18a、及びドレイン電極17に接触するドレイン引き出し電極18bが形成される。ソース引き出し電極18a及び
50

ドレイン引き出し電極 18b は、導電性材料で形成される。ソース電極 16 及びドレイン電極 17 は、ソース引き出し電極 18a 及びドレイン引き出し電極 18b により絶縁層 12 の上面に引き出されている。

【0053】

半導体層 19 の上方には絶縁層 12 を介してゲート電極 11 が形成される。

【0054】

以上のように、本発明の実施の形態 2 は、基板 8 上に第 1 の障壁層である第 1 の半導体層 13、井戸層である第 3 の半導体層 14、第 2 の障壁層である第 2 の半導体層 15 の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層 19 と、酸化物半導体層 19 と電氣的に接続するソース電極 16 及びドレイン電極 17 と、酸化物半導体層 19 上に形成されたゲート絶縁膜 12 と、酸化物半導体層 19 上にゲート絶縁膜 12 を介して形成されたゲート電極 11 とを備えた薄膜トランジスタであって、第 1 の障壁層である第 1 の半導体層 13、井戸層である第 3 の半導体層 14 及び第 2 の障壁層である第 2 の半導体層 15 のうち、井戸層である第 3 の半導体層 14 においてソース電極 16 又はドレイン電極 17 との接触面積が最大となることを特徴とする。

10

【0055】

このように構成することにより、ソース - ドレイン間の電流を取り出す際に、障壁層を経由して移動するキャリア（電子）が減り、障壁層を経由することなく移動するキャリア（電子）が増える。その結果、障壁層内部の欠陥、界面準位、表面準位などによるキャリアへの影響が低減し、特性の安定した薄膜トランジスタを得ることができる。

20

【0056】

<実施の形態 3>

本発明の実施の形態 3 による薄膜トランジスタの構造について説明する。実施の形態 3 の薄膜トランジスタは、実施の形態 1 で示した薄膜トランジスタと比較して、半導体層とソース電極及びドレイン電極との接触部の構造が主に異なる。具体的には、井戸層の上面に障壁層で覆われていない領域を設け、この領域にソース電極及びドレイン電極を接触させた点が主に異なる。これ以外の構成は上述した実施の形態 1 と同様であるので、同一の要素については同一の符号を付し、その説明を繰り返さない。また、実施の形態 3 の動作は上述した実施の形態 1 と同様であるので、以下に説明する実施の形態 3 に特有の構成とこれに起因する効果の他に、実施の形態 1 と同様の効果も奏する。以下、図を用いて本発明の実施の形態 3 における薄膜トランジスタの構造について説明する。

30

【0057】

図 9 は本発明の実施の形態 3 による薄膜トランジスタ 200 の断面図である。図に示すように、薄膜トランジスタ 200 は、基板 8、ゲート電極 1、絶縁層 2、半導体層 29、ソース電極 26、ドレイン電極 27 により構成される。

【0058】

半導体層 29 は、第 1 の半導体層 23、第 2 の半導体層 25、第 3 の半導体層 24 により構成される。また、半導体層 29 は、ゲート電極 1 上に絶縁層 2 を介して、第 1 の半導体層 23、第 3 の半導体層 24、第 2 の半導体層 25 をこの順に積層して形成される。第 3 の半導体層 24 は、第 1 の半導体層 23 と第 2 の半導体層 25 との間に挟まれており、第 1、第 2 の半導体層 23、25 よりもバンドギャップが狭い。よって、半導体層 29 は井戸型ポテンシャルを形成する。つまり、第 1 の半導体層 23 は障壁層（第 1 の障壁層、下部障壁層）、第 3 の半導体層 24 は井戸層（ポテンシャル井戸層）、第 2 の半導体層 25 は障壁層（第 2 の障壁層、上部障壁層）となる。

40

【0059】

半導体層 29 は、InGaZnO 系の酸化物半導体で形成される。半導体層 29 のポテンシャル井戸を 3 層構造の InGaZnO 系酸化物半導体で実現するには、第 1、第 2 の半導体層 23、25 の Ga 組成が、第 3 の半導体層 24 の Ga 組成と比較して少しでも多くなるようにすればよい。

【0060】

50

また、半導体層 2 9 は、上部障壁層である第 2 の半導体層 2 5 の幅が井戸層である第 3 の半導体層 2 4 の幅と比べて狭くなるように構成する。そのため、第 3 の半導体層 2 4 の上面 2 4 b の端部の一部は第 2 の半導体層 2 5 に覆われておらず、露出している。なお、半導体層 2 9 の幅方向は、ソース電極 2 6 とドレイン電極 2 7 とを結ぶ方向と平行な方向（図 9 に示す X 方向）とする。また、3 層の半導体層 2 3, 2 4, 2 5 の膜厚は特に問わず、実施の形態 1 で示したように井戸型ポテンシャルを構成していればよい。ここでは、第 1 の半導体層 2 3、第 2 の半導体層 2 5、第 3 の半導体層 2 4 の膜厚は等しいものとする。

【0061】

ソース電極 2 6 及びドレイン電極 2 7 は、導電性材料で形成され、半導体層 2 9 を構成する第 1 の半導体層 2 3、第 2 の半導体層 2 5、第 3 の半導体層 2 4 の端面（側面）2 3 a, 2 4 a, 2 5 a と接触し、電氣的に接続している。さらに、ソース電極 2 6 及びドレイン電極 2 7 は、第 2 の半導体層 2 5 の上面 2 5 b の一部及び第 3 の半導体層 2 4 の上面 2 4 b のうち露出している領域にも接触し、電氣的に接続している。よって、ソース電極 2 6 及びドレイン電極 2 7 は、上部障壁層である第 2 の半導体層 2 5 の上面 2 5 b から下部障壁層である第 1 の半導体層 2 3 の端面 2 3 a の下端部に渡り、連続して接触するように形成されている。

【0062】

上面視において、第 3 の障壁層 2 4 の上面のうち、第 2 の障壁層 2 5 で覆われていない領域であって、ソース電極又はドレイン電極が接触している領域の幅を L_3 とする。また、第 2 の半導体層 2 5 の上面 2 5 b のうち、ソース電極 2 6 又はドレイン電極 2 7 が接触している領域の幅を L_2 とする。薄膜トランジスタ 2 0 0 においては、第 1 の半導体層 2 3、第 2 の半導体層 2 5、第 3 の半導体層 2 4 の膜厚が等しく、 $L_3 > L_2$ となるように構成している。よって、第 3 の半導体層 2 4 とソース電極 2 6 及びドレイン電極 2 7 との接触面積は、第 2 半導体層 2 5 とソース電極 2 6 及びドレイン電極 2 7 との接触面積より大きい。

【0063】

次に、本発明の実施の形態 3 による薄膜トランジスタ 2 0 0 の製造方法について説明する。図 1 0 (a) ~ (m) は、本発明の実施の形態 3 による薄膜トランジスタ 2 0 0 の製造フローを模式的に示した模式図である。

【0064】

まず、図 1 0 (a)、(b) に示すように、ガラス基板 8 上にパターンニングしたゲート電極 1 とゲート電極 1 を覆う絶縁層 2 とを形成する。さらに、図 1 0 (c) に示すように、スパッタ法を用いて、絶縁層 2 上に第 1 の半導体層 2 3、第 3 の半導体層 2 4、第 2 の半導体層 2 5 を成膜する。第 1 の半導体層 2 3、第 3 の半導体層 2 4、第 2 の半導体層 2 5 を含む半導体層 2 9 は、InGaZnO 系酸化物半導体層を連続的に成膜して形成される。第 1 の半導体層 2 3、第 3 の半導体層 2 4、第 2 の半導体層 2 5 の 3 層の成膜では、障壁層である第 1、第 2 の半導体層 2 3, 2 5 が、井戸層である第 3 の半導体層 2 4 の組成と比較して Ga リッチ組成になるようにする。このようにすることで、第 1、第 2 の半導体層 2 3, 2 5 のバンドギャップが第 3 の半導体層 2 4 のバンドギャップより広い井戸型ポテンシャルを形成することができる。

【0065】

実施の形態 1 で説明したように、InGaZnO 系酸化物半導体層の Ga 比率は、成膜時の圧力や放電パワーなどにより変えることが可能である。具体的には、成膜時の圧力を高くしたり、放電パワーを高くしたりすることにより Ga 比率を高くすることができる。よって、井戸型ポテンシャルを形成する酸化物半導体層を連続成膜工程で実現することができる。

【0066】

次に、図 1 0 (d)、(e) に示すように、ゲート電極 1 の上方に形成したレジスト 8 3 a をマスクとして、第 1 の半導体層 2 3、第 3 の半導体層 2 4、第 2 の半導体層 2 5 の

10

20

30

40

50

3層の酸化物半導体層をパターニングする。パターニングはドライエッチングで行う。パターニングすることで、第1の半導体層23、第3の半導体層24、第2の半導体層25の端面23a、24a、25aが形成される。

【0067】

次に、図10(f)~(h)に示すように、レジスト83aを除去した後、レジスト83aより幅の狭い別のレジスト83bを形成し、このレジスト83bをマスクとして、第2の半導体層25をパターニングする。パターニングはドライエッチングで行う。パターニングすることで、第3の半導体層24が若干削れることになるが、完全になくならなければ良い。この工程により、第3の半導体層24を覆う第2の半導体層25の一部が除去され、第3の半導体層24の上面の一部が露出する。

10

【0068】

その後、図10(i)、(j)に示すように、レジスト83bを除去し、電極となる金属膜84を基板全面にスパッタ法などにより成膜する。金属膜84は、半導体層29の端面及び第3の半導体層25の上面の露出している領域に接触している。電極となる金属膜84は、Ti、Mo、ITOなどを用いて成膜してもよい。

【0069】

次に、図10(k)、(l)に示すように、半導体層29の上にある金属膜84をレジスト85による写真製版技術でエッチングし、ソース電極26及びゲート電極27を形成する。

【0070】

20

最後に、図10(m)に示すように、レジスト85を除去する。以上の工程により、第1の半導体層23、第3の半導体層24、第2の半導体層25の端面、第3の半導体層25の上面の露出している領域にソース電極26及びゲート電極27を接触させた薄膜トランジスタを作製することができる。

【0071】

次に、バンドギャップの狭い第3の半導体層24に注入される電子について説明する。実施の形態3の薄膜トランジスタ200においても、ゲート電極1に正バイアスを印加すると、主に、下記(B1)~(B3)に示す3種類の電子が、井戸層である第3の半導体層24に注入される。

(B1)初めから第2の半導体層25の価電子帯に存在する電子

30

(B2)ソース電極26及びドレイン電極27を経由して第2の半導体層25の価電子帯に流入する電子

(B3)ソース電極26及びドレイン電極27から第3の半導体層24の価電子帯に、直接、注入される電子

【0072】

本実施の形態3においても、第3の半導体層24とソース電極26及びドレイン電極27との接触面積が、第2の半導体層25とソース電極26及びドレイン電極27との接触面積より大きい。よって、ゲート電極1に正バイアスを印加したときに、第3の半導体層24へ注入される電子は、上記(B1)から(B3)の中では(B3)が支配的となる。このように、ソース、ドレイン電極26、27間電流の主体となる第3の半導体層24に、直接かつ最も多く電子を注入することで、電子が第2の半導体層25から受ける影響を低減し、効率よく井戸層に電子を注入することができる。

40

【0073】

また、電子が第3の半導体層24に閉じ込められた状態でソース電極26を接地し、ドレイン電極27に正バイアスを印加すると、ソース、ドレイン電極26、27間に電流が流れる。この場合においても、第3の半導体層24からソース電極26、ドレイン電極27により直接取り出される電子が支配的になる。そのため、第2の半導体層25を経由して取り出す場合のように電子が第2の半導体層25の欠陥準位などの膜特性の影響を受けることがなく、さらにソース、ドレイン電極26、27間の抵抗を低減することができる。

50

【 0 0 7 4 】

次に、本実施の形態 3 における、半導体層 2 9 への電子の注入の効果を見積もる。図 9 において、薄膜トランジスタ 2 0 0 の紙面奥行き方向の形状は一樣であるものとし、半導体層 2 9 とソース電極 2 6 及びドレイン電極 2 7 との接触部の紙面奥行き方向の長さを W とする。第 1 の半導体層 2 3、第 2 の半導体層 2 5、第 3 の半導体層 2 4 の膜厚は何れも $0.1 \mu\text{m}$ とする。さらに、上部障壁層である第 2 の半導体層 2 5 の上面とソース電極 2 6 及びドレイン電極 2 7 との接触部の X 方向の幅 $L_2 = 5 \mu\text{m}$ 、井戸層である第 3 の半導体層 2 4 の上面とソース電極 2 6 及びドレイン電極 2 7 との接触部の X 方向の幅 $L_3 = 10 \mu\text{m}$ とする。このとき、下部障壁層である第 1 の半導体層 2 3 とソース電極 2 6 及びドレイン電極 2 7 との接触部の面積 S_{11} 、上部障壁層である第 2 の半導体層 2 5 とソース電極 2 6 及びドレイン電極 2 7 との接触部の面積 S_{12} 、井戸層である第 3 の半導体層 2 4 とソース電極 2 6 及びドレイン電極 2 7 との接触部の面積 S_{13} は、それぞれ以下の数 2 で表される。

10

【 0 0 7 5 】

【数 2】

$$S_{11} = (0.1 \mu\text{m}) \times W$$

$$S_{12} = (0.1 \mu\text{m} + 5.0 \mu\text{m}) \times W$$

$$S_{13} = (0.1 \mu\text{m} + 10.0 \mu\text{m}) \times W$$

【 0 0 7 6 】

ソース電極 2 6 及びドレイン電極 2 7 から半導体層 2 9 に注入される電子は、ソース電極 2 6 及びドレイン電極 2 7 と半導体層との接触面積が大きければ大きいほど多くなる。よって、本実施の形態 3 のように、第 3 の半導体層 2 4 とソース電極 2 6 及びドレイン電極 2 7 との接触面積が最大になるように構成することで、ソース、ドレイン 2 6、2 7 間電流の主となる井戸層に障壁層を経由することなく効率的に電子を注入することができる。

20

【 0 0 7 7 】

ここで、半導体層とソース電極及びドレイン電極との接触面積について検討する。上面視における半導体層 2 9 の大きさは、製造プロセスにおける写真製版の尤度を確保するため、一般的に、数 μm ~ 数十 μm 程度となる。よって、ソース電極 2 6 及びドレイン電極 2 7 との接触幅 L_2 、 L_3 を数 μm 程度とすることは容易である。一方、半導体層 2 9 を構成する各層の膜厚は、通常、 50nm 以下であり、上面視における半導体層 2 9 の大きさと比較すると 1 ~ 2 桁程度の差がある。以上のことから、実施の形態 3 の構成は、実施の形態 1 のように半導体層の膜厚で接触面積を大きくする構成と比較して、半導体層とソース電極及びドレイン電極との接触面積の大きい薄膜トランジスタを容易に短時間で作ることができる。

30

【 0 0 7 8 】

以上のように、本発明の実施の形態 3 は、井戸層である第 3 の半導体層 2 4 は、上面視において第 2 の障壁層である第 2 の半導体層 2 5 で覆われていない領域を有し、ソース電極 2 6 又はドレイン電極 2 7 は、井戸層である第 3 の半導体層 2 4 の上面のうち第 2 の障壁層である第 2 の半導体層 2 5 で覆われていない領域に接触して形成されることを特徴とする。

40

【 0 0 7 9 】

このように構成することにより、井戸層である第 3 の半導体層 2 4 を厚くすること無く、ソース、ドレイン電極 2 6、2 7 間の電流の主となる第 3 の半導体層 2 4 とソース電極 2 6 及びドレイン電極 2 7 との接触面積を拡大することができる。その結果、プロセス時間の短縮が可能になるとともに、ソース電極 2 6、ドレイン電極 2 7 などの配線層の段差を低減することができる。

【 0 0 8 0 】

なお、ソース電極 2 6 及びドレイン電極 2 7 は、図 9 に示すように、必ずしも第 2 の半

50

導体層 25 の上面に接触している必要はない。第 3 の半導体層 24 とソース電極 26 及びドレイン電極 27 との接触面積が、第 2 の半導体層 25 とソース電極 26 及びドレイン電極 27 との接触面積より大きければよい。例えば、図 11 に示す薄膜トランジスタ 201 のように、ソース電極 126 及びドレイン電極 127 が第 2 の半導体層 25 の上面に接触していない構造であってもよい。

【0081】

また、本発明の実施の形態 3 の薄膜トランジスタにおいても、紙面垂直方向全てに渡って同一構造である必要はなく、第 3 の半導体層 24 の表面にソース電極 26 及びドレイン電極 27 が接している箇所が部分的に存在する構成であってもよい。

【0082】

例えば、図 12 に示す薄膜トランジスタ 202 のように、第 3 の半導体層 34 の表面とソース電極 36 及びドレイン電極 37 との接触部は、第 2 の半導体層 35 に設けた貫通孔 40a, 40b により実現してもよい。貫通孔 40a, 40b は、図 12 中に破線の円で示す。また、図 12 中の X I I I - X I I I 線における薄膜トランジスタ 202 の断面を図 13 に示す。このように構成することにより、従来と比較して、第 3 の半導体層 34 とソース電極 36 及びドレイン電極 37 との接触の接触面積を増やすことができる。

【0083】

また、図 14 に示す薄膜トランジスタ 203 のように、第 2 の半導体層 25 とソース電極 226 及びドレイン電極 227 との間に空隙 30a, 30b を設け、第 2 の半導体層 25 とソース電極 226 及びドレイン電極 227 が直接接触しない構造を採用してもよい。空隙 30a, 30b はそれぞれ 0.2 ~ 0.3 μm 程度あればよい。このように構成することで、第 3 の半導体層 24 への電子の注入がソース電極 226 及びドレイン電極 227 から限定され、第 2 の半導体層 25 の膜質の影響を更に受けにくくなる。

【0084】

さらに、図 15 に示す薄膜トランジスタ 204 のように、ソース電極 46 及びドレイン電極 47 が、第 3 の半導体層 44 の上面とのみ接触し、第 1 の半導体層 43 及び第 2 の半導体層 45 に直接接触していない構成であってもよい。具体的には、半導体層 49 上に絶縁層 50 を形成し、この絶縁層 50 に設けた貫通孔 50a, 50b を介してソース電極 46 及びドレイン電極 47 が井戸層である第 3 の半導体層 44 の上面に接触するように構成してもよい。貫通孔 50a, 50b は、第 3 の半導体層 44 のうち第 2 の半導体層 45 で覆われていない領域の上の絶縁層 50 に形成される。

【0085】

このような構造を採用することで、第 3 の半導体層 44 へのキャリアの注入がソース電極 46 及びドレイン電極 47 から限定され、第 2 の半導体層 45 の膜質の影響を受けにくくなるとともに、拡散により第 1 の半導体層 43 から第 3 の半導体層 44 に注入される電子を抑制することができる。

【0086】

< 実施の形態 4 >

実施の形態 3 では、ボトムゲート構造の薄膜トランジスタにおいて、井戸層の上面にソース電極及びドレインを直接配置した構造について説明した。しかしながら、本発明はトップゲート構造の薄膜トランジスタにも適用することができる。本発明の実施の形態 4 の薄膜トランジスタはトップゲート構造であり、実施の形態 3 で示した薄膜トランジスタとは半導体層に対する電極の配置位置が主に異なる。これ以外の構成は、上述した実施の形態 3 と同様であるので、同一の要素については同一の符号を付し、その説明を繰り返さない。また、実施の形態 4 の動作は上述した実施の形態 3 と同様であるので、以下に説明する実施の形態 4 においても実施の形態 3 と同様の効果を奏する。以下、図を用いて本発明の実施の形態 4 における薄膜トランジスタの構造について説明する。

【0087】

図 16 は、本発明の実施の形態 4 による薄膜トランジスタ 205 の断面図である。図に示すように、薄膜トランジスタ 205 は、基板 8、半導体層 59、ソース電極 56、ドレ

10

20

30

40

50

イン電極 5 7、絶縁層 5 2、ゲート電極 5 1、ソース引き出し電極 1 8 a、ドレイン引き出し電極 1 8 bにより構成される。

【 0 0 8 8 】

絶縁性の基板 8 上には、半導体層 5 9、ソース電極 5 6、ドレイン電極 5 7、絶縁層 5 2、ゲート電極 5 1 が形成される。

【 0 0 8 9 】

半導体層 5 9 は、第 1 の半導体層 5 3、第 2 の半導体層 5 5、第 3 の半導体層 5 4 により構成される。また、半導体層 5 9 は、基板 8 の上面に第 1 の半導体層 5 3、第 3 の半導体層 5 4、第 2 の半導体層 5 5 をこの順に積層して形成される。第 3 の半導体層 5 4 は、第 1 の半導体層 5 3 と第 2 の半導体層 5 5 との間に挟まれており、第 1、第 2 の半導体層 5 3、5 5 よりもバンドギャップが狭い。よって、半導体層 5 9 は井戸型ポテンシャルを形成する。つまり、第 1、第 2 の半導体層 5 3、5 5 は障壁層、第 3 の半導体層 5 4 は井戸層となる。

【 0 0 9 0 】

半導体層 5 9 は、InGaZnO 系の酸化物半導体で形成される。半導体層 5 9 のポテンシャル井戸を 3 層構造の InGaZnO 系酸化物半導体で実現するには、第 3 の半導体層 5 4 の Ga 組成と比較して、第 1、第 2 の半導体層 5 3、5 5 の Ga 組成が少しでも多くなるようにすればよい。

【 0 0 9 1 】

また、半導体層 5 9 は、上部障壁層である第 2 の半導体層 5 5 の幅が井戸層である第 3 の半導体層 5 4 の幅と比べて狭くなるように構成する。そのため、第 3 の半導体層 5 4 の上面 5 4 b の一部は第 2 の半導体層 5 5 に覆われておらず、露出している。なお、半導体層 5 9 の幅方向は、ソース電極 5 6 とドレイン電極 5 7 とを結ぶ方向と平行な方向 (図 1 6 に示す X 方向) とする。また、3 層の半導体層 5 3、5 4、5 5 の膜厚は特に問わず、実施の形態 1 で示したように井戸型ポテンシャルを構成していればよい。

【 0 0 9 2 】

ソース電極 5 6 及びドレイン電極 5 7 は、導電性材料で形成され、基板 8 の上面に形成される。また、ソース電極 5 6 及びドレイン電極 5 7 は、半導体層 5 9 を構成する第 1 の半導体層 5 3、第 2 の半導体層 5 5、第 3 の半導体層 5 4 の端面 (側面) 5 3 a、5 4 a、5 5 a と接触し、電氣的に接続している。さらに、ソース電極 5 6 及びドレイン電極 5 7 は、第 3 の半導体層 5 4 の上面 5 4 b のうち露出している領域にも接触し、電氣的に接続している。よって、ソース電極 5 6 及びドレイン電極 5 7 は、上部障壁層である第 2 の半導体層 5 5 の端面 5 5 a の上端から下部障壁層である第 1 の半導体層 5 3 の端面 5 3 a の下端部に渡り、連続して接触するように形成されている。図 1 6 においては、ソース電極 5 6 及びドレイン電極 5 7 は第 2 の半導体層 5 5 の上面 5 5 b に接触していない。

【 0 0 9 3 】

半導体層 5 9、ソース電極 5 6 及びドレイン電極 5 7 は絶縁層 5 2 で覆われる。また、ソース電極 5 6 及びドレイン電極 5 7 上の絶縁層 5 2 には、貫通穴が設けられ、貫通孔内には、ソース電極 5 6 と電氣的に接続するソース引き出し電極 1 8 a、及びドレイン電極 5 7 と電氣的に接続するドレイン引き出し電極 1 8 b が形成される。ソース引き出し電極 1 8 a 及びドレイン引き出し電極 1 8 b は、導電性材料で形成される。ソース電極 5 6 及びドレイン電極 5 7 は、ソース引き出し電極 1 8 a 及びドレイン引き出し電極 1 8 b により絶縁層 5 2 の上面に引き出されている。

【 0 0 9 4 】

半導体層 5 9 の上方には絶縁層 5 2 を介してゲート電極 5 1 が形成される。

【 0 0 9 5 】

以上のように、本発明の実施の形態 4 は、基板 8 上に第 1 の障壁層である第 1 の半導体層 5 3、井戸層である第 3 の半導体層 5 4、第 2 の障壁層である第 2 の半導体層 5 5 の順に積層して構成された井戸型ポテンシャル構造の酸化物半導体層 5 9 と、酸化物半導体層 5 9 と電氣的に接続するソース電極 5 6 及びドレイン電極 5 7 と、酸化物半導体層 5 9 上

10

20

30

40

50

に形成されたゲート絶縁膜 5 2 と、酸化物半導体層 5 9 上にゲート絶縁膜 5 2 を介して形成されたゲート電極 5 1 とを備えた薄膜トランジスタであって、井戸層である第 3 の半導体層 5 4 は、上面視において第 2 の障壁層である第 2 の半導体層 5 5 で覆われていない領域を有し、ソース電極 5 6 又はドレイン電極 5 7 は、井戸層である第 3 の半導体層 5 4 の上面のうち第 2 の障壁層である第 2 の半導体層 5 5 で覆われていない領域に接触して形成されることを特徴とする。

【 0 0 9 6 】

このように構成することにより、トップゲート構造の薄膜トランジスタにおいても、井戸層である第 3 の半導体層 5 4 を厚くすること無く、ソース、ドレイン電極 5 6 , 5 7 間の電流の主となる第 3 の半導体層 5 4 とソース電極 5 6 及びドレイン電極 5 7 との接触面積を拡大することができる。その結果、プロセス時間の短縮が可能になるとともに、ソース電極 5 6、ドレイン電極 5 7 などの配線層の段差を低減することができる。

10

【 0 0 9 7 】

< 実施の形態 5 >

本発明は、エッチストッパー型の薄膜トランジスタにも適用できる。本発明の実施の形態 5 の薄膜トランジスタは、実施の形態 3 で示した薄膜トランジスタと比較して、半導体層上にエッチストッパー層を備える点が主に異なる。これ以外の構成は上述した実施の形態 3 と同様であるので、同一の要素については同一の符号を付し、その説明を繰り返さない。また、実施の形態 5 の薄膜トランジスタの動作は上述した実施の形態 3 と同様であるので、以下に説明する実施の形態 5 においても実施の形態 3 と同様の効果を奏する。以下

20

、図を用いて本発明の実施の形態 5 における薄膜トランジスタの構造について説明する。

【 0 0 9 8 】

図 1 7 は、本発明の実施の形態 5 による薄膜トランジスタ 3 0 0 の断面図である。図 1 7 に示す断面構造は、エッチストッパー型と呼ばれるものである。図に示すように、薄膜トランジスタ 3 0 0 は、基板 8、ゲート電極 1、絶縁層 2、半導体層 2 9、エッチストッパー層となる絶縁層 6 0、ソース電極 6 6、ドレイン電極 6 7 により構成される。なお、エッチストッパー層となる絶縁層 6 0 は、単にエッチストッパー層とも称する。

【 0 0 9 9 】

半導体層 2 9 の上部には、エッチストッパー層 6 0 が設けられている。エッチストッパー層 6 0 の幅は、上部障壁層である第 2 の半導体層 2 5 とほぼ同等であり、井戸層である第 3 の半導体層 2 4 より狭い。よって、第 3 の半導体層 2 4 の上面の一部は、第 2 の半導体層 2 5 及びエッチストッパー層 6 0 に覆われておらず、露出している。

30

【 0 1 0 0 】

ソース電極 6 6、ドレイン電極 6 7 は、半導体層 2 9 を構成する第 1 の半導体層 2 3、第 2 の半導体層 2 5、第 3 の半導体層 2 4 の端面（側面）と接触し、電気的に接続している。また、ソース電極 6 6 及びドレイン電極 6 7 は、第 3 の半導体層 2 4 の上面のうち露出している領域にも接触し、電気的に接続している。さらに、ソース電極 6 6 及びドレイン電極 6 7 は、エッチストッパー層 6 0 の端面及び上面の一部にも接触している。よって、ソース電極 6 6 及びドレイン電極 6 7 は、エッチストッパー層 6 0 の上面から下部障壁層である第 1 の半導体層 2 3 の端面の下端部に渡り、連続して接触するように形成されている。

40

【 0 1 0 1 】

ソース電極 6 6、ドレイン電極 6 7 は、図 1 7 において、紙面垂直方向全てに渡り同一構造である必要はなく、エッチストッパー層 6 0 の上面に接している箇所が紙面垂直方向において部分的に存在する構造でもよい。

【 0 1 0 2 】

また、必ずしも、ソース電極 6 6、ドレイン電極 6 7 がエッチストッパー層 6 0 の上面に接触している必要はなく、図 1 8 に示す薄膜トランジスタ 3 0 1 のように、ソース電極 1 6 6、ドレイン電極 1 6 7 がエッチストッパー層 6 0 の上面に接触していない構造であっても差し支えない。

50

【0103】

次に、本発明の実施の形態5による薄膜トランジスタ300の製造方法について説明する。図19(a)~(j)は、本発明の実施の形態5による薄膜トランジスタ300の製造フローのうち、実施の形態3の薄膜トランジスタの製造フローと異なる工程を抜粋し、模式的に示した模式図である。なお、図19(a)は、図10(e)と同一の工程を示す。

【0104】

まず、図19(a)に示すように、ゲート電極1の上方に形成したレジスト83aをマスクとして、第1の半導体層23、第3の半導体層24、第2の半導体層25の3層の酸化半導体層により構成される半導体層29をパターニングする。ここでは、パターニングは、PAN系のウェットエッチャントを用いて行ってもよいし、ドライエッチングで行ってもよい。

10

【0105】

次に、図19(b)、(c)に示すように、レジスト83a剥離後、半導体層29を覆うようにエッチングストッパー層60を形成する。エッチングストッパー層60は、通常、シリコン酸化膜で形成する。

【0106】

次に、図19(d)、(e)に示すように、半導体層29の上方に、除去したレジスト83aより幅の狭い別のレジスト83cを形成する。このレジスト83cをマスクとして、エッチングストッパー層60であるシリコン酸化膜及び第2の半導体層25のパターニングを行う。パターニングはドライエッチングで行う。このとき、第3の半導体層24が若干削れるが、完全になくならなければよい。この工程により、第3の半導体層24を覆う第2の半導体層25及びエッチングストッパー層60の一部が除去され、第3の半導体層24の上面の一部が露出する。

20

【0107】

その後、図19(f)、(g)に示すように、レジスト83cを除去し、電極となる金属膜86を基板1上の全面にスパッタ法などにより成膜する。金属膜86は、エッチングストッパー層60、半導体層29の端面及び上面の露出している領域に接触している。電極となる金属膜86は、Ti、Mo、ITOなどを用いて成膜してもよい。

【0108】

次に、図19(h)、(i)に示すように、半導体層29の上面の金属膜86をレジスト87による写真製版技術でエッチングし、ソース電極66及びゲート電極67を形成する。最後に、図19(j)に示すように、レジスト87を除去する。

30

【0109】

以上の工程により、エッチングストッパー層を備え、第1の半導体層23、第3の半導体層24、第2の半導体層25の端面にソース電極66及びゲート電極67を接触させた薄膜トランジスタ300を作製することができる。

【0110】

本発明の実施の形態5の薄膜トランジスタは、上部障壁層である第2の半導体層25上にエッチングストッパー層60を備え、井戸層である第3の半導体層24は、上面視において第2の障壁層である第2の半導体層25で覆われていない領域を有し、ソース電極66又はドレイン電極67は、井戸層である第3の半導体層24の上面のうち第2の障壁層である第2の半導体層25で覆われていない領域に接触していることが特徴である。

40

【0111】

このように、エッチングストッパー層60を備えた構造とすることで、ソース電極66、ドレイン電極67のパターニング時に第2の半導体層25の上面における欠陥の発生を抑制し、トランジスタのリーク電流を低減することができる。

【0112】

また、本実施の形態5では、図20に示す薄膜トランジスタ302のように、エッチングストッパー層60及び第2の半導体層25とソース電極266及びドレイン電極267

50

との間に空隙 30c, 30d を儲け、エッチングストッパー層 60 及び第 2 の半導体層 25 が、ソース電極 266 及びドレイン電極 267 と直接接しない構造を採用してもよい。このような構成とすることで、第 3 の半導体層 24 への電子の注入がソース電極 266、ドレイン電極 267 からに限定され、第 2 の半導体層 25 の膜質の影響を受けにくくなる。

【0113】

さらに、本実施の形態 5 の薄膜トランジスタの製造方法では、エッチングストッパー層となるシリコン酸化膜のパターニング工程を利用して上部障壁層である第 2 の半導体層 25 をエッチングすることができる。よって、新たな工程を追加することなく第 3 の半導体層 24 の上面を露出させることが可能になる。

10

【0114】

<実施の形態 6>

本発明の実施の形態 6 の薄膜トランジスタは、実施の形態 3 と比較して、製造方法が主に異なる。なお、実施の形態 6 の構成は上述した実施の形態 3 と同様であるので、同一の要素については同一の符号を付し、その説明を繰り返さない。また、実施の形態 6 の動作は上述した実施の形態 3 と同様であるので、以下に説明する実施の形態 6 に特有の効果の他に、実施の形態 3 と同様の効果も奏する。以下、図を用いて本発明の実施の形態 6 における薄膜トランジスタの製造方法について説明する。

【0115】

図 21(a) ~ (d) は、本発明の実施の形態 6 の薄膜トランジスタの製造フローのうち、実施の形態 3 の薄膜トランジスタ 200 の製造フローの製造フローと異なる工程を抜粋し、模式的に示した模式図である。なお、図 21(a) は、図 10(d) と同一の工程を示す。

20

【0116】

まず、図 21(a)、(b) に示すように、ゲート電極 1 の上方に形成したレジスト 83a をマスクとして、第 1 の半導体層 23、第 3 の半導体層 24、第 2 の半導体層 25 の 3 層の酸化物半導体層をパターニングする。具体的には、レジスト 83a をマスクとして PAN 系エッチャントでウェットエッチングを行うことでパターニングする。このとき、Ga リッチ組成の InGaZnO 系酸化物半導体層はエッチングレートが早いため、第 3 の半導体層 24 のエッチングよりも第 2 の半導体層 25 のエッチングが早く進み、図 21(c) に示すように、レジスト 83a の下部の第 2 の半導体層 25 がオーバーエッチングされる。その結果、第 3 の半導体層 24 の上面の一部を露出させることが可能になる。

30

【0117】

その後、図 21(d) に示すように、レジスト 83a を除去すると、実施の形態 3 の製造フローである図 10(i) と同一の状態となる。以降の工程は、実施の形態 3 と同様である。なお、実施の形態 4 のトップゲート構造の薄膜トランジスタ 205 においても同様に、第 2 の半導体層 25 のオーバーエッチングにより第 3 の半導体層 54 の上面の一部を露出させることができる。

【0118】

以上のように、実施の形態 6 の薄膜トランジスタの製造方法は、井戸層の上層に井戸層と比較してエッチングレートの早い、つまり、エッチングされやすい組成の障壁層を形成し、オーバーエッチングにより井戸層表面を露出させることにより、井戸層の上面にソース電極及びドレイン電極を配置する領域を形成することを特徴とする薄膜トランジスタの製造方法である。このように、ウェットエッチング時のオーバーエッチングを利用することで、図 10(g)、(h) に示すような写真製版の工程を追加すること無く、露出させた第 3 の半導体層 24 の上面にソース電極 26 及びゲート電極 27 を接触させた薄膜トランジスタを作製することが可能となる。

40

【0119】

さらに、第 1 の半導体層 23、第 2 の半導体層 25、第 3 の半導体層 24 の Ga 組成が、第 3 の半導体層 24 < 第 1 の半導体層 23 < 第 2 の半導体層 25 となるように構成して

50

もよい。例えば、井戸層である第3の半導体層24のGa比率を5%、下部障壁層である第1の半導体層23のGa比率を6%、上部障壁層である第2の半導体層25のGa比率を7%とする。Ga組成をこのような大小関係とすることで、第1の半導体層23のオーバーエッチングを抑制することが可能になる。

【0120】

<実施の形態7>

本発明の実施の形態7では、画素への電荷供給のスイッチとして本発明の実施の形態1から6における薄膜トランジスタを適用した液晶表示装置について説明する。本実施の形態では、実施の形態1の薄膜トランジスタ101を備えた液晶表示装置を示すが、実施の形態1から6で説明した各薄膜トランジスタ100, 102, 200, 201, 202, 203, 204, 205, 300, 301, 302を備えた構成であっても同様の効果を奏する。

10

【0121】

図22は、液晶表示装置の画素部の構成を模式的に示した平面図である。図23は、図22の切断面XXIIII-XXIIIから見た断面図である。図24は、図22に示す画素の等価回路を示す図である。なお、図22では、画素Pを構成する領域を太線の破線の矩形で示し、薄膜トランジスタ(画素トランジスタとも称する)Tを構成する領域を細線の破線の矩形で示している。

【0122】

図に示すように、本実施の形態7の液晶表示装置は、複数の画素電極94、複数の画素トランジスタT、複数のソース配線90、複数のゲート配線91、複数の補助容量配線92等を備えたアレイ基板と、カラーフィルタ等を備えたカラーフィルタ基板(図示せず)との間に液晶を挟持して構成される。図22においては、ゲート配線91、画素トランジスタTに含まれるゲート電極1、補助容量配線92等を覆うゲート絶縁膜2を透視して図示している。

20

【0123】

ゲート配線91は、互いに平行を成して直線状に延在している。ゲート配線91は自身の延在方向に直交する方向に突出した部分を有しており、その突出部分がゲート電極1を構成している。ソース配線90は、ゲート配線91と直交する方向に、互いに平行を成して直線状に延在している。言い換えると、複数のソース配線90は、ゲート配線91の延在方向に並んでいる。補助容量配線92は、ゲート配線91に隣接して配置され、ゲート配線91と平行に直線状に延在している。補助容量配線92は自身の延在方向に直交する方向に突出した部分を有しており、その突出部分が補助容量電極93を構成している。

30

【0124】

隣接する2本のソース配線90と隣接する2本のゲート配線91とで囲まれた領域に、1つの画素Pが規定される。また、ソース配線90とゲート配線91との交差点付近には、画素トランジスタTが設けられている。各画素Pは、補助容量電極93、画素電極94、画素トランジスタTから構成されている。画素トランジスタTは、図23に断面を示すように、ボトムゲート構造のトランジスタであり、画素電極94への電荷供給のスイッチの役割を担う。画素トランジスタTのドレイン電極107は、コンタクトホール95を介して画素電極94に接続されている。

40

【0125】

ここで、図24を用いて画素Pについて説明する。各画素Pには少なくとも1つの画素トランジスタTが設けられる。画素トランジスタTは、ゲート配線91とソース配線90との交差点近傍に配置されている。画素トランジスタTのゲート電極1はゲート配線91に接続され、画素トランジスタTのソース電極106はソース配線90に接続されている。画素トランジスタTのドレイン電極107は画素電極94に接続されている。

【0126】

画素電極94は、補助容量配線92に設けられた補助容量電極93との組み合わせによって補助容量96を構成している。また、画素電極94は、共通電極との組み合わせによ

50

って画素容量 97 を構成している。共通電極は図示していないが、TN方式等ではカラーフィルタ基板に設けられ、FFS方式、IPS方式等ではアレイ基板に設けられる。

【0127】

以上のように、本実施の形態7においては、実施の形態1～6で示した薄膜トランジスタを用いて液晶表示装置を構成した。このように、上述の実施の形態1～6の薄膜トランジスタを応用することで、実施の形態1～6と同様の効果が得られるので、動作の安定した液晶表示装置を実現することができる。

【0128】

なお、上述した実施の形態はすべての点で例示であって制限的なものではないと解されるべきである。本発明の範囲は、上述した実施の形態の範囲ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

10

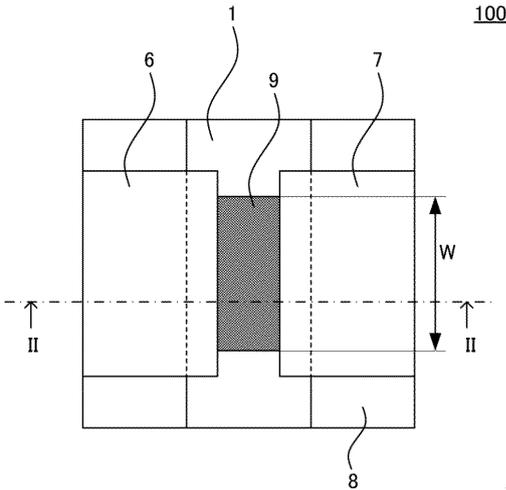
【符号の説明】

【0129】

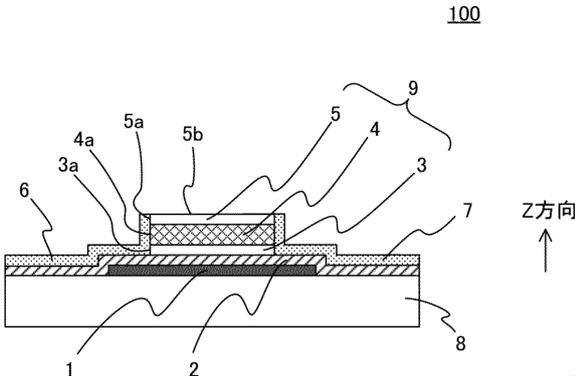
1 ゲート電極、2 絶縁層、3 第1の半導体層、4 第3の半導体層、5 第2の半導体層、6 ソース電極、7 ドレイン電極、8 基板、9 半導体層、11 ゲート電極、12 絶縁層、13 第1の半導体層、14 第3の半導体層、15 第2の半導体層、16 ソース電極、17 ドレイン電極、19 半導体層、30a 空隙、30b 空隙、30c 空隙、30d 空隙、40a 貫通穴、40b 貫通穴、52 絶縁層、52a 貫通穴、52b 貫通穴、60 エッチングストッパー層、83a レジスト、80b レジスト、80c レジスト。

20

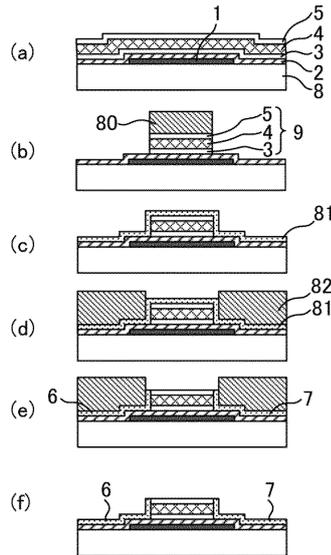
【図1】



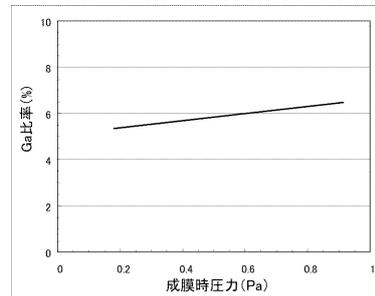
【図2】



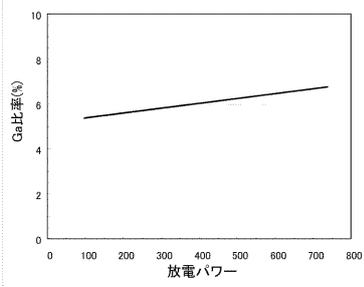
【図3】



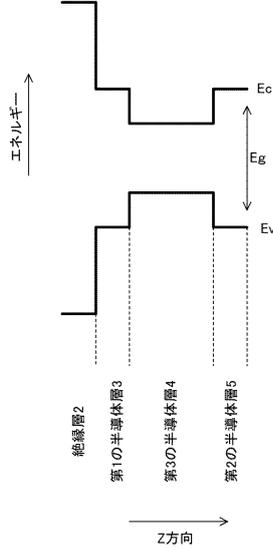
【図4】



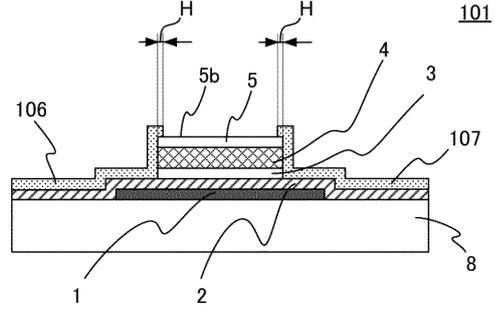
【図5】



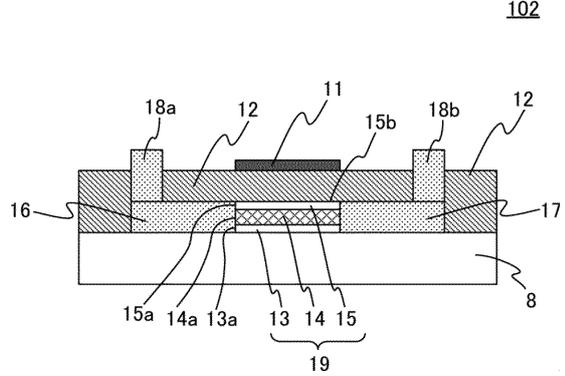
【図6】



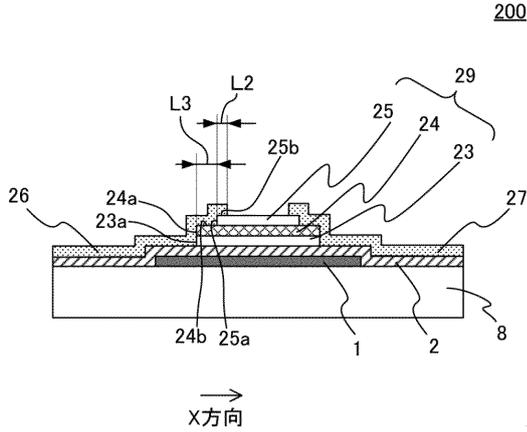
【図7】



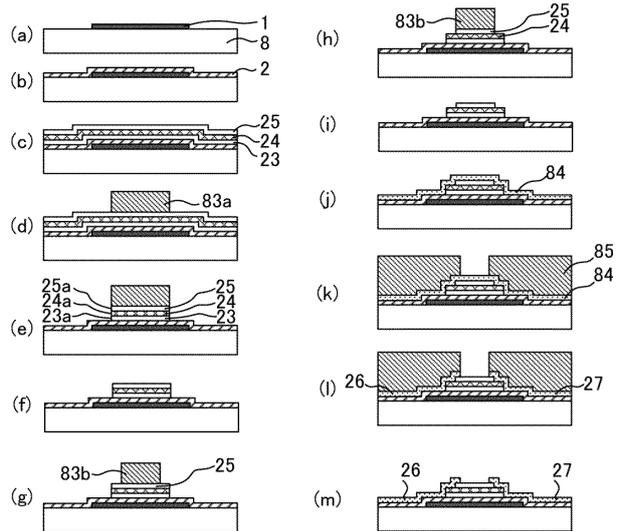
【図8】



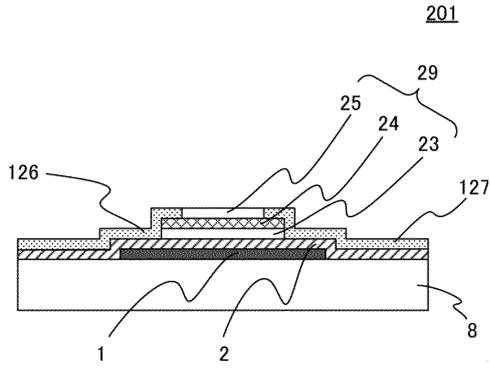
【図9】



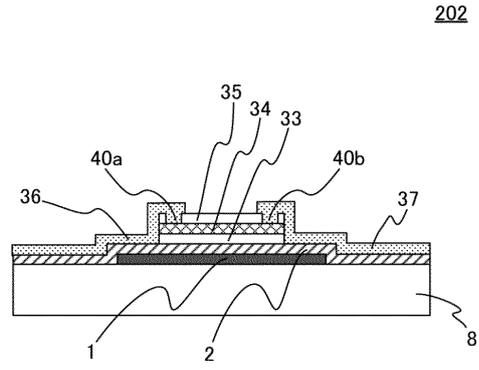
【図10】



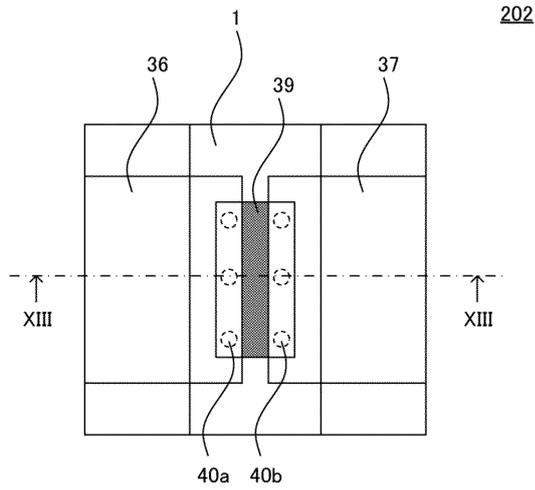
【図11】



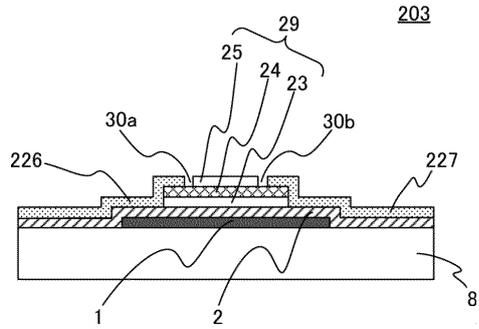
【図13】



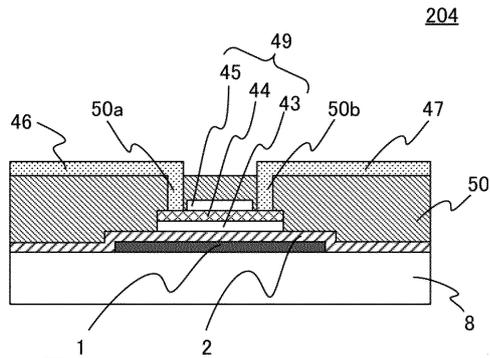
【図12】



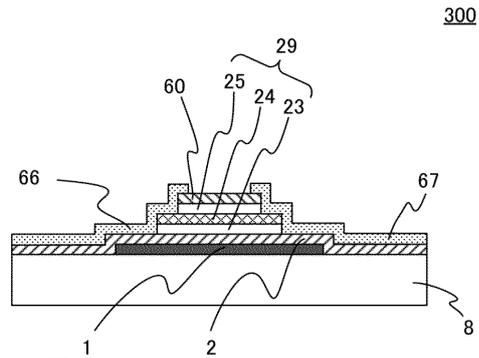
【図14】



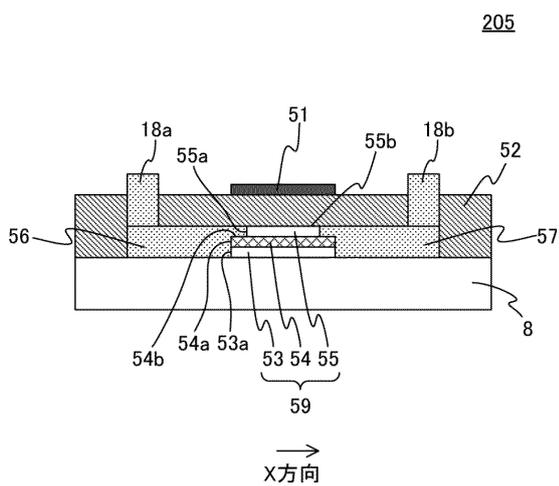
【図15】



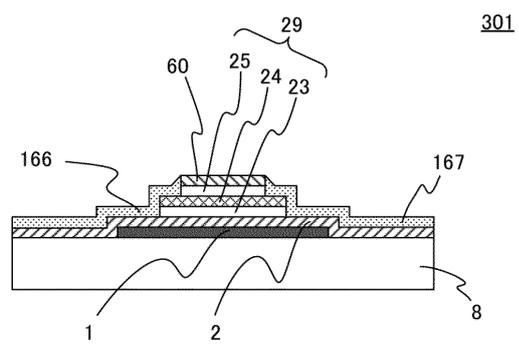
【図17】



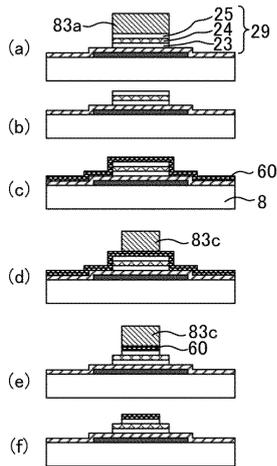
【図16】



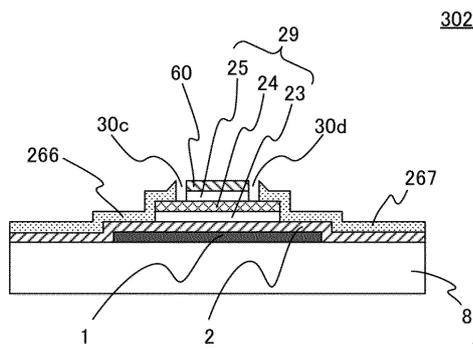
【図18】



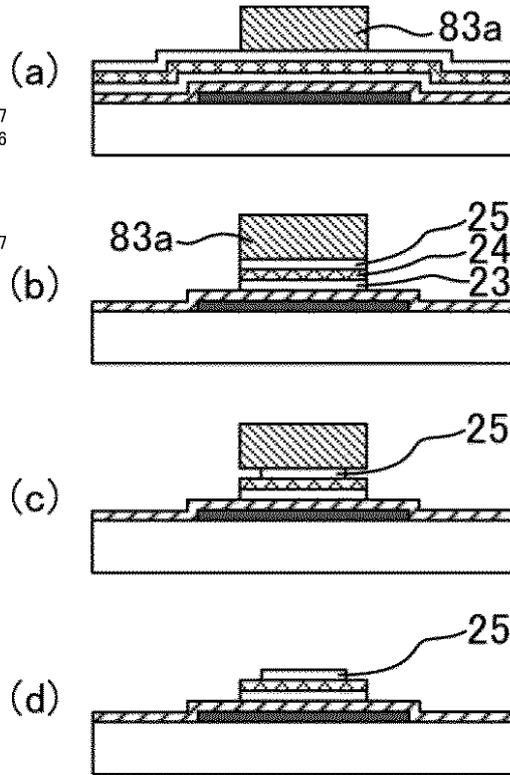
【図19】



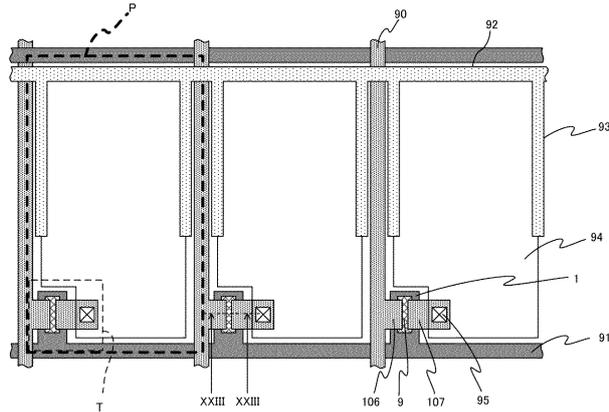
【図20】



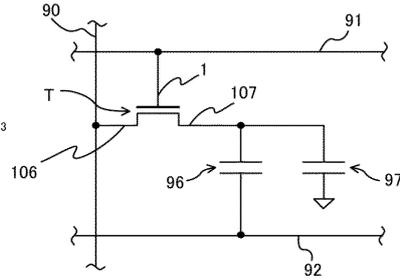
【図21】



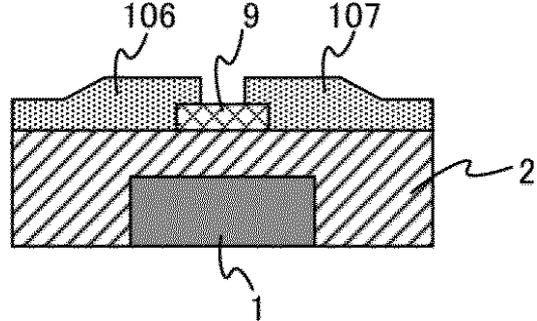
【図22】



【図24】



【図23】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 3 0 1 R
H 0 1 L 29/44 L
G 0 2 F 1/1368
H 0 1 L 29/78 6 1 9 A

(72)発明者 中川 直紀
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(72)発明者 井上 和式
熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内
(72)発明者 小田 耕治
熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 岩本 勉

(56)参考文献 特開2013-038402(JP,A)
特開2014-205902(JP,A)
特開2014-042013(JP,A)
特開2014-099595(JP,A)
特開2011-243745(JP,A)
特開2011-124360(JP,A)
特開平05-226376(JP,A)
特開2011-187506(JP,A)
米国特許出願公開第2014/0103346(US,A1)
米国特許出願公開第2011/0140100(US,A1)
特開2015-216282(JP,A)
特開2015-015458(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6