

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 142 603

21 N° d'enregistrement national : 22 12439

51 Int Cl⁸ : H 01 L 27/07 (2023.01), H 01 L 23/18

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.11.22.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 31.05.24 Bulletin 24/22.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

71 Demandeur(s) : STMicroelectronics (Crolles 2) SAS Société par actions simplifiée (SAS) — FR et STMICROELECTRONICS SA Société anonyme — FR.

72 Inventeur(s) : EL DIRANI Houssein, MASTARI Marouane et NSIBI Mohamed Ali.

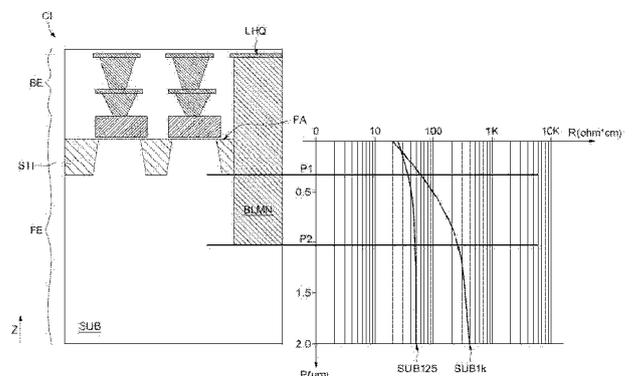
73 Titulaire(s) : STMicroelectronics (Crolles 2) SAS Société par actions simplifiée (SAS), STMICROELECTRONICS SA Société anonyme.

74 Mandataire(s) : CASALONGA.

54 Circuit intégré comportant un composant passif dans une partie d'interconnexion, procédé de fabrication correspondant.

57 Le circuit intégré comporte un substrat semiconducteur (SUB) ayant une face avant (FA) comportant des structures d'isolation (STI) s'étendant verticalement dans le substrat depuis la face avant jusqu'à une première profondeur (P1), et une partie d'interconnexion (BE) comprenant des niveaux de métaux incorporant au moins un composant passif (LHQ), au-dessus de la face avant (FA) du substrat. Le circuit intégré comporte en outre une structure diélectrique (BLMN) alignée verticalement avec la position dudit au moins un composant passif (LHQ), et s'étendant verticalement dans le substrat depuis la face avant jusqu'à une deuxième profondeur (P2) supérieure à la première profondeur (P1).

Figure pour l'abrégié : Fig 8



FR 3 142 603 - A1



Description

Titre de l'invention : Circuit intégré comportant un composant passif dans une partie d'interconnexion, procédé de fabrication correspondant.

- [0001] Des modes de réalisation et de mise en œuvre concernent les circuits intégrés, en particulier les circuits intégrés comportant un composant passif dans une partie d'interconnexions, et les procédés de fabrication de tels circuits intégrés.
- [0002] La partie d'interconnexion comporte classiquement des niveaux de métaux, comportant des pistes d'interconnexion et des via reliant verticalement les pistes d'un niveau à un autre.
- [0003] La partie d'interconnexion est typiquement réalisée au-dessus d'un substrat semi-conducteur du circuit intégré.
- [0004] Les composants passifs, tels qu'en particulier des bobines ou des éléments inductifs, peuvent être typiquement réalisés dans l'un des derniers niveaux de métaux de la partie d'interconnexion.
- [0005] Ils présentent conventionnellement un facteur de qualité qui dépend de la résistivité du substrat semiconducteur situé en regard de leurs positions dans le niveau de métal.
- [0006] En particulier, en raison de pertes dans le substrat, le facteur de qualité des composants passifs diminue lorsque la résistivité du substrat est plus faible, et augmente lorsque la résistivité du substrat est plus élevée.
- [0007] Cela étant, une augmentation de la résistivité du substrat semiconducteur ne permet classiquement pas d'améliorer le facteur de qualité des composants passifs.
- [0008] En effet la résistivité du substrat près de la face avant diminue grandement à cause de « budgets thermiques » ou « recuits », typiquement appliqués dans le substrat semi-conducteur lors de la fabrication du circuit intégré.
- [0009] Ainsi, il existe un besoin d'améliorer les performances, notamment d'augmenter le facteur de qualité, des composants passifs des circuits intégrés.
- [0010] Selon un aspect, il est proposé à cet égard un circuit intégré comportant un substrat semiconducteur ayant une face avant comportant des structures d'isolation s'étendant verticalement dans le substrat depuis la face avant jusqu'à une première profondeur.
- [0011] Le circuit intégré comprend également une partie d'interconnexion comprenant des niveaux de métaux incorporant au moins un composant passif, au-dessus de la face avant du substrat.
- [0012] Le circuit intégré comporte en outre une structure diélectrique alignée verticalement avec la position dudit au moins un composant passif, et s'étendant verticalement dans le substrat depuis la face avant jusqu'à une deuxième profondeur supérieure à la

première profondeur.

- [0013] En effet, en fonction de la résistivité nominale (c'est-à-dire par exemple avant les recuits) du substrat semiconducteur, la résistivité du substrat augmente en s'enfonçant verticalement dans la profondeur d'une manière avantageuse, par rapport à la résistivité au niveau de la face avant, dès l'ordre de grandeur de la profondeur des structures d'isolation conventionnelles.
- [0014] Par exemple, les structures d'isolation peuvent être des tranchées d'isolation peu profondes (usuellement « STI » pour « Shallow Trench Isolation » en anglais).
- [0015] Ces structures d'isolation telles que des tranchées d'isolation peu profondes, peuvent avoir une première profondeur de l'ordre de quelques centaine(s) de nanomètre « nm », par exemple 300 nm, ou entre 100 nm et 500 nm.
- [0016] Une deuxième profondeur, par exemple de l'ordre de 500 nm à 1 micromètre « μm », peut permettre d'augmenter d'un facteur 2 à 10, en fonction de la résistivité nominale du substrat semiconducteur, la résistivité du substrat semiconducteur par rapport à la résistivité prise au niveau de face avant.
- [0017] Ainsi, selon un mode de réalisation, la deuxième profondeur peut être choisie de sorte que la résistivité du substrat semiconducteur au niveau de la deuxième profondeur soit au moins une fois et demi plus grande que la résistivité du substrat au niveau de la première profondeur, voire au moins deux fois plus grande, voire même quatre à cinq fois plus grande.
- [0018] Par exemple à cet égard, la première profondeur est comprise entre 0,1 μm (micromètre) et 0,5 μm (micromètre) et la deuxième profondeur est comprise entre 0,3 μm (micromètre) et 1,5 μm (micromètre).
- [0019] Selon un mode de réalisation, ladite structure diélectrique comporte un bloc monolithique d'un matériau diélectrique.
- [0020] Un tel bloc monolithique peut occuper un volume situé verticalement depuis le niveau de métal du composant passif de la partie d'interconnexion jusqu'à ladite deuxième profondeur du substrat.
- [0021] Selon un autre mode de réalisation, ladite structure diélectrique comporte un bloc monolithique d'un matériau diélectrique, qui peut occuper un volume situé verticalement depuis l'un des niveaux de métaux de la partie d'interconnexion, entre la face avant du substrat et le niveau de métal du composant passif, jusqu'à ladite deuxième profondeur du substrat.
- [0022] Par exemple, le bloc monolithique de matériau diélectrique peut être en dioxyde de silicium ou en un matériau à faible constante diélectrique relative.
- [0023] Les matériaux à faible constante diélectrique relative sont usuellement nommés « low-k » ou « low- κ » (« low-kappa ») selon le vocable anglais usuel et sont parfaitement connus de l'homme de l'art.

- [0024] Selon un autre aspect, il est également proposé un procédé de fabrication d'un circuit intégré comprenant :
- une formation de structures d'isolation dans un substrat semiconducteur s'étendant verticalement depuis une face avant du substrat jusqu'à une première profondeur,
 - une formation, au-dessus de la face avant du substrat, d'une partie d'interconnexion comportant des niveaux de métaux incorporant au moins un composant passif, comprenant, avant la formation dudit composant passif, une formation d'une structure diélectrique s'étendant verticalement dans le substrat depuis la face avant jusqu'à une deuxième profondeur supérieure à la première profondeur, et alignée verticalement avec la position du future composant passif.
- [0025] Selon un mode de mise en œuvre pouvant être considéré indépendamment, la deuxième profondeur est choisie de sorte que la résistivité du substrat semiconducteur au niveau de la deuxième profondeur soit au moins une fois et demi plus grande que la résistivité du substrat au niveau de la première profondeur, voire au moins deux fois plus grande, voire même quatre à cinq fois plus grande.
- [0026] Par exemple, la première profondeur est comprise entre 0,1 μm (micromètre) et 0,5 μm (micromètre) et la deuxième profondeur est comprise entre 0,3 μm (micromètre) et 1,5 μm (micromètre).
- [0027] Selon un mode de mise en œuvre, ladite formation de la structure diélectrique comprend une formation d'un bloc monolithique d'un matériau diélectrique.
- [0028] Ce bloc monolithique peut occuper un volume situé verticalement depuis le niveau de métal du composant passif de la partie d'interconnexion jusqu'à ladite deuxième profondeur du substrat.
- [0029] Par exemple, la formation du bloc monolithique comprend
- une étape de gravure retirant ledit volume dans tous les niveaux de métaux de la partie d'interconnexion au-dessous du niveau de métal du composant passif, et jusqu'à la deuxième profondeur du substrat,
 - un remplissage du volume avec le matériau diélectrique, et
 - un retrait d'un excès de matériau diélectrique aplani au niveau dudit niveau de métal du composant passif.
- [0030] Selon un mode de mise en œuvre, ladite formation de la structure diélectrique comprend une formation d'un bloc monolithique d'un matériau diélectrique.
- [0031] Ce bloc monolithique peut, dans ce mode de mise en œuvre, occuper un volume situé verticalement depuis l'un des niveaux de métaux de la partie d'interconnexion, entre la face avant du substrat et le niveau de métal du composant passif, jusqu'à ladite deuxième profondeur du substrat.
- [0032] Par exemple, la formation du bloc monolithique comprend
- une gravure dudit volume dans tous les niveaux de métaux de la partie

d'interconnexion au-dessous dudit niveau de métal de la partie d'interconnexion, et jusqu'à la deuxième profondeur du substrat,
 -un remplissage du volume avec le matériau diélectrique, et
 -un retrait d'un excès de matériau diélectrique aplani au niveau dudit niveau de métal de la partie d'interconnexion.

- [0033] Par exemple, ledit bloc monolithique de matériau diélectrique est en dioxyde de silicium.
- [0034] D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de mode de réalisation et de mise en œuvre, nullement limitatifs, et des dessins annexés, sur lesquels :
- [0035] [Fig.1], et
- [0036] [Fig.2], et
- [0037] [Fig.3], et
- [0038] [Fig.4], et
- [0039] [Fig.5], et
- [0040] [Fig.6], et
- [0041] [Fig.7], et
- [0042] [Fig.8] illustrent schématiquement des modes de réalisation et de mise en œuvre de l'invention.
- [0043] Les figures 1 à 4 illustrent des étapes d'un exemple de mise en œuvre d'un procédé de fabrication d'un circuit intégré CI comportant un élément passif LHQ, en particulier un élément inductif à haut facteur de qualité.
- [0044] La [Fig.1] illustre schématiquement une vue en coupe du circuit intégré CI après une étape 100 de formation de la partie d'interconnexion BE.
- [0045] La partie d'interconnexion BE est usuellement désignée par extension par l'acronyme « BEOL » des termes anglais « Back End Of Line » (littéralement « fin de ligne (de production) »).
- [0046] Cet acronyme « BEOL » désigne les étapes de fabrication de la partie d'interconnexion BE, comportant un réseau de pistes conductrices en métal pour acheminer les signaux du circuit intégré CI.
- [0047] Préalablement à la partie d'interconnexion BE, une partie semiconductrice FE du circuit intégré CI a été formée, à partir d'une face avant FA d'un substrat semi-conducteur SUB.
- [0048] La partie semiconductrice FE est usuellement désignée par extension par l'acronyme « FEOL » des termes anglais « Front End Of Line » (littéralement « début de ligne (de production) »).
- [0049] Cet acronyme « FEOL » désigne les étapes de fabrication de la partie semiconductrice FE, effectuées dans le substrat SUB du côté de la face avant FA et sur la face

avant FA.

- [0050] La partie semiconductrice FE comporte notamment des éléments actifs, tels que des transistors TM de type métal oxide semiconducteur « MOS » et/ou des transistors bipolaires TB.
- [0051] En outre, la partie semiconductrice FE comporte des structures d'isolation STI, dont la formation est usuellement mise en œuvre lors des toutes premières étapes de fabrication du circuit intégré CI.
- [0052] Les structures d'isolation STI sont typiquement prévues pour isoler latéralement les composants actifs au niveau de la face avant FA, et ainsi délimiter des « régions actives » dans le substrat SUB.
- [0053] Les structures d'isolation STI s'étendent à cet égard verticalement dans le substrat SUB depuis la face avant FA jusqu'à une première profondeur P1.
- [0054] Par exemple, les structures d'isolation STI peuvent être des tranchées d'isolation peu profondes (usuellement en anglais « Shallow Trench Isolation »).
- [0055] La formation de ces tranchées d'isolation peu profondes comprend une gravure de tranchées ouvertes depuis la face avant FA, puis un remplissage de ces tranchées ouvertes par un matériau diélectrique tel que le dioxyde de silicium.
- [0056] Par ailleurs, les étapes de formation de la partie semiconductrice FE comportent typiquement des étapes de recuit, nécessitant des « budgets thermiques », comprenant des traitements à hautes températures de durées variables.
- [0057] Les différentes étapes de recuit ont tendance à faire baisser la résistivité du substrat SUB au niveau de la face avant FA, notamment en raison de phénomène de migration des dopants du substrat SUB.
- [0058] L'allure de la réduction de la résistivité R suivant la profondeur P du substrat SUB est par exemple illustrée à la [Fig.8].
- [0059] Les étapes de formations de la partie semiconductrice FE s'achèvent par une formation d'une couche d'oxide pré-métal PMD recouvrant la face avant FA et englobant les éléments (par exemple des transistors TM, TB) formés sur la face avant FA.
- [0060] Des contacts métalliques verticaux sont prévus pour connecter électriquement les éléments de la partie semiconductrice FE.
- [0061] La partie d'interconnexion BE est formée au-dessus de la face avant FA du substrat SUB, sur la couche d'oxide pré-métal PMD ainsi formée.
- [0062] On peut considérer que la couche diélectrique pré-métal PMD appartient à la partie d'interconnexion BE.
- [0063] On définit, dans la direction verticale Z perpendiculaire à la face avant FA du substrat SUB, le dessus de la face avant FA dans le sens dirigé vers l'extérieur du substrat SUB, et le dessous dans le sens dirigé de la face avant FA vers l'intérieur du

substrat SUB.

- [0064] La partie d'interconnexion BE comporte des niveaux de métaux M1, ..., M5, comportant des pistes métalliques PM5 situées dans des couches de diélectriques inter-métal IMD, usuellement en oxide de silicium.
- [0065] Les pistes métalliques PM5 de chaque niveau sont typiquement réalisées par un procédé damascène comprenant un remplissage à l'excès d'ouvertures gravées dans la couche diélectrique inter-métal IMD, avec du métal en fusion.
- [0066] L'excès de métal au-dessus de la couche diélectrique IMD est retiré par aplatissement, typiquement par polissage chimio-mécanique « CMP » (pour « Chemical-Mechanical Polishing » en anglais), stoppé par une couche d'arrêt AR, typiquement en nitrure de silicium.
- [0067] Les pistes métalliques de niveaux de métaux successifs peuvent être reliées par des via verticaux V5, réalisés dans des niveaux de via MV5.
- [0068] Les niveaux de via MV5 sont une dénomination particulière pour des niveaux de métaux de la même nature que ceux qui contiennent des pistes métalliques PM5.
- [0069] Dans l'étape 100, la structure du circuit intégré CI est ainsi classiquement prête pour une formation du niveau de métal M6 qui contiendra un composant passif LHQ, à une position connue.
- [0070] Les figures 2 et 3 illustrent des étapes 200, 300 d'une formation d'une structure diélectrique BLMN, avant la formation 400 dudit niveau de métal M6 qui contiendra un composant passif LHQ.
- [0071] La structure diélectrique BLMN s'étend verticalement dans le substrat depuis la face avant FA jusqu'à une deuxième profondeur P2 supérieure à la première profondeur P1, et est alignée verticalement avec la position du future composant passif LHQ.
- [0072] La [Fig.2] illustre une étape 200 de gravure retirant un volume dans tous les niveaux de métaux MV5, M5, ..., M1 de la partie d'interconnexion BE au-dessus du niveau de métal M6 du composant passif, et dans la couche diélectrique pré-métal PMD ainsi que les tranchées d'isolation peu profondes STI jusque dans le substrat SUB à la deuxième profondeur P2.
- [0073] Par exemple la hauteur verticale h de la gravure peut être de l'ordre d'une dizaine de micromètre « μm », par exemple entre 5 μm et 15 μm .
- [0074] La largeur w de la gravure correspond à la largeur de la piste métallique du composant passif LHQ, par exemple une piste formant une spire d'un élément inductif, peut être comprise entre 1 μm et 25 μm .
- [0075] Bien entendu, les valeurs de la hauteur h et de la largeur w ne sont pas limitées, et dépendent du choix de réalisation du composant passif, y compris l'épaisseur des niveaux de métaux gravés.
- [0076] La technique de gravure, par exemple du type gravure par ions réactifs profonde

(usuellement « DRIE » pour « Deep Reactive Ion Etching » en anglais), pourra être choisie et adaptée de manière à être capable de graver une largeur w donnée jusqu'à une profondeur h donnée.

- [0077] La [Fig.3] illustre une étape 300 de formation de la structure diélectrique BLMN du type damascène, comportant
- un remplissage du volume gravé avec un matériau diélectrique, et
 - un retrait d'un excès du matériau diélectrique aplani au niveau du niveau de métal M6 du composant passif.
- [0078] Par exemple, le remplissage du volume gravé avec le matériau diélectrique BLMN peut être fait par une technique de dépôt de diélectrique à haute densité par plasma « HDPD » (pour « High Density Plasma Deposition » en anglais), par exemple un dépôt chimique en phase vapeur de dioxyde de silicium.
- [0079] L'excès du matériau diélectrique BLMN au-dessus de la dernière couche de diélectrique inter-métal IMD_MV5, est là-aussi retiré par aplanissement du type polissage chimio-mécanique « CMP » (pour « Chemical-Mechanical Polishing » en anglais), stoppé par la couche d'arrêt AR_MV5 en nitrure de silicium.
- [0080] Par exemple, le matériau diélectrique BLMN est du dioxyde de silicium, ou bien un matériau à faible constante diélectrique relative, usuellement nommé « low-k » ou « low- κ » (« low-kappa ») selon le vocable anglais usuel et sont parfaitement connus de l'homme de l'art.
- [0081] Les matériaux « low-k » désignent l'ensemble des matériaux diélectriques pouvant être utilisés dans l'industrie de la microélectronique et qui ont une constante diélectrique relative « k » ou « κ » (kappa) inférieure à la constante diélectrique relative du dioxyde de silicium.
- [0082] Ainsi on a formé un bloc monolithique de matériau diélectrique BLMN.
- [0083] Ce bloc monolithique de matériau diélectrique BLMN occupe le volume situé verticalement depuis le niveau de métal M6 du composant passif LHQ de la partie d'interconnexion BE jusqu'à la deuxième profondeur P2 du substrat.
- [0084] En effet, ces étapes 200-300 de type damascène,
- aboutissent à une formation du matériau diélectrique d'un seul tenant et homogène, constituant ainsi un bloc monolithique BLMN du matériau diélectrique ;
 - contrairement par exemple à la structure de la partie d'interconnexion BE environnante qui comporte une succession de couches d'oxyde de silicium IMD et de nitrure de silicium AR (et, par ailleurs, des pistes et via métalliques)
- [0085] La [Fig.4] illustre un dispositif après une étape 400 de formation du niveau de métal M6 comportant le composant passif LHQ.
- [0086] Ce niveau de métal M6 comporte des pistes métalliques PM6 réalisées par des procédés damascènes identiques au procédé décrit en relation avec la [Fig.1] pour la

formation des pistes métalliques PM5.

- [0087] Par exemple, parmi les pistes métalliques PM6, une structure telle qu'un enroulement d'au moins une boucle, permet de réaliser le composant passif LHQ du type élément inductif.
- [0088] Les figures 5 à 7 illustrent un exemple d'alternative du procédé de fabrication décrit en relation avec les figures 1 à 4.
- [0089] Les éléments de l'exemple des figures 5 à 7 qui sont communs avec l'exemple des figures 1 à 4 supportent les mêmes références et ne seront pas tous détaillés à nouveau.
- [0090] La [Fig.5] illustre un dispositif après une étape 500 de cette alternative, dans laquelle on grave l'ouverture du volume accueillant le bloc monolithique juste avant la formation de la première couche de métal M1.
- [0091] Ainsi, l'ouverture est gravée dans le diélectrique pré-métal IMD, dans les tranchées d'isolation peu profondes STI et dans le substrat semiconducteur SUB, jusqu'à la deuxième profondeur P2 (supérieure à la première profondeur P1 des tranchées d'isolation peu profondes STI).
- [0092] On peut également graver l'ouverture de l'étape 500 dans tous les niveaux de métaux, depuis l'un quelconque des niveaux de métaux de la partie d'interconnexion BE situé entre la face avant FA du substrat SUB et le niveau de métal M6 comportant le composant passif LHQ, jusqu'à la deuxième profondeur P2 dans le substrat SUB.
- [0093] La [Fig.6] illustre un dispositif après une étape 600 de remplissage du volume de l'ouverture gravée à l'étape 500, avec le matériau diélectrique BLMN2, et un retrait d'un excès de matériau diélectrique aplani au niveau dudit niveau de métal M1 de la partie d'interconnexion.
- [0094] Ainsi, on a formé un bloc monolithique de matériau diélectrique BLMN.
- [0095] Ce bloc monolithique de matériau diélectrique BLMN occupe le volume situé verticalement depuis l'un des niveaux de métaux (par exemple depuis le premier niveau de métal M1) de la partie d'interconnexion BE, entre la face avant FA du substrat SUB et le niveau de métal M6 du composant passif LHQ, jusqu'à la deuxième profondeur P2 du substrat.
- [0096] La [Fig.7] illustre un dispositif après une étape 700 à laquelle tous les niveaux de métaux subséquents, jusqu'au niveau de métal M6 comportant le composant passif LHQ, ont été formés.
- [0097] Le composant passif LHQ est tel que décrit précédemment en relation avec la [Fig.4].
- [0098] L'alternative décrite en relation avec les figures 5 à 7 présente en particulier l'avantage de graver une hauteur h2 plus petite, et donc mise en œuvre dans une durée moins longue.
- [0099] Mais cette alternative présente l'inconvénient, par rapport au procédé décrit en relation avec les figures 1 à 4, que le substrat SUB pourra endurer des étapes de recuit

postérieurement à la formation du bloc monolithique diélectrique BLMN, lors de la formation de la partie d'interconnexion BE.

[0100] Cela étant, les recuits de la partie d'interconnexion BE sont typiquement moins importants que ceux de la partie semiconductrice FE.

[0101] Ils engendrent également une moins grande réduction de la résistivité du substrat en surface.

[0102] Dans une troisième alternative, la gravure pour former le bloc monolithique diélectrique BLMN peut être faite avant la formation des transistors TB, TM, par exemple au moment où sont faites les tranchées d'isolation peu profondes STI.

[0103] La [Fig.8] illustre schématiquement le circuit intégré CI obtenu par les procédés décrit précédemment en relation avec les figures 1 à 4 et 5 à 7.

[0104] Le circuit intégré CI comporte en particulier la structure diélectrique BLMN alignée verticalement avec la position dudit composant passif LHQ, et s'étendant verticalement dans le substrat SUB depuis la face avant FA jusqu'à une deuxième profondeur P2 supérieure à la première profondeur P1.

[0105] La [Fig.8] montre en outre, en partie droite, un graphique représentant la résistivité R de deux exemples de substrat SUB125, SUB1k, en ohms-centimètres « ohm*cm », en fonction de la profondeur P dans le substrat, en micromètre « μm ».

[0106] Les deux exemples de substrat SUB125, SUB1k correspondent à des substrats ayant des résistivités nominales, c'est-à-dire sommairement la résistivité en tout point du substrat avant les phases de recuit, respectives de 125 ohm*cm pour un substrat de « moyenne résistivité » SUB125, et de 1000 ohm*cm pour un substrat de « haute résistivité » SUB1k.

[0107] En pratique, après les phases de recuits, la résistivité R des substrats SUB125, SUB1k augmente en s'enfonçant verticalement dans la profondeur P, d'une manière avantageuse par rapport à la résistivité au niveau de la face avant FA, dès sensiblement 1 μm , voire dès 0,5 μm .

[0108] L'axe de la profondeur P est aligné sur le schéma du circuit intégré CI, en particulier au point d'origine $P=0 \mu\text{m}$ au niveau de la face avant FA du substrat SUB.

[0109] La première profondeur P1 des structures d'isolation latérales STI peut être de l'ordre de quelques dixièmes de micromètres, par exemple 0,3 μm , ou entre 0,1 μm et 0,5 μm .

[0110] A la première profondeur P1,

-la résistivité du substrat de moyenne résistivité SUB125 est par exemple de 20 à 25 ohm*cm ; et

-la résistivité du substrat de haute résistivités SUB1k est par exemple de 50 ohm*cm.

[0111] La deuxième profondeur P2 est plus grande que la première profondeur P1.

Cette deuxième profondeur P2 est avantageusement choisie de sorte que la résistivité

du substrat semiconducteur SUB au niveau de la deuxième profondeur P2 soit au moins deux fois plus grande que la résistivité du substrat au niveau de la face avant FA, pour « P=0 ».

- [0112] A une deuxième profondeur P2 de 1 μm ,
- la résistivité du substrat SUB125 peut par exemple être de l'ordre de 40 $\text{ohm}\cdot\text{cm}$; et
 - la résistivité du substrat de haute résistivités SUB1k est par exemple de 250 $\text{ohm}\cdot\text{cm}$.
- [0113] Ainsi, en gravant le silicium du substrat SUB dans la profondeur, la résistivité vue par le composant passif LHQ, en particulier un élément inductif, est plus élevée et les fuites sont plus faibles, de sorte que le facteur de qualité du composant passif a été augmenté.

Revendications

- [Revendication 1] Circuit intégré comportant un substrat semiconducteur (SUB) ayant une face avant (FA) comportant des structures d'isolation (STI) s'étendant verticalement dans le substrat depuis la face avant jusqu'à une première profondeur (P1), et une partie d'interconnexion (BE) comprenant des niveaux de métaux incorporant au moins un composant passif (LHQ), au-dessus de la face avant (FA) du substrat, le circuit intégré comportant en outre une structure diélectrique (BLMN) alignée verticalement avec la position dudit au moins un composant passif (LHQ), la structure diélectrique s'étendant verticalement dans le substrat depuis la face avant jusqu'à une deuxième profondeur (P2) supérieure à la première profondeur (P1).
- [Revendication 2] Circuit intégré selon la revendication 1, dans lequel la deuxième profondeur (P2) est choisie de sorte que la résistivité du substrat semiconducteur (SUB) au niveau de la deuxième profondeur est au moins une fois et demi plus grande que la résistivité du substrat au niveau de la première profondeur (P1).
- [Revendication 3] Circuit intégré selon l'une des revendications 1 ou 2, dans lequel la première profondeur (P1) est comprise entre 0,1 μm et 0,5 μm et la deuxième profondeur (P2) est comprise entre 0,3 μm et 1,5 μm .
- [Revendication 4] Circuit intégré selon l'une des revendications 1 à 3, dans lequel ladite structure diélectrique comporte un bloc monolithique (BLMN) d'un matériau diélectrique, occupant un volume situé verticalement depuis le niveau de métal (M6) du composant passif de la partie d'interconnexion jusqu'à ladite deuxième profondeur (P2) du substrat.
- [Revendication 5] Circuit intégré selon l'une des revendications 1 à 3, dans lequel ladite structure diélectrique comporte un bloc monolithique (BLMN) d'un matériau diélectrique, occupant un volume situé verticalement depuis l'un des niveaux de métaux (M1) de la partie d'interconnexion, entre la face avant du substrat (FA) et le niveau de métal (M6) du composant passif, jusqu'à ladite deuxième profondeur (P2) du substrat.
- [Revendication 6] Circuit intégré selon l'une des revendications 4 ou 5, dans lequel ledit bloc monolithique (BLMN) de matériau diélectrique est en dioxyde de silicium ou en un matériau à faible constante diélectrique relative.
- [Revendication 7] Procédé de fabrication d'un circuit intégré comprenant :
- une formation de structures d'isolation (STI) dans un substrat semiconducteur (SUB) s'étendant verticalement depuis une face avant (FA)

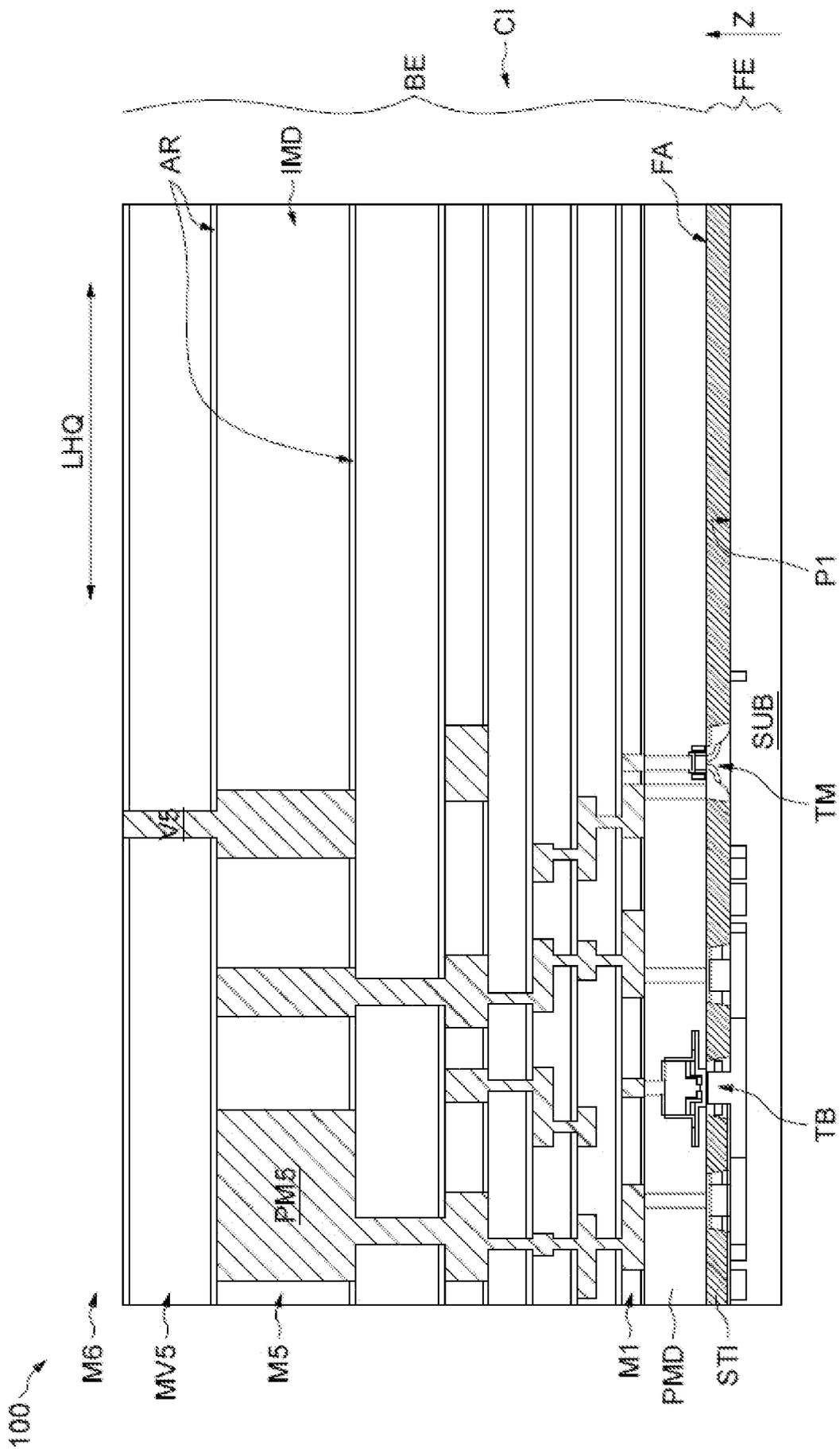
du substrat jusqu'à une première profondeur (P1),
 - une formation, au-dessus de la face avant (FA) du substrat, d'une partie d'interconnexion (BE) comportant des niveaux de métaux incorporant au moins un composant passif (LHQ), comprenant, avant la formation dudit composant passif (LHQ), une formation d'une structure diélectrique (BLMN) s'étendant verticalement dans le substrat depuis la face avant jusqu'à une deuxième profondeur (P2) supérieure à la première profondeur (P1), et alignée verticalement avec la position du future composant passif (LHQ).

- [Revendication 8] Procédé selon la revendication 7, dans lequel la deuxième profondeur (P2) est choisie de sorte que la résistivité du substrat semiconducteur au niveau de la deuxième profondeur est au moins une fois et demi plus grande que la résistivité du substrat au niveau de la première profondeur (P1).
- [Revendication 9] Procédé selon l'une des revendications 7 ou 8, dans lequel la première profondeur (P1) est comprise entre 0,1 μm et 0,5 μm et la deuxième profondeur (P2) est comprise entre 0,3 μm et 1,5 μm .
- [Revendication 10] Procédé selon l'une des revendications 7 à 9, dans lequel ladite formation de la structure diélectrique comprend une formation d'un bloc monolithique (BLMN) d'un matériau diélectrique, occupant un volume situé verticalement depuis le niveau de métal (M6) du composant passif de la partie d'interconnexion jusqu'à ladite deuxième profondeur (P2) du substrat.
- [Revendication 11] Procédé selon la revendication 10, dans lequel la formation du bloc monolithique (BLMN) comprend une étape de gravure retirant ledit volume dans tous les niveaux de métaux de la partie d'interconnexion (BE) au-dessous du niveau de métal (M6) du composant passif, et jusqu'à la deuxième profondeur (P2) du substrat, un remplissage du volume avec le matériau diélectrique, et un retrait d'un excès de matériau diélectrique aplani au niveau dudit niveau de métal (M6) du composant passif.
- [Revendication 12] Procédé selon l'une des revendications 7 à 9, dans lequel ladite formation de la structure diélectrique comprend une formation d'un bloc monolithique (BLMN) d'un matériau diélectrique, occupant un volume situé verticalement depuis l'un des niveaux de métaux (M1) de la partie d'interconnexion, entre la face avant du substrat (FA) et le niveau de métal (M6) du composant passif, jusqu'à ladite deuxième profondeur (P2) du substrat.
- [Revendication 13] Procédé selon la revendication 12, dans lequel la formation du bloc mo-

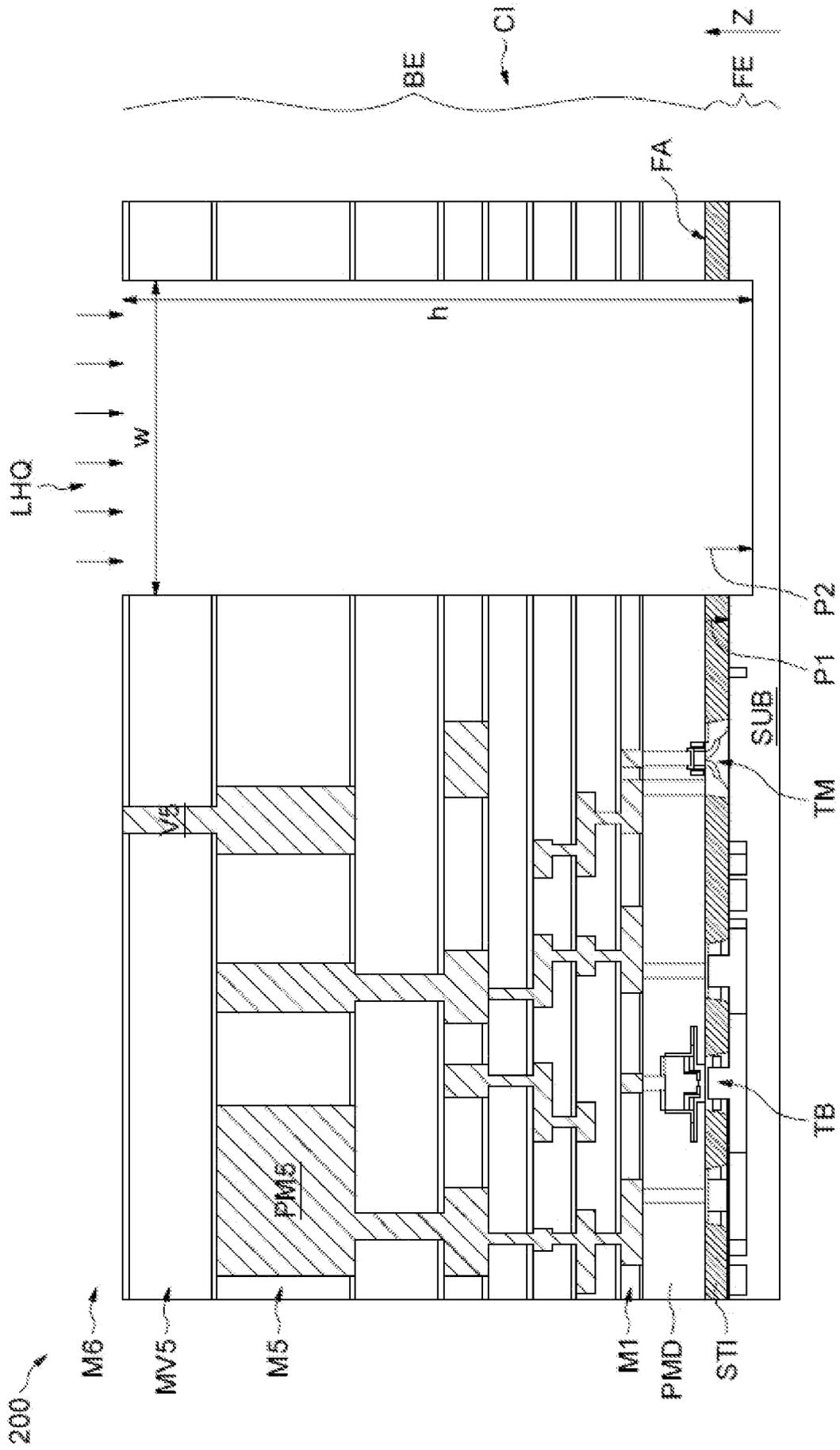
monolithique (BLMN) comprend une gravure dudit volume dans tous les niveaux de métaux de la partie d'interconnexion (BE) au-dessous dudit niveau de métal (M1) de la partie d'interconnexion, et jusqu'à la deuxième profondeur (P2) du substrat, un remplissage du volume avec le matériau diélectrique, et un retrait d'un excès de matériau diélectrique aplani au niveau dudit niveau de métal (M1) de la partie d'interconnexion.

[Revendication 14] Circuit intégré selon l'une des revendications 10 à 13, dans lequel ledit bloc monolithique (BLMN) de matériau diélectrique est en dioxyde de silicium ou en un matériau à faible constante diélectrique relative.

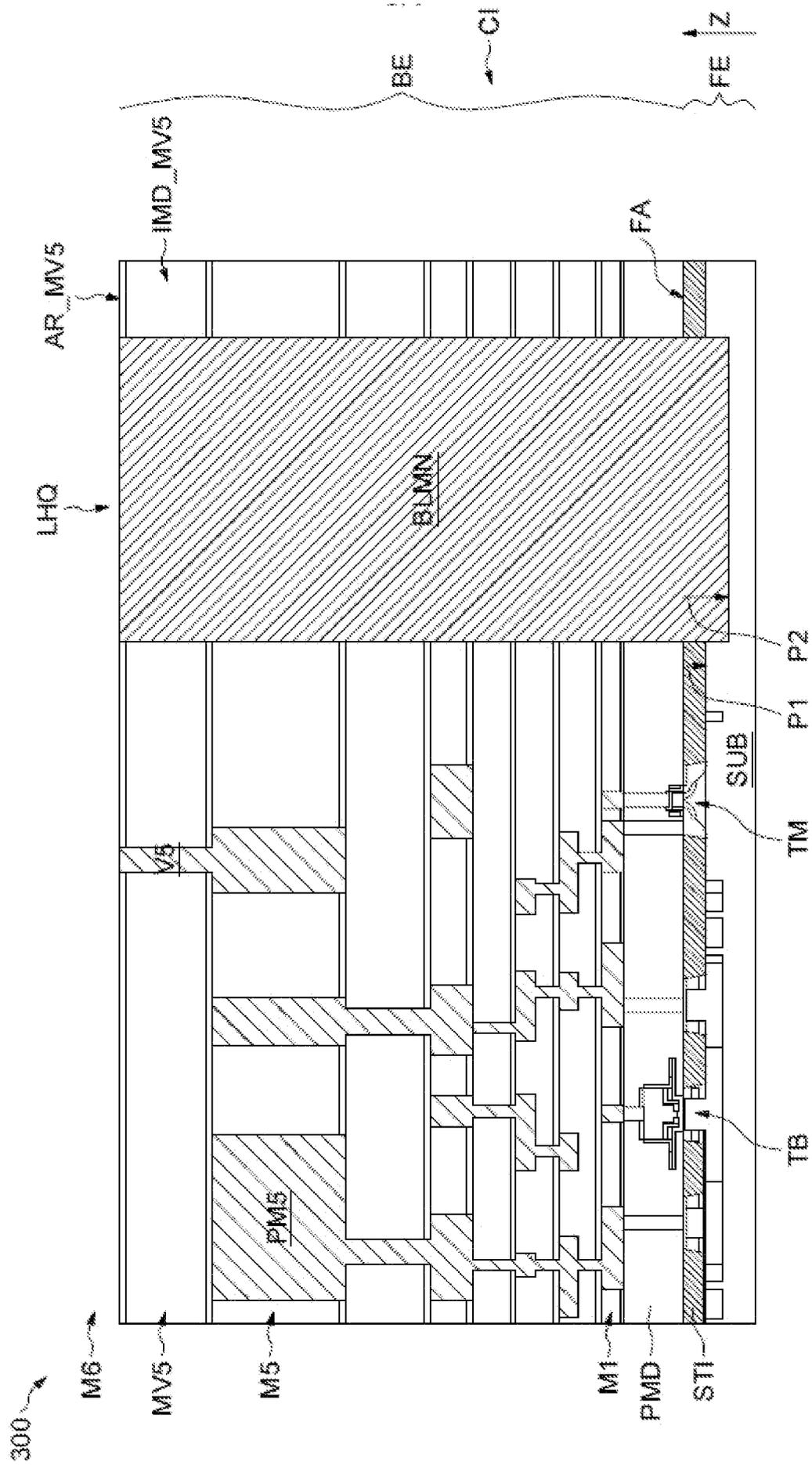
[Fig. 1]



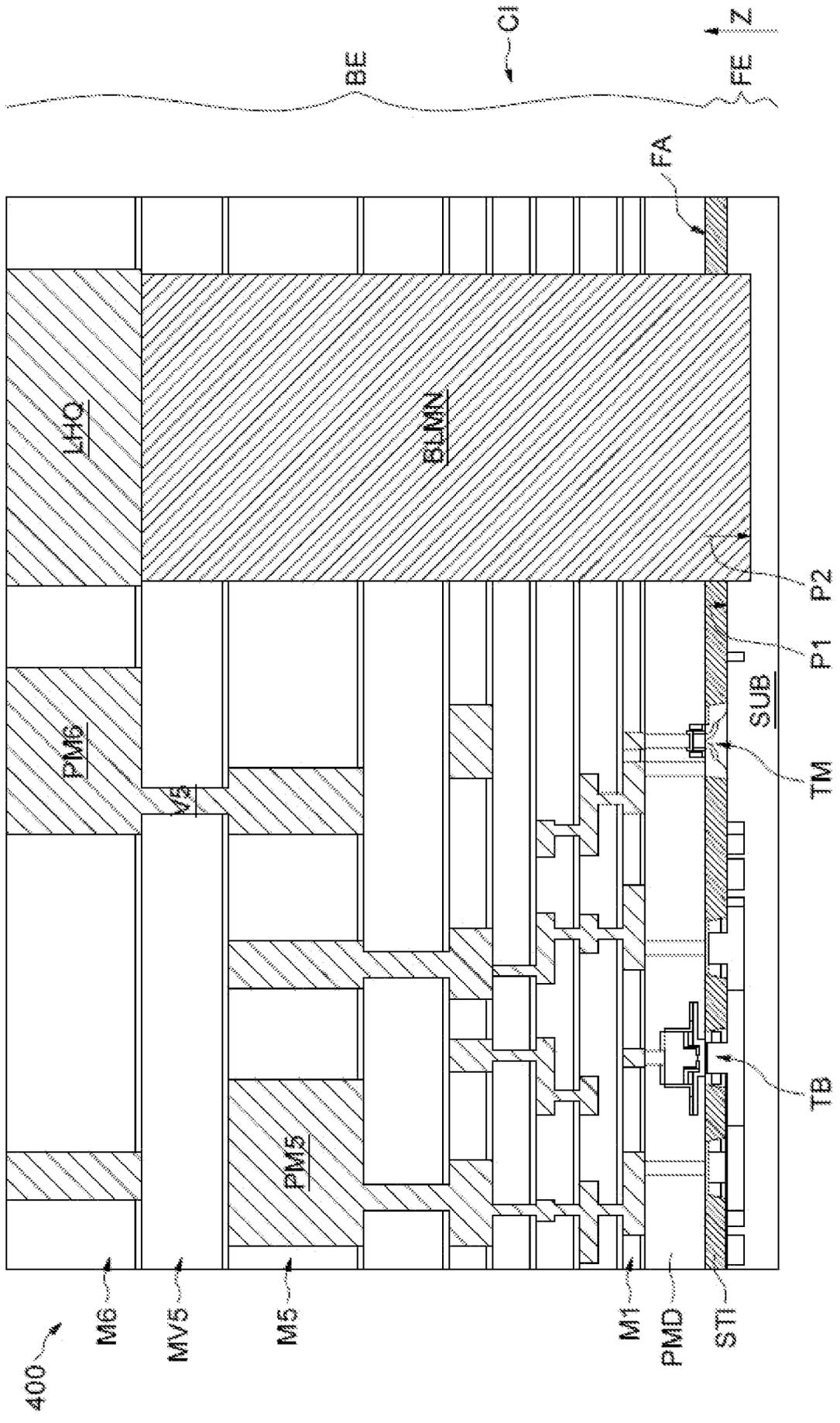
[Fig. 2]



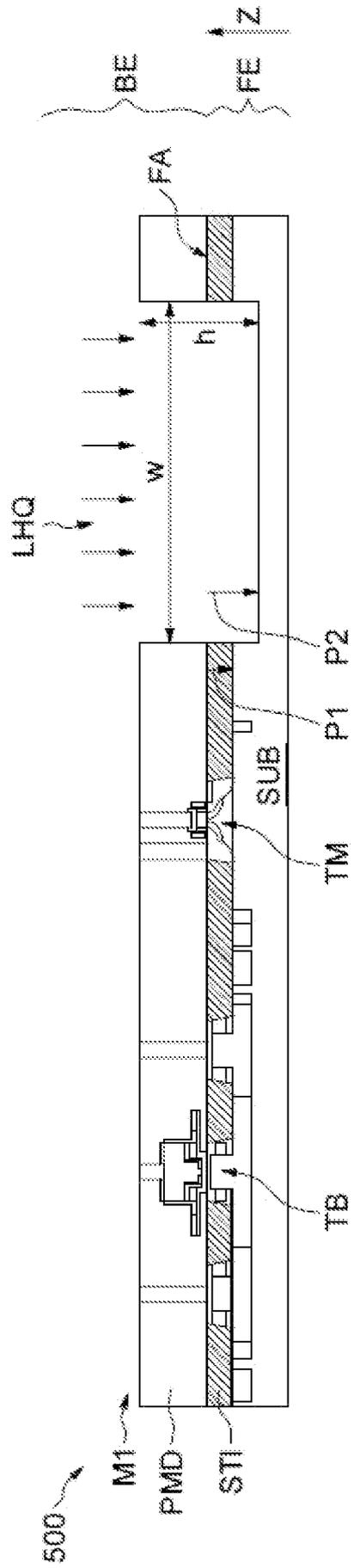
[Fig. 3]



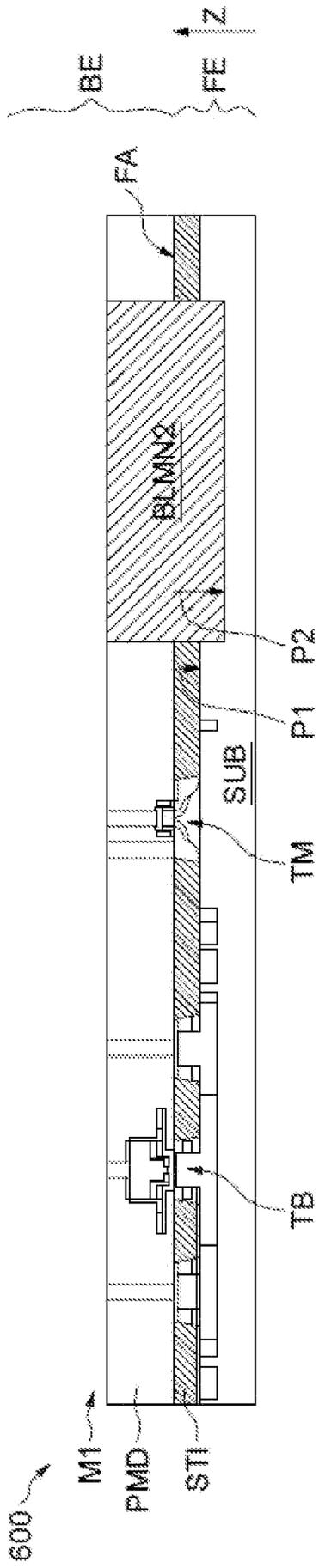
[Fig. 4]



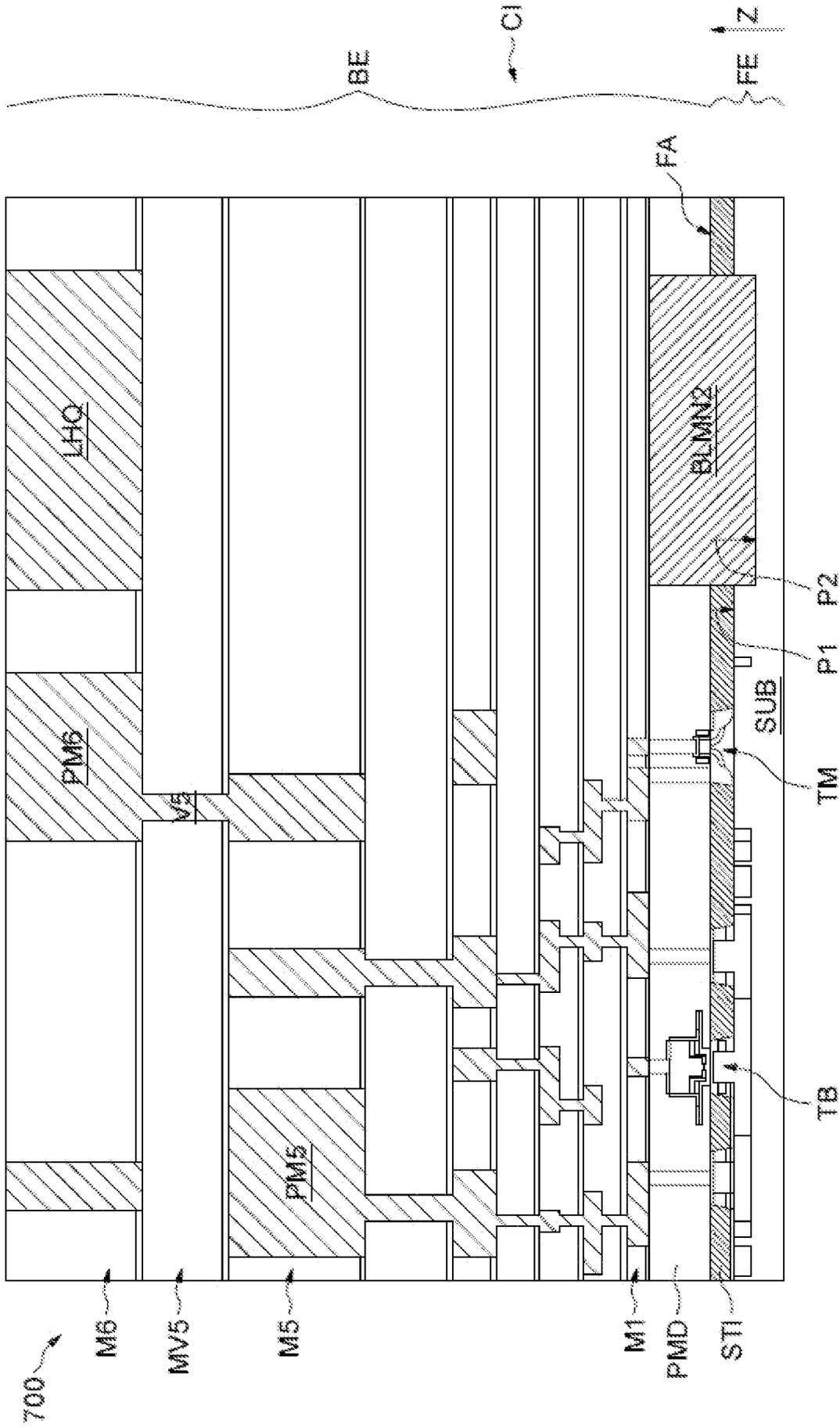
[Fig. 5]



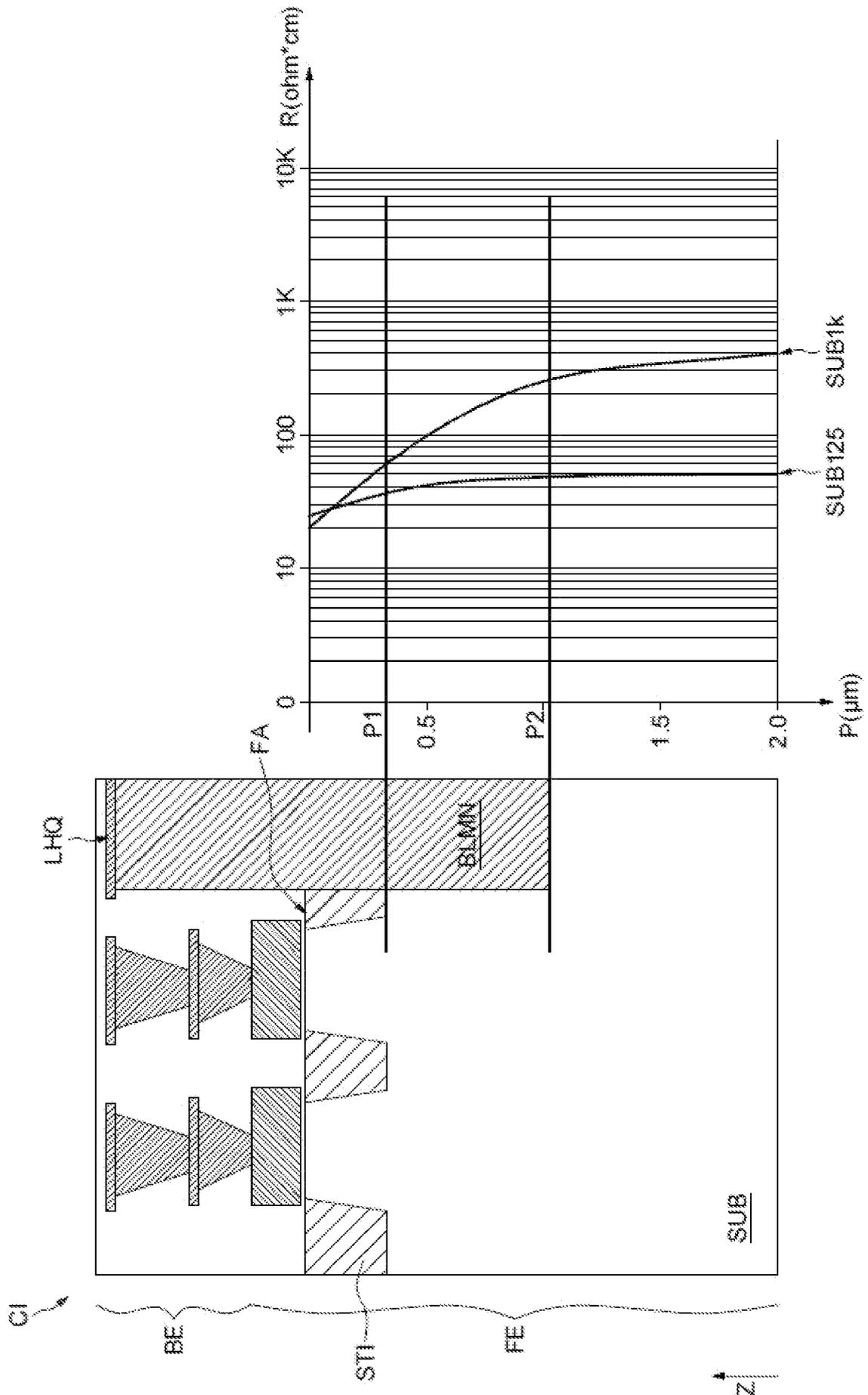
[Fig. 6]



[Fig. 7]



[Fig. 8]





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 913487
FR 2212439

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	<p>US 2004/004255 A1 (YOSHIMURA TETSUO [JP]) 8 janvier 2004 (2004-01-08) * alinéa [0067] - alinéa [0069]; figures 6-0 *</p> <p style="text-align: center;">-----</p>	1-14	<p>H01L27/07 H01L23/18</p> <p style="text-align: center;">-----</p> <p>DOMAINES TECHNIQUES RECHERCHÉS (IPC)</p> <p>H01L</p>
A	<p>US 2003/197243 A1 (BENG SIA CHOON [SG] ET AL) 23 octobre 2003 (2003-10-23) * le document en entier *</p> <p style="text-align: center;">-----</p>	1-14	
A	<p>US 2016/372483 A1 (CHO YONG SOO [KR]) 22 décembre 2016 (2016-12-22) * le document en entier *</p> <p style="text-align: center;">-----</p>	1-14	
Date d'achèvement de la recherche		Examineur	
15 juin 2023		Norga, Gerd	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2212439 FA 913487**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **15-06-2023**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004004255 A1	08-01-2004	CN 1485919 A	31-03-2004
		JP 4355128 B2	28-10-2009
		JP 2004039924 A	05-02-2004
		KR 20040004153 A	13-01-2004
		TW I286819 B	11-09-2007
		US 2004004255 A1	08-01-2004

US 2003197243 A1	23-10-2003	SG 120913 A1	26-04-2006
		US 2003197243 A1	23-10-2003

US 2016372483 A1	22-12-2016	KR 20160149430 A	28-12-2016
		US 2016372483 A1	22-12-2016
