

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6085442号
(P6085442)

(45) 発行日 平成29年2月22日 (2017.2.22)

(24) 登録日 平成29年2月3日 (2017.2.3)

(51) Int.Cl.	F I	
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	H
HO 1 L 29/778 (2006.01)	HO 1 L 29/80	F
HO 1 L 29/812 (2006.01)	HO 1 L 29/06	3 O 1 F
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	3 O 1 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 N
請求項の数 6 (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2012-217087 (P2012-217087)
 (22) 出願日 平成24年9月28日 (2012.9.28)
 (65) 公開番号 特開2014-72360 (P2014-72360A)
 (43) 公開日 平成26年4月21日 (2014.4.21)
 審査請求日 平成27年9月17日 (2015.9.17)

(73) 特許権者 514107233
 トランスフォーム・ジャパン株式会社
 神奈川県横浜市港北区新横浜 2 - 5 - 1 5
 新横浜センタービル9F
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史
 (74) 代理人 100117189
 弁理士 江口 昭彦
 (74) 代理人 100134120
 弁理士 内藤 和彦
 (74) 代理人 100144325
 弁理士 小澁 高弘

最終頁に続く

(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

化合物半導体積層構造と、
 前記化合物半導体積層構造の上方に形成された電極と、
 前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第1の保護絶縁膜と、
 前記第1の保護絶縁膜上で前記電極を覆う第2の保護絶縁膜と、
 前記第1の保護絶縁膜と前記第2の保護絶縁膜との間に形成された第3の保護絶縁膜と

を備えており、

前記電極は、少なくとも一部が前記第1の保護絶縁膜上に形成されており、
 前記第1の保護絶縁膜は、前記電極の前記少なくとも一部の下である第1部位における
 第1の厚みが、前記電極の前記少なくとも一部が前記第1の保護絶縁膜の上に形成されて
 いない第2の部位における第2の厚みよりも厚く、
 前記第3の保護絶縁膜は、1nm～10nmの範囲内の厚みである、
 化合物半導体装置。

【請求項2】

化合物半導体積層構造と、
 前記化合物半導体積層構造の上方に形成された電極と、
 前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第1の保護絶縁膜と、
 前記第1の保護絶縁膜上で前記電極を覆う第2の保護絶縁膜と、

前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に形成された第 3 の保護絶縁膜と
を備えており、
 前記電極は、少なくとも一部が前記第 1 の保護絶縁膜上に形成されており、
 前記第 1 の保護絶縁膜は、前記電極の前記少なくとも一部の下である第 1 部位における
 第 1 の厚みが、前記電極の前記少なくとも一部が前記第 1 の保護絶縁膜の上に形成されて
 いない第 2 の部位における第 2 の厚みよりも厚く、
前記第 1 の厚みと前記第 2 の厚みとの差が、前記第 3 の保護絶縁膜の厚みよりも大きい、
 化合物半導体装置。

【請求項 3】

10

前記第 3 の保護絶縁膜は酸窒化珪素を含む、請求項 1 または 2 に記載の化合物半導体装置。

【請求項 4】

化合物半導体積層構造を形成する工程と、
 前記化合物半導体積層構造の上方に電極を形成する工程と、
 前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜を形成する工程と、
前記第 1 の保護絶縁膜上で前記電極を覆う第 2 の保護絶縁膜を形成する工程と、
前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、第 3 の保護絶縁膜を形成する
工程と、
 を有し、

20

前記電極は、少なくとも一部が前記第 1 の保護絶縁膜上に形成され、
 前記第 1 の保護絶縁膜は、前記電極の前記少なくとも一部の下である第 1 部位における
 第 1 の厚みが、前記電極の前記少なくとも一部が前記第 1 の保護絶縁膜の上に形成されて
 いない第 2 の部位における第 2 の厚みよりも厚く、
前記第 3 の保護絶縁膜は、1 nm ~ 10 nm の範囲内の厚みである、
 化合物半導体装置の製造方法。

【請求項 5】

化合物半導体積層構造を形成する工程と、
 前記化合物半導体積層構造の上方に電極を形成する工程と、
 前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜を形成する工程と、
前記第 1 の保護絶縁膜上で前記電極を覆う第 2 の保護絶縁膜を形成する工程と、
前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、第 3 の保護絶縁膜を形成する
工程と、
 を有し、

30

前記電極は、少なくとも一部が前記第 1 の保護絶縁膜上に形成され、
 前記第 1 の保護絶縁膜は、前記電極の前記少なくとも一部の下である第 1 部位における
 第 1 の厚みが、前記電極の前記少なくとも一部が前記第 1 の保護絶縁膜の上に形成されて
 いない第 2 の部位における第 2 の厚みよりも厚く、
前記第 1 の厚みと前記第 2 の厚みとの差が、前記第 3 の保護絶縁膜の厚みよりも大きい、
 化合物半導体装置の製造方法。

40

【請求項 6】

前記第 3 の保護絶縁膜は酸窒化珪素を含む、請求項 4 または 5 に記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、化合物半導体装置及びその製造方法に関する。

【背景技術】

50

【 0 0 0 2 】

窒化物半導体は、高い飽和電子速度及びワイドバンドギャップ等の特徴を利用し、高耐圧及び高出力の半導体デバイスへの適用が検討されている。例えば、窒化物半導体である GaN のバンドギャップは 3.4 eV であり、Si のバンドギャップ (1.1 eV) 及び GaAs のバンドギャップ (1.4 eV) よりも大きく、高い破壊電界強度を有する。そのため GaN は、高電圧動作且つ高出力を得る電源用の半導体デバイスの材料として極めて有望である。

【 0 0 0 3 】

窒化物半導体を用いた半導体デバイスとしては、電界効果トランジスタ、特に高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) についての報告が数多くなされている。例えば GaN 系の HEMT (GaN-HEMT) では、GaN を電子走行層として、AlGaN を電子供給層として用いた AlGaN/GaN・HEMT が注目されている。AlGaN/GaN・HEMT では、GaN と AlGaN との格子定数差に起因した歪みが AlGaN に生じる。これにより発生したピエゾ分極及び AlGaN の自発分極により、高濃度の 2 次元電子ガス (2DEG) が得られる。そのため、高効率のスイッチ素子、電気自動車用等の高耐圧電力デバイスとして期待されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2012 - 178467 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

GaN-HEMT では、電子が素子内にトラップされて 2DEG の流れが阻害され、出力電流が低下する、電流コラプス現象が問題視されている。電流コラプスは様々な原因により発生するものと認識されているところ、ゲート電極を覆う保護膜等の絶縁膜に起因して電流コラプスが発生する可能性もあると考えられる。しかしながら、ゲート電極を覆う保護膜について、電流コラプスの発生を抑える有効な技術は未だ開発されていない現況にある。

【 0 0 0 6 】

本発明は、上記の課題に鑑みてなされたものであり、化合物半導体積層構造上で電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧の化合物半導体装置及びその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

化合物半導体装置の一態様は、化合物半導体積層構造と、前記化合物半導体積層構造の上方に形成された電極と、前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜と、前記第 1 の保護絶縁膜上で前記電極を覆う、酸化珪素を材料とする第 2 の保護絶縁膜とを備えており、前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、酸窒化珪素を含む第 3 の保護絶縁膜が形成されている。

【 0 0 0 8 】

化合物半導体装置の製造方法の一態様は、化合物半導体積層構造を形成する工程と、前記化合物半導体積層構造の上方に電極を形成する工程と、前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜を形成する工程と、前記第 1 の保護絶縁膜上で前記電極を覆う、酸化珪素を材料とする第 2 の保護絶縁膜を形成する工程とを備えており、前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、酸窒化珪素を含む第 3 の保護絶縁膜が形成される。

【 発明の効果 】

【 0 0 0 9 】

上記の諸態様によれば、化合物半導体積層構造上で電極を覆う保護膜に起因して発生す

10

20

30

40

50

る電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧の化合物半導体装置が実現する。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図2】図1に引き続き、第1の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図3】図2に引き続き、第1の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図4】第1の実施形態の変形例によるAlGaIn/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図5】図4に引き続き、第1の実施形態の変形例によるAlGaIn/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図6】第2の実施形態によるAlGaIn/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図7】図6に引き続き、第2の実施形態によるAlGaIn/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図8】図6(b)におけるゲート電極及びフィールドプレート電極を拡大して示す概略断面図である。

【図9】図7(b)におけるゲート電極及びフィールドプレート電極を拡大して示す概略断面図である。

【図10】第2の実施形態の変形例によるAlGaIn/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図11】図10に引き続き、第2の実施形態の変形例によるAlGaIn/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【図12】図11(c)におけるゲート電極及びフィールドプレート電極を拡大して示す概略断面図である。

【図13】第3の実施形態による電源装置の概略構成を示す結線図である。

【図14】第4の実施形態による高周波増幅器の概略構成を示す結線図である。

【発明を実施するための形態】

【0011】

(第1の実施形態)

本実施形態では、化合物半導体装置として、窒化物半導体のAlGaIn/GaN・HEMTを開示する。

図1～図3は、第1の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【0012】

まず、図1(a)に示すように、成長用基板として例えば半絶縁性のSiC基板1上に、化合物半導体積層構造2を形成する。成長用基板としては、SiC基板の代わりに、Si基板、サファイア基板、GaAs基板、GaN基板等を用いても良い。また、基板の導電性としては、半絶縁性、導電性を問わない。

化合物半導体積層構造2は、バッファ層2a、電子走行層2b、中間層2c、及び電子供給層2dを有して構成される。

【0013】

化合物半導体積層構造2では、電子走行層2bの電子供給層2d(正確には中間層2c)との界面近傍に2次元電子ガス(2DEG)が発生する。この2DEGは、電子走行層2bの化合物半導体(ここではGaN)と電子供給層2dの化合物半導体(ここではAlGaIn)との格子定数の相違に基づいて生成される。

【0014】

10

20

30

40

50

詳細には、SiC基板1上に、例えば有機金属気相成長(MOVPE: Metal Organic Vapor Phase Epitaxy)法により、以下の各化合物半導体を成長する。MOVPE法の代わりに、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法等を用いても良い。

SiC基板1上に、AlNを50nm程度の厚みに、i(インテンシヨナリ・アンドープ)-GaNを1μm程度の厚みに、i-AlGaNを5nm程度の厚みに、n-AlGaNを30nm程度の厚みに順次成長する。これにより、バッファ層2a、電子走行層2b、中間層2c、及び電子供給層2dが形成される。バッファ層2aとしては、AlNの代わりにAlGaNを用いたり、低温成長でGaNを成長するようにしても良い。電子供給層2d上にn-GaNを成長して薄いキャップ層を形成する場合もある。

【0015】

AlNの成長条件としては、原料ガスとしてトリメチルアルミニウム(TMA)ガス及びアンモニア(NH₃)ガスの混合ガスを用いる。GaNの成長条件としては、原料ガスとしてトリメチルガリウム(TMGa)ガス及びNH₃ガスの混合ガスを用いる。AlGaNの成長条件としては、原料ガスとしてTMAガス、TMGaガス、及びNH₃ガスの混合ガスを用いる。成長する化合物半導体層に応じて、Al源であるトリメチルアルミニウムガス、Ga源であるトリメチルガリウムガスの供給の有無及び流量を適宜設定する。共通原料であるアンモニアガスの流量は、100ccm~10LM程度とする。また、成長圧力は50Torr~300Torr程度、成長温度は1000~1200程度とする。

【0016】

AlGaNをn型として成長する際、即ち電子供給層2dのn-AlGaNを成長する際には、n型不純物として例えばSiを含む例えばSiH₄ガスを所定の流量で原料ガスに添加し、AlGaNにSiをドーピングする。Siのドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度~ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

【0017】

続いて、図示しない素子分離構造を形成する。

詳細には、化合物半導体積層構造2の素子分離領域に、例えばアルゴン(Ar)を注入する。これにより、化合物半導体積層構造2及びSiC基板1の表層部分に素子分離構造が形成される。この素子分離構造により、化合物半導体積層構造2上で活性領域が画定される。

なお、素子分離は、上記の注入法の代わりに、例えばSTI(Shallow Trench Isolation)法を用いても良い。このとき、化合物半導体積層構造2のドライエッチングには、例えば塩素系のエッチングガスを用いる。

【0018】

続いて、図1(b)に示すように、第1の保護絶縁膜3を形成する。

詳細には、化合物半導体積層構造2上に、プラズマCVD法又はスパッタ法等により、窒化珪素(SiN)を30nm程度~500nm程度、例えば100nm程度の厚みに堆積する。これにより、第1の保護絶縁膜3が形成される。

SiNは、化合物半導体積層構造2を覆うパッシベーション膜に用いることにより、電流コラプスを低減することができる。

【0019】

続いて、図1(c)に示すように、第1の保護絶縁膜3に電極用リセス3aを形成する。

詳細には、第1の保護絶縁膜3の表面にレジストを塗布する。レジストをリソグラフィーにより加工し、レジストに、ゲート電極の形成予定領域(電極形成予定領域)に相当する第1の保護絶縁膜3の表面を露出する開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

【0020】

このレジストマスクを用いて、電子供給層2dの表面が露出するまで、第1の保護絶縁膜3の電極形成予定領域をドライエッチングして除去する。これにより、第1の保護絶縁膜3には、電子供給層2dの表面の電極形成予定領域を露出する電極用リセス3aが形成

10

20

30

40

50

される。ドライエッチングには、例えばフッ素系のエッチングガスを用いる。このドライエッチングには、電子供給層 2 d に及ぼすエッチングダメージが可及的に小さいことが要求されるところ、フッ素系ガスを用いたドライエッチングは、電子供給層 2 d へのエッチングダメージが小さい。

【0021】

ドライエッチングの代わりに、フッ素系溶液を用いたウェットエッチングにより、電極用リセスを形成しても良い。

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0022】

続いて、図 2 (a) に示すように、ゲート電極及びフィールドプレート電極の電極材料 1 0 を堆積する。

詳細には、第 1 の保護絶縁膜 3 上に、電極用リセス 3 a 内を埋め込むように、ゲート電極の電極材料 1 0 を堆積する。電極材料 1 0 としては、例えば Ni / Au (下層が Ni 、上層が Au) を、例えば蒸着法により堆積する。Ni の厚みは 3 0 nm 程度、Au の厚みは 4 0 0 nm 程度とする。

【0023】

続いて、図 2 (b) に示すように、ゲート電極 4 及びフィールドプレート電極 5 を形成する。

詳細には、電極材料 1 0 の表面にレジストを塗布する。レジストをリソグラフィーにより加工し、電極材料 1 0 のゲート電極及びフィールドプレート電極の形成予定領域 (各電極形成予定領域) のみにレジストを残存させる。以上により、各電極形成予定領域を覆うレジストマスクが形成される。

【0024】

このレジストマスクを用いて、第 1 の保護絶縁膜 3 の表面が露出するまで、電極材料 1 0 をドライエッチングする。ドライエッチングには、例えば塩素系のエッチングガスを用いることができる。塩素系ガスを用いて電極材料 1 0 をドライエッチングしても、電子供給層 2 d 上は第 1 の保護絶縁膜 3 に覆われているため、電子供給層 2 d がドライエッチングに晒されることはなく、電子供給層 2 d のエッチングダメージはない。

【0025】

以上により、ゲート電極の形成予定領域には、電極用リセス 3 a を埋め込み、第 1 の保護絶縁膜 3 上に乗り上げる形状 (ゲート長方向に沿った断面が所謂オーバーハング形状) のゲート電極 4 が形成される。同時に、フィールドプレート電極の形成予定領域には、第 1 の保護絶縁膜 3 上にフィールドプレート電極 5 が形成される。ゲート電極 4 は、電極用リセス 3 a 内で化合物半導体積層構造 2 (電子供給層 2 d) とショットキー接触する。

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0026】

AlGa_N/Ga_N・HEMTでは、ソース電極及びゲート電極に比してドレイン電極に大きな電圧が印加される場合がある。本実施形態では、フィールドプレート電極 5 を設けることにより、大きな電圧印加で発生する電界をフィールドプレート電極 5 で緩和することができる。フィールドプレート電極 5 は、ゲート電極 4 又は後述するソース電極と適宜電氣的に接続される。

【0027】

続いて、図 2 (c) に示すように、第 2 の保護絶縁膜 6 を形成する。

詳細には、ゲート電極 4 及びフィールドプレート電極 5 を覆うように、第 1 の保護絶縁膜 3 上に、酸化珪素 (SiO₂) を 5 0 0 nm 程度の厚みに堆積する。これにより、第 2 の保護絶縁膜 6 が形成される。SiO₂ は、例えばテトラエトキシシラン (TEOS) を原料とした CVD 法により堆積する。CVD 法の代わりに、TEOS を用いた SOG (Spin On Glass) で SiO₂ を堆積しても良い。また、TEOS を用いる代わりに、シラン又はト

10

20

30

40

50

リエトキシシランを原料としたCVD法によりSiO₂を堆積しても好適である。

【0028】

SiO₂は、材料特性的にも誘電率が低く、絶縁破壊耐圧も比較的高いことで優れている。TEOSを用いて形成したSiO₂は、ステップカバレッジに優れており、埋め込み平坦化効果が高い。そのため、Siデバイスのプロセスにおいて広く用いられており、量産化も容易である。

【0029】

続いて、図3(a)に示すように、第1の保護絶縁膜3及び第2の保護絶縁膜6にコンタクト孔7a, 8aを形成する。

詳細には、第2の保護絶縁膜6の表面にレジストを塗布する。レジストをリソグラフィにより加工し、レジストに、ソース電極及びドレイン電極の形成予定領域(各電極形成予定領域)に相当する第2の保護絶縁膜6の表面を露出する開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

10

【0030】

電子供給層2dの表面が露出するまで、第2の保護絶縁膜6及び第1の保護絶縁膜3の各電極形成予定領域をドライエッチングして除去する。エッチングガスには、例えばフッ素系ガスを用いる。フッ素系ガスを用いて電子供給層2d上の第2の保護絶縁膜6及び第1の保護絶縁膜3をドライエッチングすることで、露出する電子供給層2dへのエッチングダメージを小さく抑えることができる。以上により、第1の保護絶縁膜3及び第2の保護絶縁膜6にコンタクト孔7a, 8aが形成される。

20

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0031】

続いて、図3(b)に示すように、ソース電極7及びドレイン電極8を形成する。

詳細には、第2の保護絶縁膜6上にレジストを塗布し、コンタクト孔7a, 8a内を露出させる開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電極材料として、例えばTa/Alを、例えば蒸着法により、コンタクト孔7a, 8a内を露出させる開口内を含むレジストマスク上に堆積する。Taの厚みは20nm程度、Alの厚みは300nm程度とする。リフトオフ法により、レジストマスク及びその上に堆積したTa/Alを除去する。

30

【0032】

その後、SiC基板1を、例えば窒素雰囲気中において500程度~1000程度の温度、例えば550程度で熱処理し、残存したTa/Alを電子供給層2dとオーミックコンタクトさせる。熱処理の温度が500よりも低いと、十分なオーミックコンタクトが得られない。熱処理の温度が1000よりも高いと、電極材料のAlが融解して所期の電極が得られない。500程度~1000程度の温度で熱処理することにより、十分なオーミックコンタクトの所期の電極が得られることになる。以上により、コンタクト孔7a, 8a内を電極材料の一部で埋め込むソース電極7及びドレイン電極8が形成される。

【0033】

しかる後、ゲート電極4、ソース電極7、ドレイン電極8と接続される配線の形成、フィールドプレート電極5とゲート電極4又はソース電極7との電氣的接続等の諸工程を経て、本実施形態によるショットキー型のAlGaN/GaN・HEMTが形成される。

40

【0034】

本実施形態では、図3(b)の時点において、第1の保護絶縁膜3と第2の保護絶縁膜6との間(両者の界面)に、酸窒化珪素(SiON)を含有する第3の保護絶縁膜9が形成されている。第3の保護絶縁膜9は、1nm程度~10nm程度の範囲内の厚み、例えば5nm程度に形成される。

第3の保護絶縁膜9は、以下の理由(1)又は理由(2)、或いは理由(1),(2)の双方により、形成されるものと考えられる。図示の例では、理由(1)を仮定して、図

50

2(c)の段階では第3の保護絶縁膜を図示せず、図3(b)の段階で図示している。

【0035】

理由(1)

図2(b)のように、ゲート電極4及びフィールドプレート電極5を形成した際のエッチングにより、第1の保護絶縁膜3の表面はダメージを受け、当該表面ではSiダングリングボンドが生成される。

図3(b)のように、ソース電極7及びドレイン電極8を形成する際に、電子供給層2dとの間でオーミックコンタクトを得るべく、500程度～1000程度(本実施形態では550程度)の高温熱処理を行う。この高温熱処理により、第1の保護絶縁膜3と第2の保護絶縁膜6とが反応してSi-O-Si結合とSi-N-Si結合とが混在するSiONが生成し、第3の保護絶縁膜9が形成されるものと考察される。

10

【0036】

理由(2)

図2(c)のように、第1の保護絶縁膜3上に第2の保護絶縁膜6を形成すると、第1の保護絶縁膜3と第2の保護絶縁膜6との界面において、第1の保護絶縁膜3のSiO₂が第1の保護絶縁膜3の表面に存在するSiダングリングボンドと結合する。これにより、Si-O-Si結合とSi-N-Si結合とが混在するSiONが生成し、第3の保護絶縁膜9が形成されるものと考察される。

【0037】

第3の保護絶縁膜9が形成されず、第1の保護絶縁膜3上に、これと接触するように第2の保護絶縁膜6が形成された状態について考察する。この場合、第1の保護絶縁膜3と第2の保護絶縁膜6との界面には、第1の保護絶縁膜3の表面のエッチングダメージにより、Si-OとSi-Nとの結合長の相違に起因して生じたSiダングリングボンドが存在する。このSiダングリングボンドは、電子が素子内にトラップされて2DEGの流れが阻害され、出力電流が低下する電流コラプスの発生を招来する。電流コラプスの発生により、オン抵抗の低下が懸念される。

20

【0038】

本実施形態では、第1の保護絶縁膜3と第2の保護絶縁膜6との界面には、第1の保護絶縁膜3の表面に存在するSiダングリングボンドと結合したSiONを含有する第3の保護絶縁膜9が形成される。当該界面に、緩衝層として、第1の保護絶縁膜3と第2の保護絶縁膜6との中間的な結合状態の構成を持つ第3の保護絶縁膜9が形成されることにより、Siダングリングボンドが緩和され、電流コラプスの発生が抑止される。

30

【0039】

以上説明したように、本実施形態によれば、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧のAlGa_{0.3}N/GaN・HEMTが実現する。

【0040】

(変形例)

以下、第1の実施形態の変形例について説明する。本例では、第1の実施形態と同様にAlGa_{0.3}N/GaN・HEMTの構成及び製造方法を開示するが、ゲート電極がゲート絶縁膜を介して半導体の上方に存する、いわゆるMIS型のAlGa_{0.3}N/GaN・HEMTを例示する。なお、第1の実施形態と同様の構成部材等については、同符号を付して詳しい説明を省略する。

40

図4及び図5は、第1の実施形態の変形例によるAlGa_{0.3}N/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【0041】

まず、第1の実施形態の図1(a)～図1(c)と同様の諸工程を実行する。このとき、化合物半導体積層構造2上に形成された第1の保護絶縁膜3に電極用リセス3aが形成される。

【0042】

50

続いて、図4(a)に示すように、ゲート絶縁膜11を形成する。

電極用リセス3aの内壁面を覆うように、第1の保護絶縁膜3上に絶縁材料として例えば Al_2O_3 を堆積する。 Al_2O_3 は、例えば原子層堆積法(Atomic Layer Deposition: ALD法)により膜厚2nm~200nm程度、ここでは50nm程度に堆積する。これにより、ゲート絶縁膜11が形成される。

【0043】

なお、 Al_2O_3 の堆積は、ALD法の代わりに、例えばプラズマCVD法又はスパッタ法等で行うようにしても良い。また、 Al_2O_3 を堆積する代わりに、Alの窒化物又は酸窒化物を用いても良い。それ以外にも、Si, Hf, Zr, Ti, Ta, Wの酸化物、窒化物又は酸窒化物、或いはこれらから適宜に選択して多層に堆積して、ゲート絶縁膜を形成しても良い。

10

【0044】

続いて、図4(b)に示すように、ゲート電極及びフィールドプレート電極の電極材料10を堆積する。

詳細には、ゲート絶縁膜11上に、ゲート絶縁膜11を介して電極用リセス3a内を埋め込むように、ゲート電極の電極材料10を堆積する。電極材料10としては、例えばNi/Au(下層がNi、上層がAu)を、例えば蒸着法により堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。

【0045】

続いて、図5(a)に示すように、ゲート電極4及びフィールドプレート電極5を形成する。

20

詳細には、まず、電極材料10の表面にレジストを塗布する。レジストをリソグラフィにより加工し、電極材料10のゲート電極及びフィールドプレート電極の形成予定領域(各電極形成予定領域)のみにレジストを残存させる。以上により、各電極形成予定領域を覆うレジストマスクが形成される。

【0046】

このレジストマスクを用いて、第1の保護絶縁膜3の表面が露出するまで、電極材料10及びゲート絶縁膜11をドライエッチングする。ドライエッチングには、例えば塩素系のエッチングガスを用いることができる。塩素系ガスを用いて電極材料10及びゲート絶縁膜11をドライエッチングしても、電子供給層2d上は第1の保護絶縁膜3に覆われている。そのため、電子供給層2dがドライエッチングに晒されることはなく、電子供給層2dのエッチングダメージはない。

30

【0047】

以上により、ゲート電極の形成予定領域には、電極用リセス3aをゲート絶縁膜11を介して埋め込み、第1の保護絶縁膜3上に乗上げる形状(ゲート長方向に沿った断面が所謂オーバーハング形状)のゲート電極4が形成される。同時に、フィールドプレート電極の形成予定領域には、第1の保護絶縁膜3上にゲート絶縁膜11を介したフィールドプレート電極5が形成される。

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

40

【0048】

続いて、第1の実施形態の図2(c)~3(b)と同様の諸工程を経る。このときの様子を図5(b)に示す。

しかる後、ゲート電極4、ソース電極7、ドレイン電極8と接続される配線の形成、フィールドプレート電極5とゲート電極4又はソース電極7との電氣的接続等の諸工程を経て、本例によるMIS型のAlGaN/GaN・HEMTが形成される。

【0049】

本例では、第1の実施形態と同様に、第1の保護絶縁膜3と第2の保護絶縁膜6との界面には、第1の保護絶縁膜3の表面に存在するSiダングリングボンドと結合したSiONを含有する第3の保護絶縁膜9が形成される。当該界面に、緩衝層として、第1の保護

50

絶縁膜 3 と第 2 の保護絶縁膜 6 との中間的な結合状態の構成を持つ第 3 の保護絶縁膜 9 が形成されることにより、Si ダングリングボンドが緩和され、電流コラプスの発生が抑止される。

【0050】

以上説明したように、本例によれば、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧の AlGaIn/GaN・HEMT が実現する。

【0051】

(第 2 の実施形態)

本実施形態では、第 1 の実施形態と同様に、ショットキー型の AlGaIn/GaN・HEMT の構成及び製造方法を開示するが、第 1 の保護絶縁膜の形成状態が異なる点で第 1 の実施形態と相違する。なお、第 1 の実施形態の構成部材等と同一のものについては、同符号を付して詳しい説明を省略する。

図 6 及び図 7 は、第 2 の実施形態による AlGaIn/GaN・HEMT の製造方法の主要工程を示す概略断面図である。

【0052】

先ず、第 1 の実施形態の図 1 (a) ~ 図 2 (a) と同様の諸工程を実行する。このときの様子を図 6 (a) に示す。

【0053】

続いて、図 6 (b) に示すように、ゲート電極 4 及びフィールドプレート電極 5 を形成すると共に、第 1 の保護絶縁膜 3 の表層をエッチングする。

詳細には、先ず、電極材料 10 の表面にレジストを塗布する。レジストをリソグラフィにより加工し、電極材料 10 のゲート電極及びフィールドプレート電極の形成予定領域 (各電極形成予定領域) のみにレジストを残存させる。以上により、各電極形成予定領域を覆うレジストマスクが形成される。

【0054】

このレジストマスクを用いて、第 1 の保護絶縁膜 3 の一部が除去される (オーバーエッチング) まで、電極材料 10 及び第 1 の保護絶縁膜 3 の表層をドライエッチングする。第 1 の保護絶縁膜 3 の表層のオーバーエッチング量は、後述する第 3 の保護絶縁膜の厚みよりも深く、例えば深さ 20 nm 程度とする。ドライエッチングには、例えば塩素系のエッチングガスを用いることができる。塩素系ガスを用いて電極材料 10 及び第 1 の保護絶縁膜 3 の表層をドライエッチングしても、電子供給層 2 d 上は第 1 の保護絶縁膜 3 に覆われている。そのため、電子供給層 2 d がドライエッチングに晒されることはなく、電子供給層 2 d のエッチングダメージはない。

【0055】

以上により、ゲート電極の形成予定領域には、電極用リセス 3 a を埋め込み、第 1 の保護絶縁膜 3 上に乗り上げる形状 (ゲート長方向に沿った断面が所謂オーバーハング形状) のゲート電極 4 が形成される。同時に、フィールドプレート電極の形成予定領域には、第 1 の保護絶縁膜 3 上にフィールドプレート電極 5 が形成される。ゲート電極 4 は、電極用リセス 3 a 内で化合物半導体積層構造 2 (電子供給層 2 d) とショットキー接触する。

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0056】

図 8 に、図 6 (b) におけるゲート電極 4 及びフィールドプレート電極 5 を拡大して示す。

第 1 の保護絶縁膜 3 は、上記のオーバーエッチングにより、ゲート電極 4 のオーバーハング部分下及びフィールドプレート電極 5 下の厚み (第 1 の厚み d_1) が、その他の部位の厚み (第 2 の厚み d_2) よりも厚く形成される。第 1 の厚み d_1 と第 2 の厚み d_2 との差は、上記のオーバーエッチング量に相当する。当該差は、後述する第 3 の保護絶縁膜の厚みが 10 nm 程度以下であることを考慮して、第 3 の保護絶縁膜の厚みよりも大きい 1

10

20

30

40

50

0 nm程度～200 nm程度の範囲内の値、ここでは20 nm程度とされる。

【0057】

続いて、図6(c)に示すように、第2の保護絶縁膜6を形成する。

詳細には、ゲート電極4及びフィールドプレート電極5を覆うように、第1の保護絶縁膜3上に、酸化珪素(SiO_2)を500 nm程度の厚みに堆積する。これにより、第2の保護絶縁膜6が形成される。 SiO_2 は、例えばテトラエトキシシラン(TEOS)を原料としたCVD法により堆積する。CVD法の代わりに、TEOSを用いたSOG(Spin On Glass)で SiO_2 を堆積しても良い。また、TEOSを用いる代わりに、シラン又はトリエトキシシランを原料としたCVD法により SiO_2 を堆積しても好適である。

【0058】

続いて、図7(a)に示すように、第1の保護絶縁膜3及び第2の保護絶縁膜6にコンタクト孔7a, 8aを形成する。

詳細には、第2の保護絶縁膜6の表面にレジストを塗布する。レジストをリソグラフィーにより加工し、レジストに、ソース電極及びドレイン電極の形成予定領域(各電極形成予定領域)に相当する第2の保護絶縁膜6の表面を露出する開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

【0059】

電子供給層2dの表面が露出するまで、第2の保護絶縁膜6及び第1の保護絶縁膜3の各電極形成予定領域をドライエッチングして除去する。エッチングガスには、例えばフッ素系ガスを用いる。フッ素系ガスを用いて電子供給層2d上の第2の保護絶縁膜6及び第1の保護絶縁膜3をドライエッチングすることで、露出する電子供給層2dへのエッチングダメージを小さく抑えることができる。以上により、第1の保護絶縁膜3及び第2の保護絶縁膜6にコンタクト孔7a, 8aが形成される。

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0060】

続いて、図7(b)に示すように、ソース電極7及びドレイン電極8を形成する。

詳細には、第2の保護絶縁膜6上にレジストを塗布し、コンタクト孔7a, 8a内を露出させる開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電極材料として、例えばTa/Alを、例えば蒸着法により、コンタクト孔7a, 8a内を露出させる開口内を含むレジストマスク上に堆積する。Taの厚みは20 nm程度、Alの厚みは300 nm程度とする。リフトオフ法により、レジストマスク及びその上に堆積したTa/Alを除去する。

【0061】

その後、SiC基板1を、例えば窒素雰囲気中において500 程度～1000 程度の温度、例えば550 程度で熱処理し、残存したTa/Alを電子供給層2dとオーミックコンタクトさせる。熱処理の温度が500 よりも低いと、十分なオーミックコンタクトが得られない。熱処理の温度が1000 よりも高いと、電極材料のAlが融解して所期の電極が得られない。500 程度～1000 程度の温度で熱処理することにより、十分なオーミックコンタクトの所期の電極が得られることになる。以上により、コンタクト孔7a, 8a内を電極材料の一部で埋め込むソース電極7及びドレイン電極8が形成される。

【0062】

しかる後、ゲート電極4、ソース電極7、ドレイン電極8と接続される配線の形成、フィールドプレート電極5とゲート電極4又はソース電極7との電気的接続等の諸工程を経て、本実施形態によるショットキー型のAlGaIn/GaN・HEMTが形成される。

【0063】

図9に、図7(b)におけるゲート電極4及びフィールドプレート電極5を拡大して示す。

本実施形態では、図7(b)の時点において、第1の保護絶縁膜3と第2の保護絶縁膜

10

20

30

40

50

6 との間（両者の界面）に、酸窒化珪素（ SiON ）を含有する第3の保護絶縁膜9が形成されている。第3の保護絶縁膜9は、第1の保護絶縁膜3における第1の厚み d_1 と第2の厚み d_2 との差よりも薄く、 1 nm 程度～ 10 nm 程度の範囲内の厚み、例えば 5 nm 程度に形成される。

【0064】

本実施形態では、第1の保護絶縁膜3と第2の保護絶縁膜6との界面には、第1の保護絶縁膜3の表面に存在する Si ダングリングボンドと結合した SiON を含有する第3の保護絶縁膜9が形成される。当該界面に、緩衝層として、第1の保護絶縁膜3と第2の保護絶縁膜6との中間的な結合状態の構成を持つ第3の保護絶縁膜9が形成されることにより、 Si ダングリングボンドが緩和され、電流コラプスの発生が抑止される。

10

【0065】

通常、 $\text{AlGaIn}/\text{GaN}\cdot\text{HEMT}$ では、高電圧印加時において、ゲート電極のドレイン電極側のエッジ部で電界集中が発生し、デバイス破壊を招来するという問題がある。ゲート電極とドレイン電極との間にフィールドプレート電極を設けることで、そのドレイン電極側のエッジ部が電界集中の発生箇所となって電界集中が分散される。ここで、材質の相異なる2種の保護絶縁膜を積層形成した場合を想定する。この場合、フィールドプレート電極を設けても、ゲート電極及びフィールドプレート電極の各エッジ部が上下の保護絶縁膜の界面に接する。各エッジ部に電界集中が発生すると、保護絶縁膜の界面から絶縁破壊が惹起され、耐圧低下を招来する。

【0066】

20

本実施形態では、ゲート電極4とドレイン電極7との間にフィールドプレート電極5を設ける。この構成により、ゲート電極4の電子供給層 $2d$ との接触面のドレイン電極7側のエッジ部における電界集中が緩和される。

更に、図9のように、ゲート電極4のオーバーハング部分下及びフィールドプレート電極5下の第1の厚み d_1 が、その他の部位の第2の厚み d_2 よりも厚く形成されている。更に、第1の厚み d_1 と第2の厚み d_2 との差が、第3の保護絶縁膜9の厚みよりも大きい 10 nm 程度～ 200 nm 程度の範囲内の値、ここでは 20 nm 程度とされる。この構成により、ゲート電極4及びフィールドプレート電極5のドレイン電極7側の各エッジ部4a, 5aは、第1の保護絶縁膜3と第2の保護絶縁膜6との界面から位置ずれし、第2の保護絶縁膜6の側面に位置する。各エッジ部4a, 5aに電界集中が発生しても、各エッジ部4a, 5aが当該界面から離間しており、当該界面への影響は少ない。これにより、 $\text{AlGaIn}/\text{GaN}\cdot\text{HEMT}$ における絶縁破壊が防止され、耐圧の向上が実現する。

30

【0067】

第1の厚み d_1 と第2の厚み d_2 との差が 10 nm よりも小さいと、各エッジ部4a, 5aの第1の保護絶縁膜3と第2の保護絶縁膜6との界面からの離間距離が短く（或いは0となり）、当該界面から絶縁破壊が惹起される懸念がある。当該差が 200 nm よりも大きいと、第1の保護絶縁膜3と第2の保護絶縁膜6との界面が電子供給層 $2d$ に近づくために、当該界面に僅かに残る Si ダングリングボンドに電子がトラップされ易くなり、電流コラプスの抑止効果が薄くなる。従って、当該差を 10 nm 程度～ 200 nm 程度とすることにより、電流コラプスの抑止効果を維持しつつ、絶縁破壊が防止される。

40

【0068】

以上説明したように、本実施形態によれば、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧の $\text{AlGaIn}/\text{GaN}\cdot\text{HEMT}$ が実現する。

更に、 $\text{AlGaIn}/\text{GaN}\cdot\text{HEMT}$ における絶縁破壊が防止され、耐圧の向上が実現する。

【0069】

（変形例）

以下、第2の実施形態の変形例について説明する。本例では、第2の実施形態と同様に $\text{AlGaIn}/\text{GaN}\cdot\text{HEMT}$ の構成及び製造方法を開示するが、ゲート電極がゲート絶

50

縁膜を介して半導体の上方に存する、いわゆるMIS型のAlGa₂N/GaN・HEMTを例示する。なお、第2の実施形態と同様の構成部材等については、同符号を付して詳しい説明を省略する。

図10及び図11は、第2の実施形態の変形例によるAlGa₂N/GaN・HEMTの製造方法の主要工程を示す概略断面図である。

【0070】

まず、第1の実施形態の図1(a)~図1(c)と同様の諸工程を実行する。このとき、化合物半導体積層構造2上に形成された第1の保護絶縁膜3に電極用リセス3aが形成される。

【0071】

続いて、図10(a)に示すように、ゲート絶縁膜12を形成する。

電極用リセス3aの内壁面を覆うように、第1の保護絶縁膜3上に絶縁材料として例えばAl₂O₃を堆積する。Al₂O₃は、例えば原子層堆積法(Atomic Layer Deposition: ALD法)により膜厚2nm~200nm程度、ここでは50nm程度に堆積する。これにより、ゲート絶縁膜11が形成される。

【0072】

なお、Al₂O₃の堆積は、ALD法の代わりに、例えばプラズマCVD法又はスパッタ法等で行うようにしても良い。また、Al₂O₃を堆積する代わりに、Alの窒化物又は酸窒化物を用いても良い。それ以外にも、Si, Hf, Zr, Ti, Ta, Wの酸化物、窒化物又は酸窒化物、或いはこれらから適宜に選択して多層に堆積して、ゲート絶縁膜を形成しても良い。

【0073】

続いて、図10(b)に示すように、ゲート電極及びフィールドプレート電極の電極材料10を堆積する。

詳細には、ゲート絶縁膜12上に、ゲート絶縁膜12を介して電極用リセス3a内を埋め込むように、ゲート電極の電極材料10を堆積する。電極材料10としては、例えばNi/Au(下層がNi、上層がAu)を、例えば蒸着法により堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。

【0074】

図10(c)に示すように、ゲート電極4及びフィールドプレート電極5を形成すると共に、第1の保護絶縁膜3の表層をエッチングする。

詳細には、まず、電極材料10の表面にレジストを塗布する。レジストをリソグラフィにより加工し、電極材料10のゲート電極及びフィールドプレート電極の形成予定領域(各電極形成予定領域)のみにレジストを残存させる。以上により、各電極形成予定領域を覆うレジストマスクが形成される。

【0075】

このレジストマスクを用いて、第1の保護絶縁膜3の一部が除去される(オーバーエッチング)まで、電極材料10、ゲート絶縁膜12、及び第1の保護絶縁膜3の表層をドライエッチングする。第1の保護絶縁膜3の表層のオーバーエッチング量は、後述する第3の保護絶縁膜の厚みよりも深く、例えば深さ20nm程度とする。ドライエッチングには、例えば塩素系のエッチングガスを用いることができる。塩素系ガスを用いて電極材料10及び第1の保護絶縁膜3の表層をドライエッチングしても、電子供給層2d上は第1の保護絶縁膜3に覆われている。そのため、電子供給層2dがドライエッチングに晒されることはなく、電子供給層2dのエッチングダメージはない。

【0076】

以上により、ゲート電極の形成予定領域には、電極用リセス3aをゲート絶縁膜12を介して埋め込み、第1の保護絶縁膜3上に乗上げる形状(ゲート長方向に沿った断面が所謂オーバーハング形状)のゲート電極4が形成される。同時に、フィールドプレート電極の形成予定領域には、第1の保護絶縁膜3上にゲート絶縁膜12を介したフィールドプレート電極5が形成される。

10

20

30

40

50

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0077】

第1の保護絶縁膜3は、上記のオーバーエッチングにより、ゲート電極4のオーバーハング部分下及びフィールドプレート電極5下の厚みが、その他の部位の厚みよりも厚く形成される。当該厚みの差は、上記のオーバーエッチング量に相当する。当該厚みの差は、後述する第3の保護絶縁膜の厚みが10nm程度以下であることを考慮して、第3の保護絶縁膜の厚みよりも大きい10nm程度～200nm程度の範囲内の値、ここでは20nm程度とされる。

【0078】

続いて、図11(a)に示すように、第2の保護絶縁膜6を形成する。

詳細には、ゲート電極4及びフィールドプレート電極5を覆うように、第1の保護絶縁膜3上に、酸化珪素(SiO_2)を500nm程度の厚みに堆積する。これにより、第2の保護絶縁膜6が形成される。 SiO_2 は、例えばテトラエトキシシラン(TEOS)を原料としたCVD法により堆積する。CVD法の代わりに、TEOSを用いたSOG(Spin On Glass)で SiO_2 を堆積しても良い。また、TEOSを用いる代わりに、シラン又はトリエトキシシランを原料としたCVD法により SiO_2 を堆積しても好適である。

【0079】

続いて、図11(b)に示すように、第1の保護絶縁膜3及び第2の保護絶縁膜6にコンタクト孔7a, 8aを形成する。

詳細には、第2の保護絶縁膜6の表面にレジストを塗布する。レジストをリソグラフィにより加工し、レジストに、ソース電極及びドレイン電極の形成予定領域(各電極形成予定領域)に相当する第2の保護絶縁膜6の表面を露出する開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

【0080】

電子供給層2dの表面が露出するまで、第2の保護絶縁膜6及び第1の保護絶縁膜3の各電極形成予定領域をドライエッチングして除去する。エッチングガスには、例えばフッ素系ガスを用いる。フッ素系ガスを用いて電子供給層2d上の第2の保護絶縁膜6及び第1の保護絶縁膜3をドライエッチングすることで、露出する電子供給層2dへのエッチングダメージを小さく抑えることができる。以上により、第1の保護絶縁膜3及び第2の保護絶縁膜6にコンタクト孔7a, 8aが形成される。

その後、レジストマスクは、酸素プラズマを用いたアッシング処理、又は薬液を用いたウェット処理により除去される。

【0081】

続いて、図11(c)に示すように、ソース電極7及びドレイン電極8を形成する。

詳細には、第2の保護絶縁膜6上にレジストを塗布し、コンタクト孔7a, 8a内を露出させる開口を形成する。以上により、当該開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電極材料として、例えばTa/Alを、例えば蒸着法により、コンタクト孔7a, 8a内を露出させる開口内を含むレジストマスク上に堆積する。Taの厚みは20nm程度、Alの厚みは300nm程度とする。リフトオフ法により、レジストマスク及びその上に堆積したTa/Alを除去する。

【0082】

その後、SiC基板1を、例えば窒素雰囲気中において500程度～1000程度の温度、例えば550程度で熱処理し、残存したTa/Alを電子供給層2dとオーミックコンタクトさせる。熱処理の温度が500よりも低いと、十分なオーミックコンタクトが得られない。熱処理の温度が1000よりも高いと、電極材料のAlが融解して所期の電極が得られない。500程度～1000程度の温度で熱処理することにより、十分なオーミックコンタクトの所期の電極が得られることになる。以上により、コンタクト孔7a, 8a内を電極材料の一部で埋め込むソース電極7及びドレイン電極8が形成される。

10

20

30

40

50

【0083】

しかる後、ゲート電極4、ソース電極7、ドレイン電極8と接続される配線の形成、フィールドプレート電極5とゲート電極4又はソース電極7との電氣的接続等の諸工程を経て、本例によるMIS型のAlGa_N/Ga_N・HEMTが形成される。

【0084】

図12に、図11(c)におけるゲート電極4及びフィールドプレート電極5を拡大して示す。

本例では、図11(c)の時点において、第1の保護絶縁膜3と第2の保護絶縁膜6との間(両者の界面)に、酸化窒素(SiON)を含有する第3の保護絶縁膜9が形成されている。第3の保護絶縁膜9は、第1の保護絶縁膜3における第1の厚みd1と第2の厚みd2との差よりも薄く、1nm程度~10nm程度の範囲内の厚み、例えば5nm程度に形成される。

10

【0085】

本例では、第1の保護絶縁膜3と第2の保護絶縁膜6との界面には、第1の保護絶縁膜3の表面に存在するSiダングリングボンドと結合したSiONを含有する第3の保護絶縁膜9が形成される。当該界面に、緩衝層として、第1の保護絶縁膜3と第2の保護絶縁膜6との中間的な結合状態の構成を持つ第3の保護絶縁膜9が形成されることにより、Siダングリングボンドが緩和され、電流コラプスの発生が抑止される。

【0086】

本例では、ゲート電極4とドレイン電極7との間にフィールドプレート電極5を設ける。この構成により、ゲート電極4の電子供給層2dとの接触面のドレイン電極7側のエッジ部における電界集中が緩和される。

20

更に、図12のように、ゲート電極4のオーバーハング部分下及びフィールドプレート電極5下の第1の厚みd1が、その他の部位の第2の厚みd2よりも厚く形成されている。更に、第1の厚みd1と第2の厚みd2との差が、第3の保護絶縁膜9の厚みよりも大きい10nm程度~200nm程度の範囲内の値、ここでは20nm程度とされる。この構成により、ゲート電極4及びフィールドプレート電極5のドレイン電極7側の各エッジ部4a, 5aは、第1の保護絶縁膜3と第2の保護絶縁膜6との界面から位置ずれし、第2の保護絶縁膜6の側面に位置する。各エッジ部4a, 5aに電界集中が発生しても、各エッジ部4a, 5aが当該界面から離間しており、当該界面への影響は少ない。これにより、AlGa_N/Ga_N・HEMTにおける絶縁破壊が防止され、耐圧の向上が実現する。

30

【0087】

第1の厚みd1と第2の厚みd2との差が10nmよりも小さいと、各エッジ部4a, 5aの第1の保護絶縁膜3と第2の保護絶縁膜6との界面からの離間距離が短く(或いは0となり)、当該界面から絶縁破壊が惹起される懸念がある。当該差が200nmよりも大きいと、第1の保護絶縁膜3と第2の保護絶縁膜6との界面が電子供給層2dに近づくために、当該界面に僅かに残るSiダングリングボンドに電子がトラップされ易くなり、電流コラプスの抑止効果が薄くなる。従って、当該差を10nm程度~200nm程度とすることにより、電流コラプスの抑止効果を維持しつつ、絶縁破壊が防止される。

40

【0088】

以上説明したように、本例によれば、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧のAlGa_N/Ga_N・HEMTが実現する。

更に、AlGa_N/Ga_N・HEMTにおける絶縁破壊が防止され、耐圧の向上が実現する。

【0089】

(第3の実施形態)

本実施形態では、第1及び第2の実施形態、並びにこれらの変形例から選ばれた1種のAlGa_N/Ga_N・HEMTを適用した電源装置を開示する。

50

図13は、第3の実施形態による電源装置の概略構成を示す結線図である。

【0090】

本実施形態による電源装置は、高圧の一次側回路21及び低圧の二次側回路22と、一次側回路21と二次側回路22との間に配設されるトランス23とを備えて構成される。

一次側回路21は、交流電源24と、いわゆるブリッジ整流回路25と、複数(ここでは4つ)のスイッチング素子26a, 26b, 26c, 26dとを備えて構成される。また、ブリッジ整流回路25は、スイッチング素子26eを有している。

二次側回路22は、複数(ここでは3つ)のスイッチング素子27a, 27b, 27cを備えて構成される。

【0091】

本実施形態では、一次側回路21のスイッチング素子26a, 26b, 26c, 26d, 26eが、第1及び第2の実施形態、並びにこれらの変形例から選ばれた1種のAlGaIn/GaN・HEMTとされている。一方、二次側回路22のスイッチング素子27a, 27b, 27cは、シリコンを用いた通常のMIS・FETとされている。

【0092】

本実施形態では、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧のAlGaIn/GaN・HEMTを、電源回路に適用する。これにより、信頼性の高い大電力の電源回路が実現する。

【0093】

(第4の実施形態)

本実施形態では、第1及び第2の実施形態、並びにこれらの変形例から選ばれた1種のAlGaIn/GaN・HEMTを適用した高周波増幅器を開示する。

図14は、第4の実施形態による高周波増幅器の概略構成を示す結線図である。

【0094】

本実施形態による高周波増幅器は、デジタル・プレディストーション回路31と、ミキサー32a, 32bと、パワーアンプ33とを備えて構成される。

デジタル・プレディストーション回路31は、入力信号の非線形歪みを補償するものである。ミキサー32aは、非線形歪みが補償された入力信号と交流信号をミキシングするものである。パワーアンプ33は、交流信号とミキシングされた入力信号を増幅するものであり、第1及び第2の実施形態、並びにこれらの変形例から選ばれた1種のAlGaIn/GaN・HEMTを有している。なお図14では、例えばスイッチの切り替えにより、出力側の信号をミキサー32bで交流信号とミキシングしてデジタル・プレディストーション回路31に送出できる構成とされている。

【0095】

本実施形態では、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧のAlGaIn/GaN・HEMTを、高周波増幅器に適用する。これにより、信頼性の高い高耐圧の高周波増幅器が実現する。

【0096】

(他の実施形態)

第1～第4の実施形態及び変形例では、化合物半導体装置としてAlGaIn/GaN・HEMTを例示した。化合物半導体装置としては、AlGaIn/GaN・HEMT以外にも、以下のようなHEMTに適用できる。

【0097】

・その他のHEMT例1

本例では、化合物半導体装置として、InAlN/GaN・HEMTを開示する。

InAlNとGaNは、組成によって格子定数を近くすることが可能な化合物半導体である。この場合、上記した第1～第4の実施形態及び変形例では、電子走行層がi-GaN、中間層がi-InAlN、電子供給層がn-InAlNで形成される。また、この場

10

20

30

40

50

合の piezo 分極がほとんど発生しないため、2次元電子ガスは主に InAlN の自発分極により発生する。

【0098】

本例によれば、上述した AlGaIn/GaN・HEMT と同様に、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧の InAlIn/GaN・HEMT が実現する。

【0099】

・その他の HEMT 例 2

本例では、化合物半導体装置として、InAlGaIn/GaN・HEMT を開示する。

GaN と InAlGaIn は、後者の方が前者よりも組成によって格子定数を小さくすることができる化合物半導体である。この場合、上記した第 1～第 4 の実施形態及び変形例では、電子走行層が i-GaN、中間層が i-InAlGaIn、電子供給層が n-InAlGaIn で形成される。

【0100】

本例によれば、上述した AlGaIn/GaN・HEMT と同様に、化合物半導体積層構造上でゲート電極を覆う保護膜に起因して発生する電流コラプスを抑止し、デバイス特性を向上する信頼性の高い高耐圧の InAlGaIn/GaN・HEMT が実現する。

【0101】

以下、化合物半導体装置及びその製造方法、並びに電源装置及び高周波増幅器の諸態様を付記としてまとめて記載する。

【0102】

(付記 1) 化合物半導体積層構造と、

前記化合物半導体積層構造の上方に形成された電極と、

前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜と、

前記第 1 の保護絶縁膜上で前記電極を覆う、酸化珪素を材料とする第 2 の保護絶縁膜とを備えており、

前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、酸窒化珪素を含む第 3 の保護絶縁膜が形成されていることを特徴とする化合物半導体装置。

【0103】

(付記 2) 前記第 3 の保護絶縁膜は、1 nm～10 nm の範囲内の厚みであることを特徴とする付記 1 に記載の化合物半導体装置。

【0104】

(付記 3) 前記電極は、少なくとも一部が前記第 1 の保護絶縁膜上に形成されており、

前記第 1 の保護絶縁膜は、前記電極の前記少なくとも一部との接触部位における第 1 の厚みが、その他の部位における第 2 の厚みよりも厚いことを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

【0105】

(付記 4) 前記第 1 の厚みと前記第 2 の厚みとの差が、10 nm～200 nm の範囲内の値であることを特徴とする付記 3 に記載の化合物半導体装置。

【0106】

(付記 5) 前記第 1 の厚みと前記第 2 の厚みとの差が、前記第 3 の保護絶縁膜の厚みよりも大きいことを特徴とする付記 3 又は 4 に記載の化合物半導体装置。

【0107】

(付記 6) 前記電極は、ゲート電極と、前記ゲート電極と離間して並ぶフィールドプレート電極とを含むことを特徴とする付記 1～5 のいずれか 1 項に記載の化合物半導体装置。

【0108】

(付記 7) 化合物半導体積層構造を形成する工程と、

前記化合物半導体積層構造の上方に電極を形成する工程と、

前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜を形

10

20

30

40

50

成する工程と、

前記第 1 の保護絶縁膜上で前記電極を覆う、酸化珪素を材料とする第 2 の保護絶縁膜を形成する工程と

を備えており、

前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、酸窒化珪素を含む第 3 の保護絶縁膜が形成されることを特徴とする化合物半導体装置の製造方法。

【0109】

(付記 8) 前記第 3 の保護絶縁膜は、1 nm ~ 10 nm の範囲内の厚みであることを特徴とする付記 7 に記載の化合物半導体装置の製造方法。

【0110】

(付記 9) 前記電極は、少なくとも一部が前記第 1 の保護絶縁膜上に形成されており、前記第 1 の保護絶縁膜は、前記電極の前記少なくとも一部との接触部位における第 1 の厚みが、その他の部位における第 2 の厚みよりも厚いことを特徴とする付記 7 又は 8 に記載の化合物半導体装置の製造方法。

【0111】

(付記 10) 前記第 1 の厚みと前記第 2 の厚みとの差が、10 nm ~ 200 nm の範囲内の値であることを特徴とする付記 9 に記載の化合物半導体装置の製造方法。

【0112】

(付記 11) 前記第 1 の厚みと前記第 2 の厚みとの差が、前記第 3 の保護絶縁膜の厚みよりも大きいことを特徴とする付記 9 又は 10 に記載の化合物半導体装置の製造方法。

【0113】

(付記 12) 前記電極は、ゲート電極と、前記ゲート電極と離間して並ぶフィールドプレート電極とを含むことを特徴とする付記 7 ~ 11 のいずれか 1 項に記載の化合物半導体装置の製造方法。

【0114】

(付記 13) 変圧器と、前記変圧器を挟んで高圧回路及び低圧回路とを備えた電源回路であって、

前記高圧回路はトランジスタを有しており、

前記トランジスタは、

化合物半導体積層構造と、

前記化合物半導体積層構造の上方に形成された電極と、

前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜と、

前記第 1 の保護絶縁膜上で前記電極を覆う、酸化珪素を材料とする第 2 の保護絶縁膜とを備えており、

前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、酸窒化珪素を含む第 3 の保護絶縁膜が形成されていることを特徴とする電源回路。

【0115】

(付記 14) 入力した高周波電圧を増幅して出力する高周波増幅器であって、

トランジスタを有しており、

前記トランジスタは、

化合物半導体積層構造と、

前記化合物半導体積層構造の上方に形成された電極と、

前記化合物半導体積層構造の表面を覆う、窒化珪素を材料とする第 1 の保護絶縁膜と、

前記第 1 の保護絶縁膜上で前記電極を覆う、酸化珪素を材料とする第 2 の保護絶縁膜とを備えており、

前記第 1 の保護絶縁膜と前記第 2 の保護絶縁膜との間に、酸窒化珪素を含む第 3 の保護絶縁膜が形成されていることを特徴とする高周波増幅器。

【符号の説明】

【0116】

1 SiC 基板

10

20

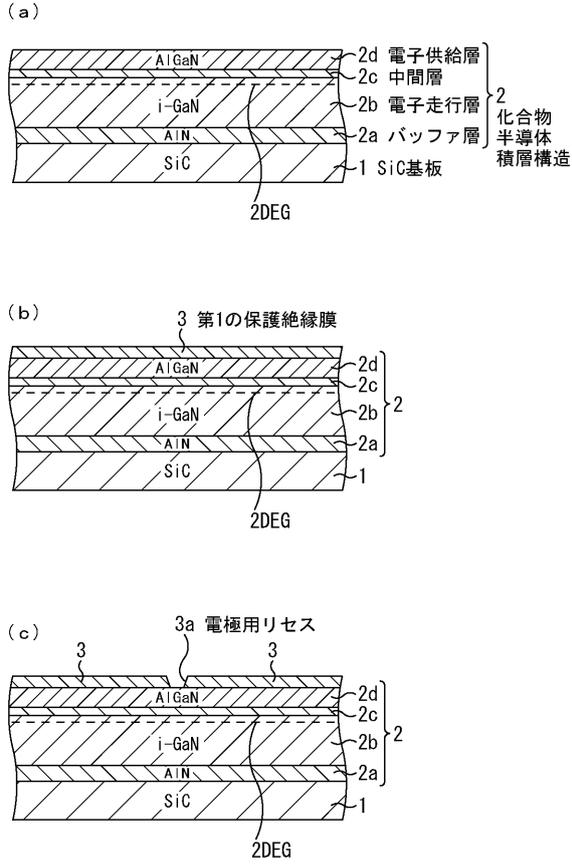
30

40

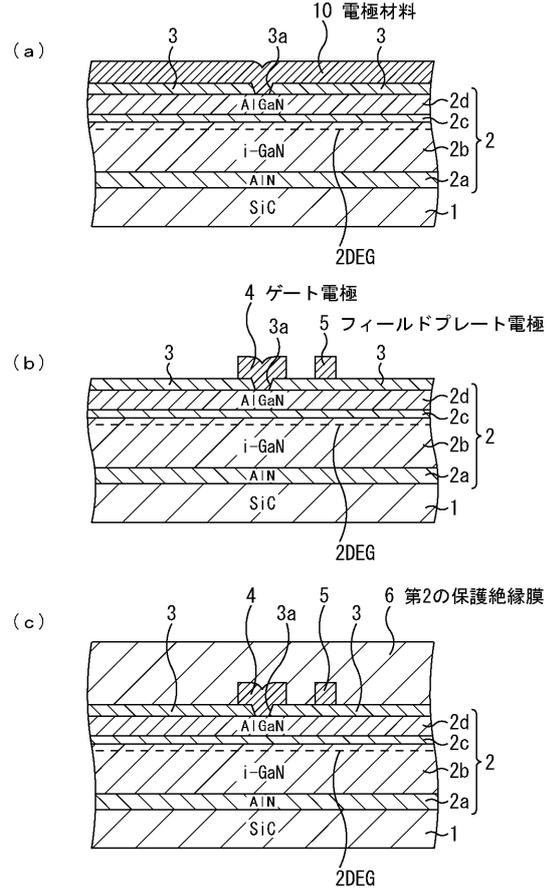
50

2	化合物半導体積層構造	
2 a	バッファ層	
2 b	電子走行層	
2 c	中間層	
2 d	電子供給層	
3	第1の保護絶縁膜	
3 a	電極用リセス	
4	ゲート電極	
4 a , 5 a	エッジ部	
5	フィールドプレート電極	10
6	第2の保護絶縁膜	
7	ソース電極	
7 a , 8 a	コンタクト孔	
8	ドレイン電極	
9	第3の保護絶縁膜	
10	電極材料	
11 , 12	ゲート絶縁膜	
21	一次側回路	
22	二次側回路	
23	トランス	20
24	交流電源	
25	ブリッジ整流回路	
26 a , 26 b , 26 c , 26 d , 26 e , 27 a , 27 b , 27 c	スイッチング素子	
31	デジタル・プレディストーション回路	
32 a , 32 b	ミキサー	
33	パワーアンプ	

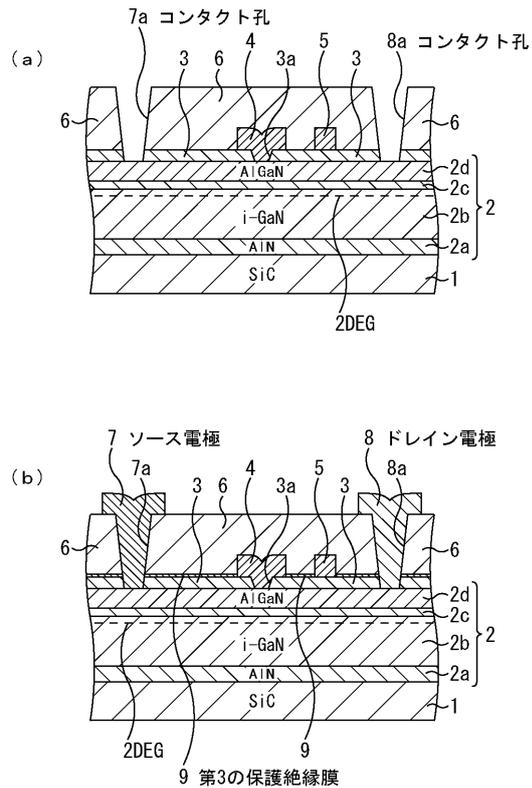
【図1】



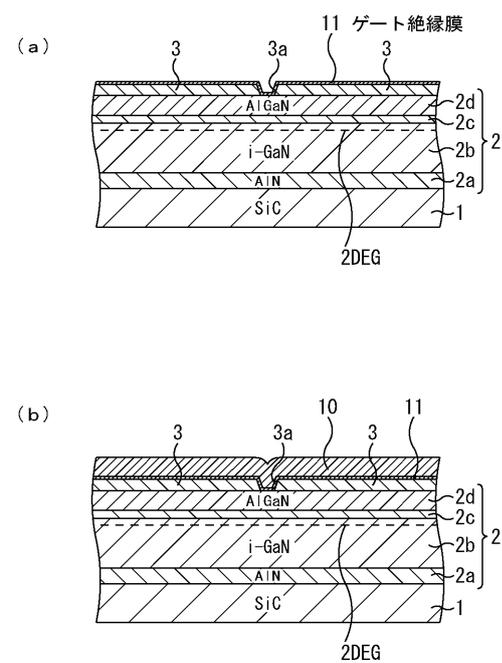
【図2】



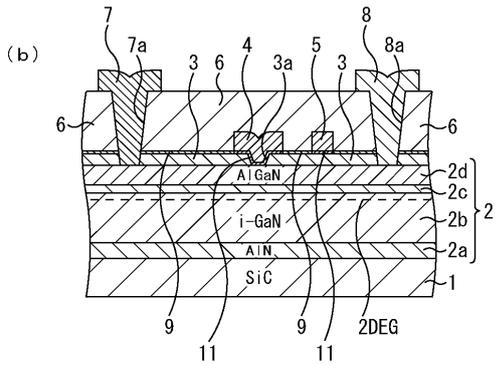
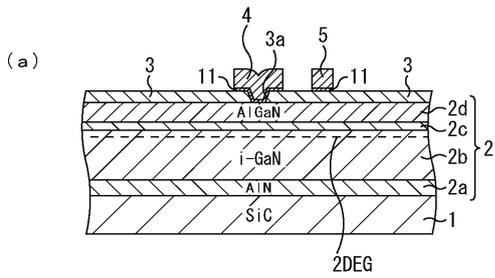
【図3】



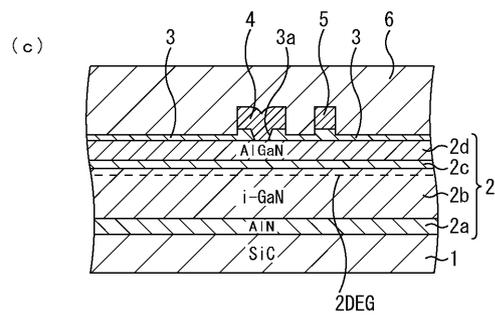
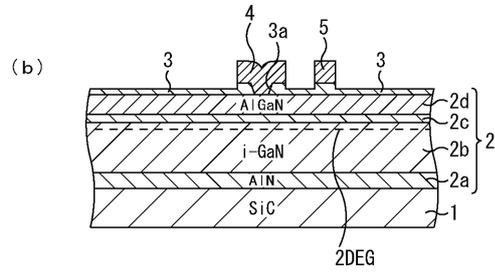
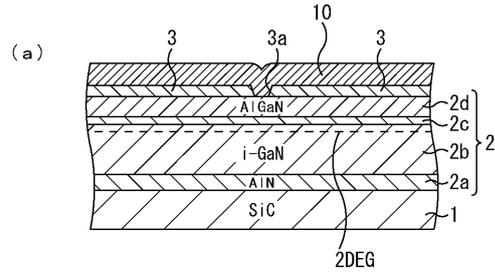
【図4】



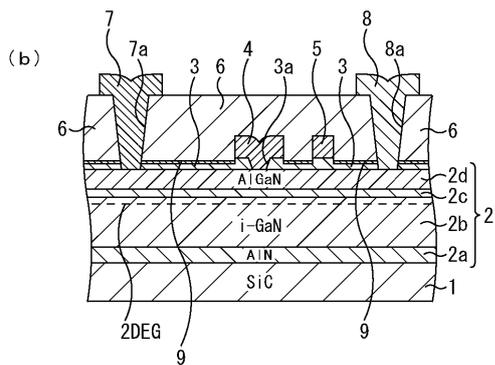
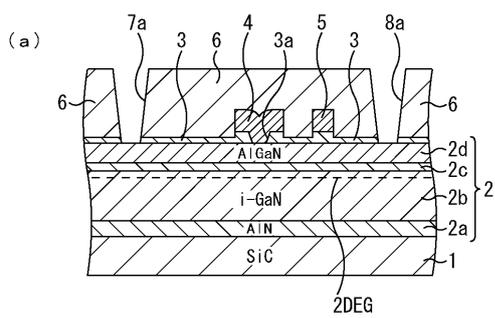
【図5】



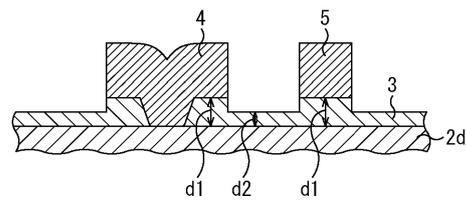
【図6】



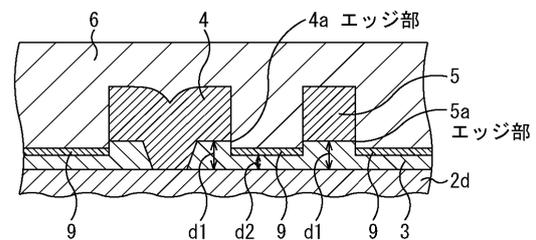
【図7】



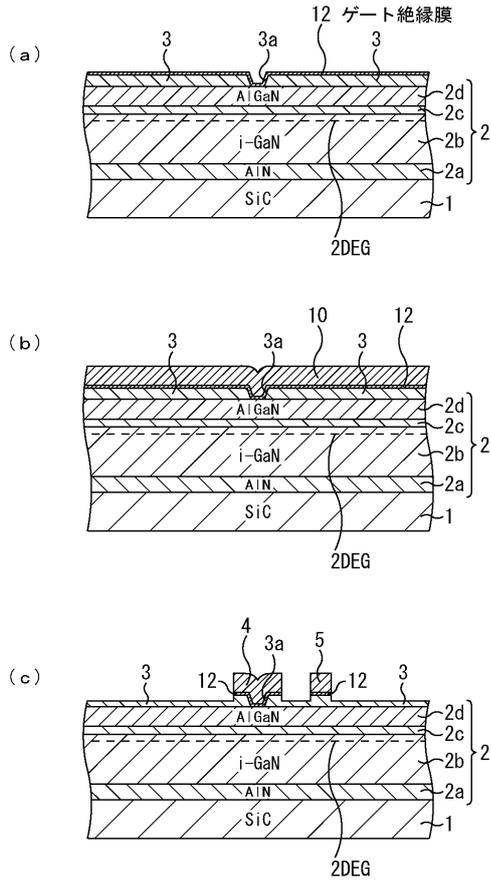
【図8】



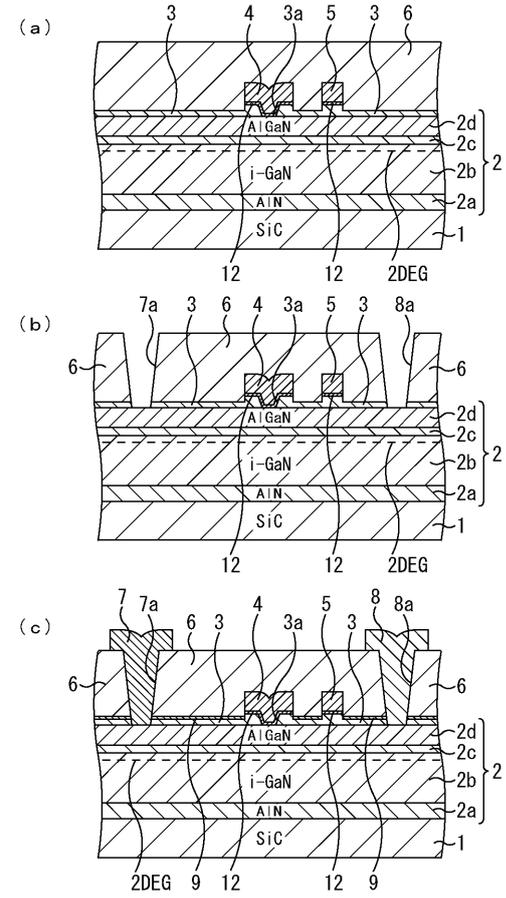
【図9】



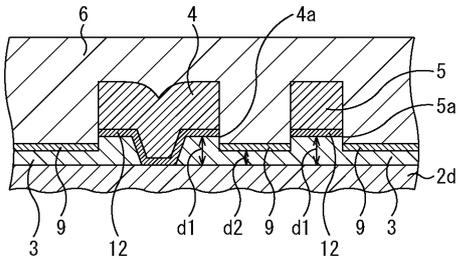
【図10】



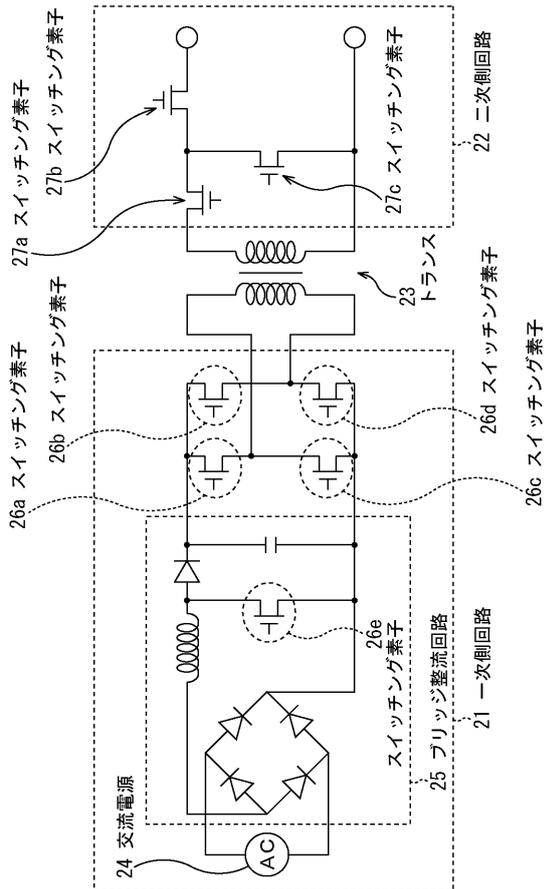
【図11】



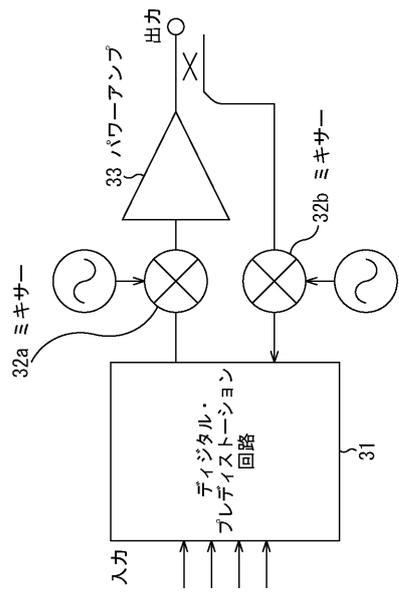
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/78	(2006.01)	H 0 1 L	21/316 M
H 0 1 L	21/316	(2006.01)	H 0 1 L	21/318 M
H 0 1 L	21/318	(2006.01)	H 0 1 L	21/318 C
H 0 2 M	3/28	(2006.01)	H 0 2 M	3/28 T

(72)発明者 美濃浦 優一
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 渡辺 芳孝
 神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内

審査官 恩田 和彦

(56)参考文献 特開2013-201370(JP,A)
 特開2009-164339(JP,A)
 特開2001-237250(JP,A)
 特開平05-013408(JP,A)
 特開2012-178467(JP,A)
 特開2007-150106(JP,A)
 特開2008-098200(JP,A)
 特開2009-283915(JP,A)
 国際公開第2010/016213(WO,A1)
 特開2009-032796(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 3 1 6
 H 0 1 L 2 1 / 3 1 8
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 7 7 8
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 1 2
 H 0 2 M 3 / 2 8