

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/70	(45) 공고일자 1998년 12월 01일	(11) 등록번호 특0160953
	(24) 등록일자 1998년 08월 21일	
(21) 출원번호 특1989-017745	(65) 공개번호 특1990-011033	(43) 공개일자 1990년 07월 11일
(22) 출원일자 1989년 12월 01일		
(30) 우선권주장 88-304145 1988년 12월 02일 일본(JP)		
(73) 특허권자 가부시기가이샤 히다찌 세이사쿠쇼 미다 가쓰시게		
(72) 발명자 일본국 도쿄도 지요다구 간다 스루가다이 4쵸메 6반짜 사쿠라이 나오기		
	일본국 이바라기켄 히다찌시 아유가와쵸 6-20-3 유히오료 모리 무쯔 히로	
	일본국 이바라기켄 히다찌시 이시나사까쵸 1-19-4-203 다나카 도모유키	
(74) 대리인 한규환, 송재련	일본국 이바라기켄 히다찌시 오오미까쵸 6-5-5	

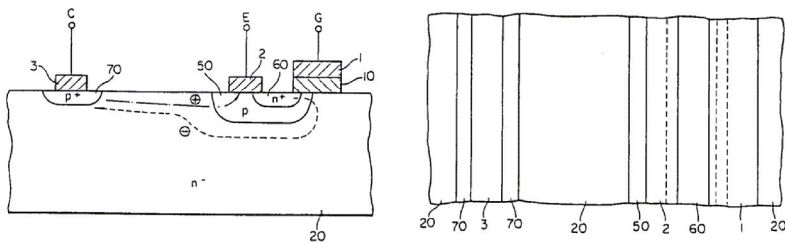
심사관 : 신양환

(54) 횡형 절연 게이트 바이폴라 트랜지스터

요약

본원 발명에 따르면, 절연막(10)은 콜렉터 전극(3)에 가까운 측에서는 p층(50) 및 n⁻층(20)에 걸쳐져 있고 또한 콜렉터 전극(3)에 먼 측에서는 n⁻층(20), p층(50) 및 n⁺층(60)에 걸쳐져 설치되어 있으며, p층(50) 및 p⁺층(70)은 n⁻층(20) 표면에 있어서 일방향으로 길게 뻗어 형성되고, n⁺층(60)은 p층(50)의 길이의 방향에 따라 병설된 복수개의 영역으로 이루어져 있다. 이러한 구성을 가짐으로써 콜렉터 전극(3)은 p⁺층(70)의 길이 방향을 따라 형성되고 에미터 전극(2)은 복수개로 분할되며 게이트 전극(1)은 에미터 전극(2)을 포위하도록 형성된다. 그러면, n⁺층(60)으로부터 흘러나온 전자 - 는 절연막(10) 아래의 p층 근방에 생긴 채널을 따라 p⁺층(70)에 대향한 절연막(10) 아래로부터 n⁻층(20)으로 흐르므로, n⁻층(20)에서는 전자와 정공의 경로가 동일하게 되어 전도도가 충분히 변조되어 낮은 온저항이 된다는 특징을 가진다.

대표도



명세서

[발명의 명칭]

횡형 절연 게이트 바이폴라 트랜지스터

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 나타낸 종단면도 및 평면도.

제2도는 제2실시예를 나타낸 종단면도.

제3도는 제3실시예를 나타낸 사시도.

제4도는 제4실시예를 나타낸 종단면도 및 평면도.

제5도 내지 제8도는 제5내지 제8의 실시예를 나타낸 종단면도.

제9도는 본 발명을 사용한 전력 변환 장치의 개략 평면도 및 회로도.

제10도는 제9도의 장치의 동작을 설명하기 위한 전류 파형도.

제11도는 종래의 횡형 IGBT의 종단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|---------------------------|-------------------------------|
| 1 : 게이트전극 | 2 : 에미터전극 |
| 3 : 콜렉터 전극 | 4,60,62,63 : n ⁺ 층 |
| 50 : p층 | 61 : n ⁺ 매립층 |
| 70, 72 : p ⁺ 층 | 100 : 부하 |
| 200 : 직류전원 | 300 : 유전체 분리층 |

[발명의 상세한 설명]

본 발명은 횡형 절연 게이트 바이폴라 트랜지스터에 관한 것으로, 특히 횡형 절연 게이트 바이폴라 트랜지스터의 래치업 방지성능의 개선에 관한 것이다.

최근들어, 비교적 큰 전류를 고속으로 제어할 수 있는 반도체 장치로서 절연 게이트 바이폴라 트랜지스터(Insulated Gate Bipolar Transister: 이하 IGBT라 함)가 주목을 받도 있다. IGBT를 다른 장치와 함께 집적화하기 위해서는, 에미터(음극), 게이트(제어전극), 및 콜렉터(양극)가 동일한 평면에 있는 것이 바람직하다. 이 요구를 만족시키는 IGBT구조의 예로서는 일본국 특개 소59-132667호 공보에 기재된 횡형 IGBT가 있다. 제11도에서는 그 구조를 나타내었다. n⁻층(20)내에는 그보다 고불순물 농도를 가진 p층(50) 및, p층(50)보다 고불순물 농도를 가진 p⁺층(70)이 독립적으로 설치되고, p층(50)내에는 그보다 고불순물 농도를 가진 n⁺층(60)이 설치되어 있다. p층(50)과 n⁺층(60)은 에미터 전극(2)에 의하여 전기적으로 단락되어 있다. p⁺층(70) 표면에는 콜렉터전극(3)이 설치되고, p⁺층(70)과 옴접촉(ohmic contact)되어 있다. 또한 n⁺층(60), p층(50), n⁻층(20)에 걸쳐서 절연막(10)이 표면에 설치되고, 절연막(10)위에는 게이트전극(1)이 설치되어 있다. n⁺층(60) 및 절연막(10)은 p⁺층(70)에 대항하여 설치되어 있고, p층(50)과 에미터 전극이 옴접촉되어 있는 영역과 p⁺층(70)의 사이에 n⁺층이 존재하도록 되어 있다. 이 트랜지스터는 게이트 전극(1)에 정(+)의 전위를 가하면 절연막(10) 아래의 p층(50)의 표면부분이 n반전하여 채널이 형성된다. n⁺층(60)으로부터 흘러나온 전자 e⁻는 이 채널 및 n⁻층(20)을 통하여 p⁺층(70)에 다다르고, p⁺층(70)으로부터 정공 h⁺을 주입시킨다. 이에 의하여 고저항인 n⁻층(20)은 전도도 변조되어 저저항이 되어, 동일 순방향 저지특성을 가지는 MOSFET보다 저이온 저항이 실현된다는 특징을 가진다.

전술한 종래의 횡형 IGBT에서는 p층(50)과 에미터 전극(2)이 옴접촉되어 있는 영역과 p⁺층(70) 사이에 n⁺층(60)이 존재하고 있다. 이 경우, p⁺층(70)으로부터 주입된 정공 + 은 n⁺층(60) 아래의 p층(50)을 집중적으로 흘러 에미터 전극(2)에 도달한다. 이 때문에, p층(50)의 횡방향의 저항성분(R)에 의하여 전위 강하가 일어난다. 이 전위 강하에 의하여 n⁺층(60)과 p층(50)으로 형성되는 pn접합이 순방향으로 바이어스되어, n⁺층(60)으로부터 p층(50)으로 전자의 주입이 일어나고, 이에 의해 n⁺층(60), p층(50), n⁻층(20) 및 p⁺층(70)으로 이루어지는 기생 다이리스터가 온되는 소위 래치업이 생겨, 게이트에서 전류가 제어할 수 없게 되는 문제가 있었다.

본 발명의 목적은 래치업 방지 성능을 향상시킨 개선된 횡형 IGBT를 제공하는 데 있다.

상기 목적은, 에미터가 되는 반도체 영역에 인접하는 반도체 영역과 에미터 전극이 전기적으로 접촉하고 있는 부분을, 에미터가 되는 반도체 영역으로부터 콜렉터가 되는 반도체 영역에 근접시켜 설치함으로써 실현된다.

본 발명에서는 콜렉터가 되는 반도체 영역으로부터 주입된 캐리어가, 에미터가 되는 반도체 영역의 아래쪽을 통과하지 않고 에미터 전극에 도달하는 것이 가능하다. 이때문에 래치업 방지 성능을 개선할 수가 있고, 따라서 대전류를 제어할 수가 있다.

이하 본 설명을 실시예로서 나타낸 도면에 따라 설명한다.

제1도는 본 발명의 제1실시예를 나타낸 종단면도 및 평면도이다. n⁻층(20)의 한쪽 표면측에, 표면으로부터 내부로 뻗은 p층(50) 및 p⁺층(70)이 서로 떨어져 설치되어 있다. p층(50)에는 그 표면으로부터 내부로 뻗은 n⁺층이 설치되어 있다. n⁺층(60), p층(50) 및 n⁻층(20)의 표면에는 이들에 걸쳐 절연막(10)이 설치되고, 이 절연막(10) 위에 게이트 전극(1)이 설치되어 있다. p층(50)과 n⁺층(60)은 게이트전극(1)으로부터 p⁺층(70)에 있어서의 에미터전극(2)으로 옴접촉되어 있다. p층(50)과 에미터 전극(2)이 옴접촉하고 있는 영역은, n⁺층(60)으로부터 p⁺층(70)가까이에 위치하여 설치되어 있다. p⁺층(70)의 표면에는 콜렉터 전극(3)이 옴접촉되어 있다. p층(50), n⁺층(60) 및 p⁺층(70)은 그 한쪽 표면에 있어서 줄무늬(stripe) 형

상을 가지며, 길이 방향으로 나란히 병설되어 있다. 에미터 전극(2), 게이트 전극(1) 및 콜렉터 전극(3)도 각층에 따라 설치되어 있음은 물론이다.

다음에는, 이러한 구성을 가진 횡형 IGBT의 동작에 대하여 설명한다. 먼저, 콜렉터 전극(3)측이 정(+), 에미터 전극(2)측이 부(-)가 되는 전압을 인가한 상태에서 게이트 전극(1)에 정전위가 인가되면, 절연막(10) 아래의 p층(50)의 표면에 채널이 생기고 이 채널을 통하여 n⁺층(60)으로부터 전자 \ominus 가 흘러나와 n⁻층(20)을 따라 p⁺층(70)에 도달한다. 도면중 전자 \ominus 의 흐름은 점선으로 나타냈다. p⁺층(70)에 달한 전자 \ominus 에 의하여 p⁺층(70)과 n⁻층(20)간의 pn접합이 순바이어스 되어, p⁺층(70)으로부터 n⁻층(20)에 정공 \oplus 이 주입된다. 정공 \oplus 은 n⁻층(20), p층(50)을 통하여 에미터 전극(2)에 달한다. 도면에서 정공의 흐름은 일정채선으로 나타냈다. 에미터 전극(2)과 p층(50)이 접촉되어 있는 영역이 n⁺층(60)보다 p⁺층(70)가 가까이에 있기 때문에, 정공 \oplus 은 n층(60)의 아래를 통과하지 않고 에미터 전극(2)에 도달할 수가 있고, 이때문에 래치업 방지 성능이 개선되어, 대전류를 제어할 수 있다는 특징을 가진다.

이 실시예에 있어서의 p⁺층(70)은 $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³, n⁻층(20)은 $1 \times 10^{13} \sim 5 \times 10^{15}$ atoms/cm³, p층(50)은 $1 \times 10^{15} \sim 5 \times 10^{18}$ atoms/cm³, n⁺층(60)은 1×10^{19} atoms/cm³이상으로 하는 것이 바람직하다.

제1도는 본 발명의 기본 개념을 설명하기 위하여 횡형 IGBT의 최소단위를 나타내고 있으나, 실제 제품에 있어서는 이 최소 단위를 다수 병렬한 구성이 된다.

제 2도는, 본 발명의 제2실시예를 나타낸 종단면도로서, 제1도와 동일한 부호는 동일한 부분을 나타낸다. p층(50) 아래쪽의 n⁻층(20)내에는 p층(50)으로부터 떨어져 n⁺매립층(61)이 설치되어 있다. 이 실시예에서 전자 \ominus 는 저저항인 n⁺매립층(61)을 흐르기 때문에, 전자 \ominus 가 흐르는 영역의 저항이 저하하여, 제 1실시예 보다도 온 저항에 저하된다는 특징을 가진다. 이 실시예에 있어서도 제1도(b)에 나타난 평면 구조를 가지고 있다.

제3도는 본 발명의 제3실시예를 나타낸 사시도로서, 제1도와 동일한 부호는 동일한 부분을 나타내고 있다. 절연막(10)은 콜렉터 전극(3)에 가까운 측에서는 p층(50) 및 n⁻층(20)에 걸쳐지고, 또 콜렉터 전극(3)에 먼 측에서는 n⁻층(20), p층(50) 및 n⁺층(60)에 걸쳐서 설치되어 있다. p층(50) 및 p⁺층(70)은 n⁻층(20)표면에 있어서 일방향으로 길게 뻗어 형성되고, n⁺층(60)은 p층(50)의 길이 방향에 따라 병렬된 복수개의 영역으로 이루어져 있다. 이 때문에 콜렉터 전극(3)은 p⁺층(70)의 길이 방향을 따라 형성되고, 에미터전극(2)은 복수개로 분할되고, 게이트 전극(1)은 에미터 전극(2)을 포위하도록 형성되어 있다. 이 실시예에서, n⁺층(60)으로부터 흘러나온 전자 \ominus 는 절연막(10)아래의 p층 근방에 생긴 채널을 따라 p⁺층(70)에 대향한 절연막(10) 아래로부터 n⁻층(20)으로 흐른다 이 때문에 n⁻층(20)에서는 전자와 정공의 경로가 동일하게 되어 전도도가 충분히 변조되어 제1실시예보다 온저항이 낮아진다는 특징을 가진다.

제4도는 본 발명의 제4실시예를 나타낸 종단면도 및 평면도이다. n⁻층(20)내에는 p⁺층(70) 및 p층(50)이 일방향으로 길게 뻗고 또 독립적으로 설치되어 있고, 다시 p층(50)내에는 n⁺층(63), n⁺층(60), n⁺층(62)이 p층(50)의 길이방향을 따라 설치되어 있다. n⁺층(60)은 n⁺층(62,63)의 사이에 위치하고, p층(50)의 길이방향을 따라 복수개로 분할되어 있다. 에미터 전극(2)은 n⁺층(60)과 p⁺층(70)측에 위치하는 p층(50)에 접촉되는 복수개의 부분으로 이루어져 있다. 콜렉터 전극(3)은 p⁺층(70) 표면에 그 길이방향을 따라 접촉하고 있다. 게이트 전극(1)은, 에미터 전극(2)로부터 콜렉터 전극(3)에 가까운 쪽에 있어서 n⁺층(63), p층(50) 및 n⁻층(20)에 걸쳐지도록 그들위에 절연층(10)을 거쳐 형성하고, 콜렉터 전극(3)으로부터 먼 쪽에 있어서 n⁺층(60), p층(50) 및 n⁺층(20)에 걸쳐지도록 그들위에 절연층(10)을 거쳐 형성하고, 가까운 측과 먼측과는 일체구조로 되어 있다. n⁺층(62)과 n⁺층(63)과는 n⁺층(4)에 의하여 연결되어 있으나, n⁺층(4) 대신에 도체에 의하여 접속하는 것도 가능하다. p층(50)의 길이방향을 양단은 전계집중을 완화하기 위하여 소정의 곡률을 가지고, 그 주변 및 인접하는 n⁻층(20)위에 절연막(10)을 거쳐 게이트 전극(1)이 설치되어 있다. 또 p층(50), n⁺층(60), n⁺층(62) 및 n⁺층(63)은 A-A선에 대하여 대칭구조를 가지고 있다. 이 경우, n⁺층(60) 및 에미터 전극(2)은 길이방향으로 각각 2열이 설치되나, 각각의 위치는 길이방향으로 어긋나게 구성하는 것이 바람직하다. 실제의 장치에서는, 양 외측이 p⁺층(70)이 되도록 p⁺층(70)과 p층(50)이 교대로 위치하는 구성으로 한다.

이 실시예의 동작은 다음과 같다. 즉 콜렉터 전극(3)과 에미터 전극(2)과의 사이에 콜렉터 전극(3)측에 정전위가 되는 전압을 인가한 상태에서, 게이트전극(1)에 정전위를 인가하면, 절연막(10)의 아래쪽에 위치하는 p층(50) 표면에 채널이 형성된다. 채널의 형성에 의하여 n⁺층(60)으로부터 전자 \ominus 가 채널을 통하여 n⁺층(62)으로 흐른다. n⁺층(62)에 도달한 전자 \ominus 는, n⁻층(4)을 통하여 n⁺층(63)에 도달하고, 다시 콜렉터 전극(3)에 가까운 측의 게이트전극(1)의 아래쪽의 p층(50)에 형성된 채널을 통하여 n⁻층(20)으로 흘러 p⁺층(70)에 도달한다(점선으로 나타냄). 정공 \oplus 은 일정채선으로 나타낸 바와 같이 p⁺층(70)으로부터 n⁻층(20)을 통하여 p층(50)으로 들어가고, 에미터 전극에 도달하는 경로를 흐른다. 이와 같이 상기 실시예에서는 전자 \ominus 와 정공 \oplus 의 유통경로가 일치하고 있기 때문에, 전도도 변조가 충분히 행해지므

로 제1실시에보다 낮은 온저항을 갖는 횡형 IGBT를 실현할 수 있다. 또한 제3실시에와 비교했을 때 전자가 채널을 흐르는 거리가 더 짧아진다. 즉, 제3실시에에서 n^+ 층(60)으로부터 n^- 층(20)에 이르는 채널에 비하여, 상기 실시예에서 n^+ 층(60)과 n^+ 층(62)과의 사이의 채널과, n^+ 층(63)과 n^- 층(20)과의 사이의 채널의 합이 짧기 때문에 전자 \ominus 가 흐르는 거리가 짧아, 온저항이 낮아지는 장점을 가진다.

제5도는 본 발명의 제5실시예를 나타낸 종단면도이다. P^- 층(30)위에 n^- 층(20)이 형성되고, p^+ 층(71)에 의하여 둘러싸여진 구조를 가지고 있다. p^+ 층(71) 표면에는 전극(5)이 옴접촉되어 있다. 이 전극(5)에는 최저 전위가 인가되고, 이에 의하여 p^+ 층(71) 및 P^- 층(30)은 n^- 층(20)에 대하여 역바이어스가 된다. 이 때문에 동일한 P^- 층(30)위에 형성된 횡형 IGBT가 다른 소자와 전기적으로 분리된다고 하는 특징을 가진다. 이와 같이 pn 분리 기판에 횡형 IGBT를 형성하는 것은, 다음에 설명하는 제6도의 실시예를 제외한 기타의 실시예에 적용할 수가 있다.

제6도는 본 발명의 제6실시예를 나타낸 종단면도이다. 이 실시예에서는 n^- 층(20)이 지지기판(80)중에 절연막(유전체막)(11)을 거쳐 섬형상으로 형성된 하나의 단결정 영역으로 되어 있다. 제5실시예에서는 p^+ 층(70)으로부터 주입된 정공은 최저 전위가 인가되어 있는 전극(5)으로 흐르고, 이 전류가 리이크(leak) 전류가 되어 손실이 되나, 이 실시예에서는 절연막(11)으로 둘러싸여져 있기 때문에 정공이 에미터 전극(2)에 모두 흘러 들어가므로 리이크 전류를 방지하는 특성을 가진다. 이 실시예에서는, p^+ 층(70)에 인접하는 n^- 층의 부분에 n^- 층보다 고불순물 농도인 n 영역(21)을, 절연막(11)에 인접하는 n^- 층에 n^+ 층(22)을 각각 형성하고 있다. 또 p 층(50)은 n^+ 층(60)에 인접하여 p^+ 영역(51)을 가지고 있다.

이와같이 유전체 분리기판의 단결정 섬에 횡형 IGBT를 형성하는 것은, 제5도를 제외한 다른 실시예도 적용할 수가 있다.

제7도는 본 발명의 제7실시예를 나타낸 종단면도이다. 절연막(10) 및 게이트전극(1)에 대하여 대칭으로 2개의 p 층(50) 및 p^+ 층(70)이 설치되어 있다. 제2내지 제6실시예에서는 고전압이 콜렉터 전극(3)과 에미터 전극(2)과의 사이에 인가되었을 경우, 가장 전계가 높아 애벌랜치(avalanche) 항복하기 쉬운 장소는 절연막(10)의 아래가 된다. 특히, 제3및 제4실시예에서는 절연막(10)이 콜렉터 전극(3)측에 있기 때문에 그 경향이 현저해진다. 이 경우에는 절연막(10)이 파괴되어 게이트 전극(1)과 에미터 전극(2)이 단락될 우려가 있다. 이 실시예에서는 절연막(10) 퍼방향의 양측에 p 층(50)이 존재하기 때문에, 고전압이 인가되었을 경우, 절연막(10) 아래에서는 p 층(50) 상호간이 공핍층에서 핀치오프되므로, 애벌랜치 항복의 장소가 절연막(10)으로부터 떨어진 반도체 내부가 된다. 이 때문에 절연막(10) 아래에서 파괴가 생기지 않아, 제1실시에 보다 신뢰성이 높아지는 특징이 있다.

또 에미터 전극(2)이 절연막(11)을 거쳐 n^- 층(20) 위를 콜렉터 전극(3) 측에 뻗어있게 설치되어 있다. 절연막(11) 위의 에미터 전극(2)은 공핍층을 적당하게 연장시켜 전계를 완화하는 필드 플레이트의 역할을 한다. 제1실시에 내지 제6실시예에서는 절연막(10)위의 게이트 전극(1)이, 필드 플레이트의 역할도 하고 있다. 이 때문에 IGBT를 제어하기 위하여 게이트 전극(1)의 전위를 변화시키면, 공핍층의 신장방향이 변화하여 내압이 변화한다. 특히, 제3도, 제4도 및 제5도에 있어서 게이트 전극(1)에 에미터 전극(2)에 대하여 큰 부전위가 인가되면 공핍층이 p^+ 층(70)에 도달하는 펀치드로우 현상이 생겨 내압이 저하한다. 그러나, 이 실시예에서는 필드플레이트가 에미터 전극(2)으로 형성되어 있기 때문에 콜렉터 전극(3)과 에미터 전극(2)간의 전위만으로 내압이 결정되고, 제어 전압에 의하지 않고 안정된다고 하는 특징을 가진다.

이 실시예에 있어서의 p^+ 층(70), p 층(50) 및 n^+ 층(60)은 지면과 직각방향으로 길게 뻗도록 형성하는 것이 바람직하다. 이 경우, 일정채선 A_0-A_0 을 단위로하여 전류용량에따라 소요되는 수만큼 병설하면 된다.

제8도는 본 발명의 제8실시예를 나타낸 종단면도이다. p^+ 층(72)에 의하여 둘러싸여진 n^- 층(20)내에 복수개의 p 층(50)이 병설되고, 최외측에 위치하는 p 층(50)내에는 1개의 n^+ 층(60)이, 중간 p 층(50)에는 2개의 n^+ 층(60)이 각각 설치되어 있다. p 층(50)의 사이에 위치하는 n^- 층(20), 그 양측의 p 층(50) 및 n^+ 층(60)에 걸쳐 절연막(10)이 설치되고, 이 절연막(10)위에 게이트전극(1)이 설치되어 있다. p 층(50)과 n^+ 층(60)에는 에미터전극(2)이 옴접촉되어 있다. p^+ 층(72)의 노출표면에는 콜렉터 전극(3)이 옴접촉되어 있다. 가장 바깥측에 위치하는 p 층(50), n^+ 층(60), 게이트 전극(1), 에미터 전극(2), p^+ 층(72) 및 콜렉터 전극(3)으로 횡형 IGBT(A_1)가 구성되고, 중간에 위치하는 p 층(50), n^+ 층(60), 게이트 전극(1), 에미터 전극(2), p^+ 층(72) 및 콜렉터 전극(3)으로 복수개의 중형 IGBT(A_2)가 구성되어 있다.

이 실시예에 있어서, A_2 의 영역에서는, 정공 \oplus 은 저면의 p^+ 층(72)으로부터만 주입이 일어나나, A_1 의 영역에서는 저면으로부터 뿐만 아니라 측면의 p^+ 층(72)으로부터 주입이 일어나기 때문에 A_1 의 영역에 정공이 집중되나, A_1 영역에서는 에미터 전극(2)이 p 층(50)과 옴접촉하고 있는 영역이 n^+ 층(60)보다 p^+ 층(72)에 가깝게 설치되어 있기때문에, A_1 의 영역에서는 n^+ 층(60)아래를 통과하지 않고 에미터 전극(2)에 도달하게 되어 래치업 방지 성능이 개선된다고하는 특징을 가진다.

제9도는 본 발명의 횡형 IGBT를 전력 변환장치에 응용한 예를 나타낸 것으로, 4개의 횡형 IGBT를 온, 오프 함으로써 전류를 제어하는 인버터이다. 도면에 있어서, 80a, 80b, 80c, 80d는 유전체 분리기판(300)의 섬형상 영역에 형성된 횡형 IGBT, 90a, 90b, 90c, 90d는 유전체 분리기판(300)의 다른 섬형상 영역에 형성된 다이오드, T_{AC} 는 교류측단자, T_{DC} 는 직류측단자, G_a, G_b, G_c, G_d 는 게이트 단자, 100은 부하, 200은 직류전원이다. 이와같은 장치에서는 다이오드(90B)에 전류가 흐르고 있을 때 IGBT(80a)가 온 된다고 하는 동작이 있다. 즉 IGBT(80a, 80d)가 온이 되어 전류(I_1)가 흐르고 있는 상태에서 전류제어를 위해 IGBT(80a)를 오프시키면, 전류는 IGBT(80d)와 다이오드(90b)를 통하여 흐른다(전류 I_2). 이때 IGBT(80a)를 다시 온하면 전원전압이 다이오드(90b)에 인가되기 때문에 다이오드(90d)에 축적되어 있던 과잉 캐리어가 흘러나오게 되어, 과도적으로 전류(I_3)가 흐른다. 제10도는 이 과도상태를 모식적으로 나타낸 도이다. $t=t_1$ 에서 IGBT(80a)가 온되면 다이오드(90b)에 흐르고 있던 전류(I_2)는 감소하여 시각 $t=t_2$ 부터 I_2 와는 역 방향으로 전류 (I_3)가 흐른다. 이때 IGBT(80a)에는 전류(I_3)가 영이 되는 $t=t_3$ 까지 I_1+I_3 라고하는 전류가 흐른다. 이 때문에 $t=t_2\sim t_3$ 의 사이에서는 과대한 전류가 흐른다. 이 때문에 종래의 횡형 IGBT에서는 래치업이 생겨 전류를 제어할 수 없게 되었으나, 본 발명의 횡형 IGBT를 사용한 전류 변환장치에서는 래치업 방지 성능이 개선되고 있기 때문에, 과도적인 과대 전류에 의한 제어 불능 상태는 되지 않는다.

이상은 본 발명의 대표적인 실시예를 설명했으나, 본 발명은 이것들에 한정되지 않고 여러가지 변형이 가능하다.

본 발명에 의하면, 횡형 절연 게이트 바이폴라 트랜지스터에 있어서 콜렉터층과 동일 도전형을 가지는 반도체층과 에미터 전극이 접하는 영역을 에미터층보다 콜렉터층에 가깝도록 설치함으로써, 래치업 방지 성능을 개선하고, 대전류를 제어할 수 있다.

(57) 청구의 범위

청구항 1

한쪽 도전형의 제1의 반도체 영역; 제1의 반도체 영역의 표면으로부터 내부로 연장되고, 표면에 있어서의 일방향으로 길게 연장되고 동시에 서로 분리되어 설치된 다른쪽 도전형의 제2반도체 영역 및 제3의 반도체 영역; 제2반도체 영역내에 있어서, 제2반도체영역의 표면으로부터 내부로 연장되어 형성되고 제2의 반도체영역의 길이방향을 따라 복수개로 병렬설치된 한쪽 도전형의 제4반도체 영역; 제4의 반도체영역표면과 그 제3의 반도체영역측에 위치하는 제2의 반도체영역표면에 옴접촉된 복수의 제1주전극; 제3의 반도체 영역 표면에 그 길이 방향을 따라 옴 접촉된 제2의 주전극; 및 제1의 주전극과 제2의 주전극의 반대측에 있어서의 제1, 제2 및 제4의 반도체 영역에 걸쳐지도록, 다른 개소에 있어서는 제4의 반도체 영역으로부터 분리되어 제1및 제2의 반도체영역에 걸쳐지도록 절연막을 거쳐 각 영역표면상에 설치한 제어전극을 구비하는 것을 특징으로하는 횡형 절연게이트 바이폴라트랜지스터.

청구항 2

제10항에 있어서, 상기 제1의 반도체 영역이, 다른쪽 도전형을 가지는 반도체기판의 한쪽의 표면측에서 표면으로부터 내부로 연장되어 형성된 영역인 것을 특징으로하는 횡형 절연 게이트 바이폴라트랜지스터.

청구항 3

제10항에 있어서, 상기 제1의 반도체영역이, 유전체분리기판에 섬형상으로 형성된 단결정 영역인 것을 특징으로하는 횡형 절연게이트 바이폴라트랜지스터.

청구항 4

제10항에 있어서, 상기 제어전극을 상기 제1의 주전극으로부터 분리되어 그것을 포위하도록 형성한 것을 특징으로하는 횡형 절연게이트 바이폴라트랜지스터.

청구항 5

한쪽 도전형의 제1의 반도체 영역; 제1의 반도체영역의 표면으로부터 내부로 연장되고, 표면에 있어서의 일방향으로 길게 연장되는 동시에 서로 분리되어 설치된 다른 쪽의 도전형의 제2의 반도체영역 및 제3의 반도체 영역; 제2의 반도체영역내에 있어서, 제2의 반도체영역의 표면으로부터 내부로 연장되어 형성되며 제2의 반도체영역의 길이 방향을 따라 복수개로 병렬설치된 한쪽 도전형의 제4반도체 영역; 제2의 반도체영역의 표면으로부터 내부에 연장되고, 제2의 반도체 영역의 길이방향을 따라 연장됨과 동시에 제4의 반도체영역의 양측에 그로부터 분리되어 설치된 한쪽 도전형의 제5및 제6의 반도체영역; 제4의 반도체영역표면과 그 제3의 반도체영역측에 위치하는 제2반도체영역표면에 옴접촉된 복수의 제1의 주전극; 제3의 반도체영역표면에 그 길이방향을 따라 옴접촉한 제2의 주전극; 제1의 주전극과 제2의 주전극의 반대측에 있어서의 제2, 제4 및 제5의 반도체영역에 걸쳐져서 각 영역표면상에 절연막을 거쳐 설치한 제1의 제어전극; 제1, 제2 및 제6의 반도체영역에 걸쳐져서 각 영역 표면상에 절연막을 거쳐 설치되고, 제1의 제어전극에 전기적으로 접속된 제2의 제어전극; 및 제5의 반도체 영역과 제6의 반도체 영역을 전기적으로 접속하는 수단을 구비하는 것을 특징으로하는 횡형 절연게이트 바이폴라트랜지스터.

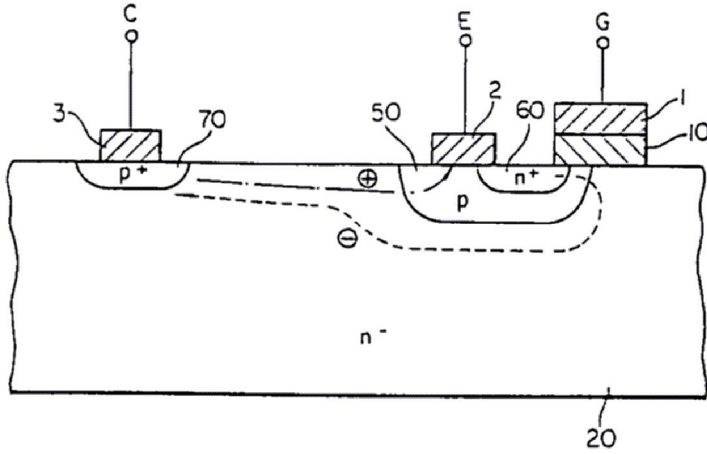
청구항 6

한쪽 도전형의 제1반도체영역; 제1의 반도체영역의 표면으로부터 내부로 연장되어 설치되고, 제1의 반도체영역보다 낮은 불순물농도를 가지는 다른쪽 도전형의 제2의 반도체영역; 제2의 반도체영역의 표면으로부터 내부로 연장되고, 표면에 있어서의 일방향으로 길게 연장되는 동시에 서로 분리되어 복수개로 병렬 설치되고, 제2의 반도체 영역보다 높은 고불순물농도를 가지는 한쪽 도전형의 제3의 반도체 영역; 각

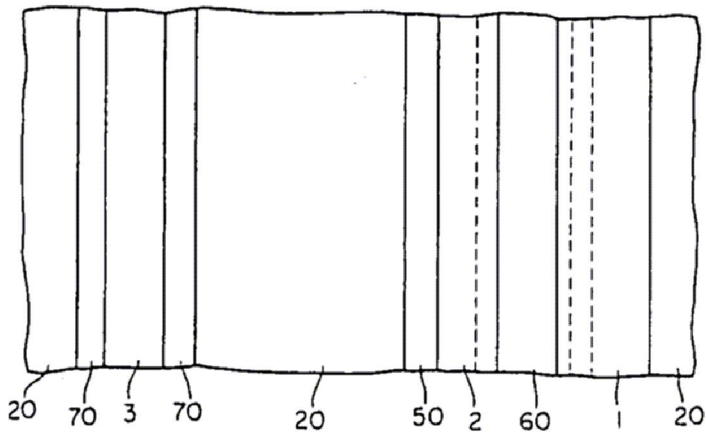
제3의 반도체 영역내에 있어서, 각 제3의 반도체영역의 표면으로부터 내부로 연장되어 설치된 적어도 1개의 다른쪽 도전형의 제4의 반도체영역; 각 제3의 반도체영역표면과 그것에 인접하는 제4의 반도체영역표면에 길이방향을 따라 옹접촉하고, 최외측에 위치하는 제3의 반도체영역에 있어서는 제4의 반도체영역 및 제4의 반도체 영역의 제1반도체영역의 노출표면에 가까운 측에서 제3의 반도체 영역에 접촉하는 복수의 제1의 주전극; 제1의 주전극 서로를 전기적으로 접속하는 수단; 제1의 반도체영역표면에 옹접촉하는 제2주전극; 각 제3의 반도체 영역표면으로부터 인접하는 제4의 반도체영역 및 제2의 반도체영역에 걸쳐져서 각 영역표면상에 절연막을 거쳐 설치된 복수의 제어전극; 및 상기 제어전극 서로를 전기적으로 접속하는 수단을 구비하며, 복수의 제3의 반도체영역 중 중간에 위치하는 영역에는 각각 2개의 제4의 반도체 영역이 설치되어 있는 것을 특징으로하는 횡형 절연게이트 바이폴라트랜지스터.

도면

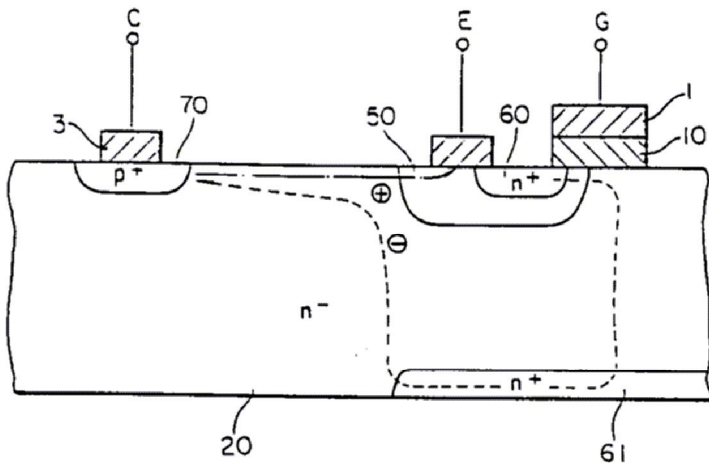
도면1a



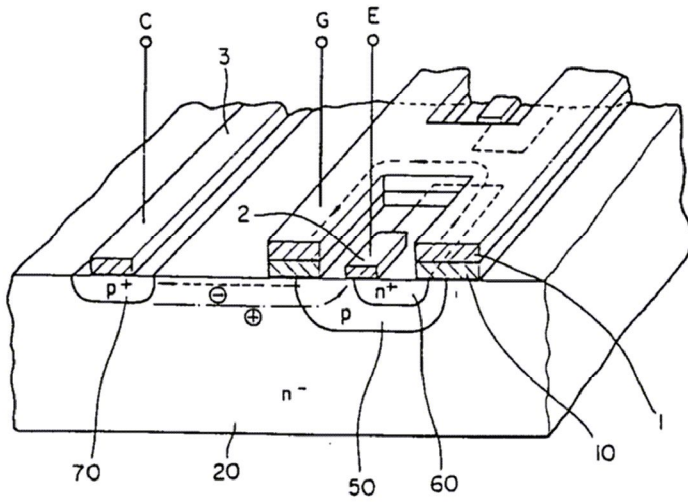
도면1b



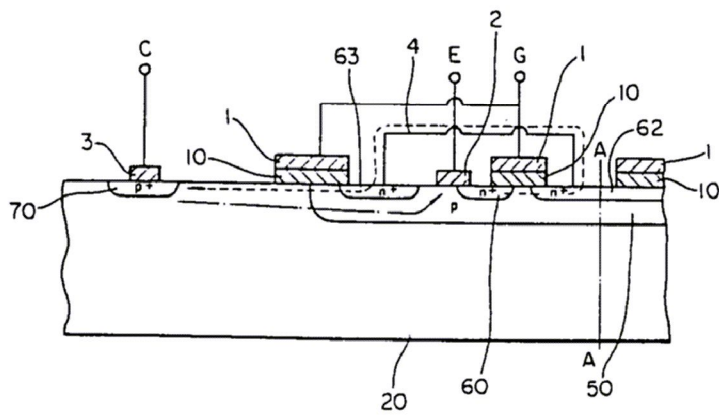
도면2



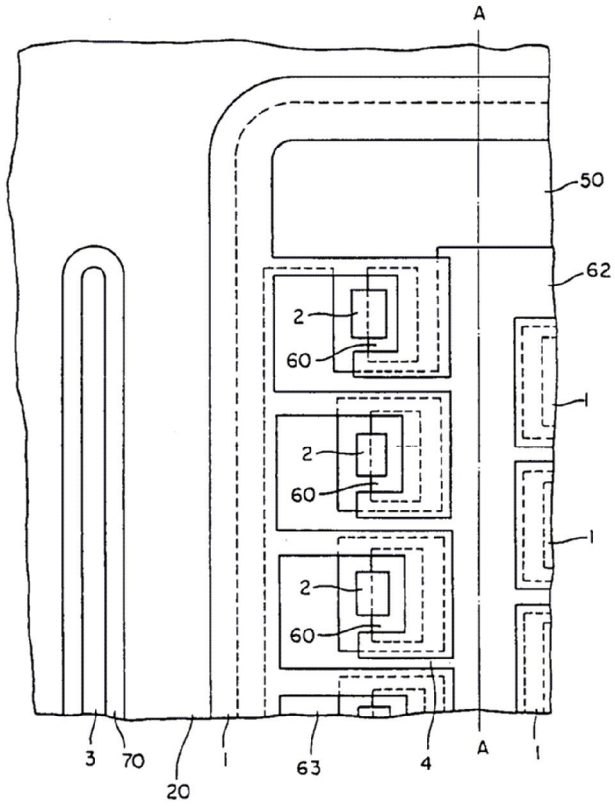
도면3



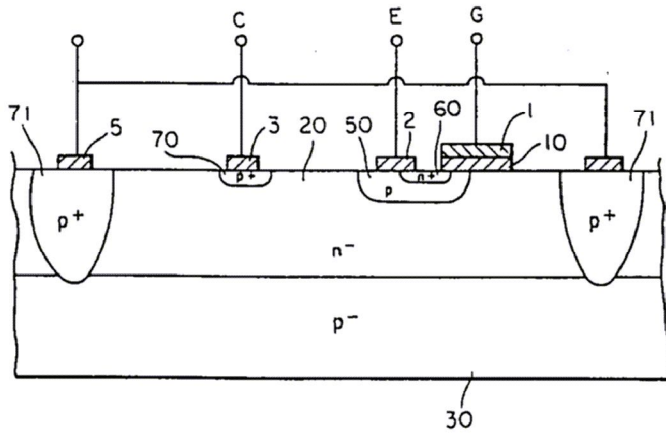
도면4a



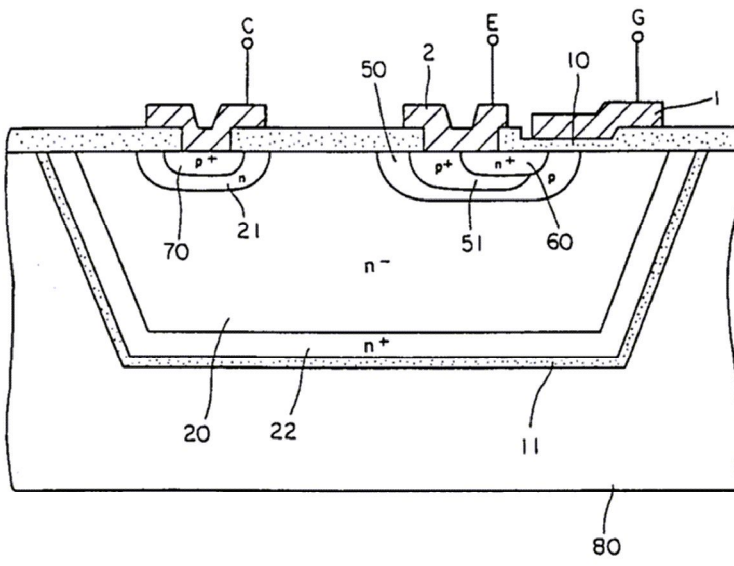
도면4b



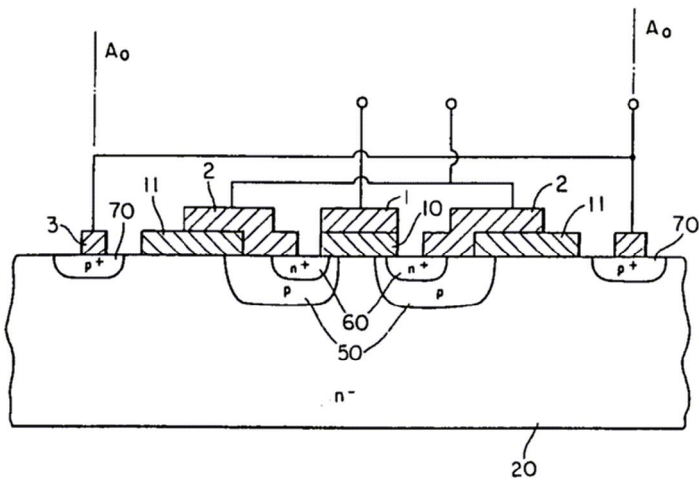
도면5



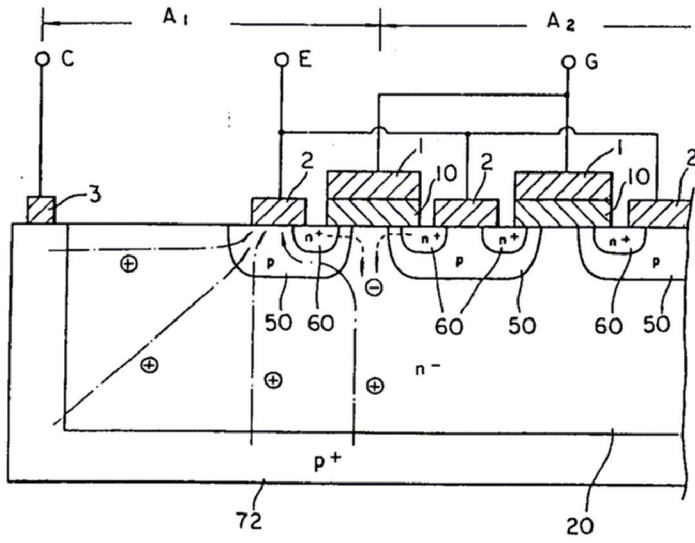
도면6



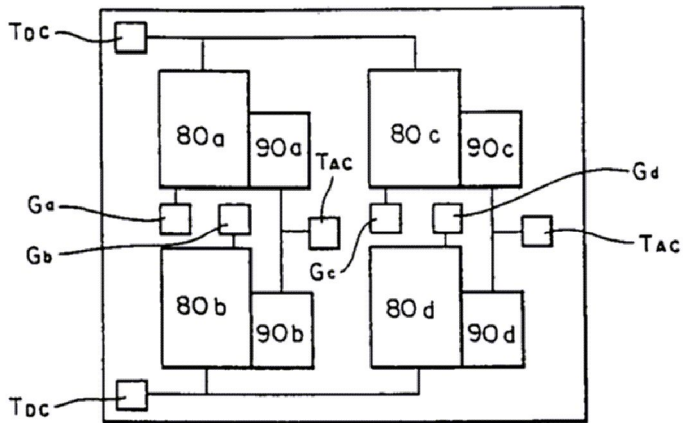
도면7



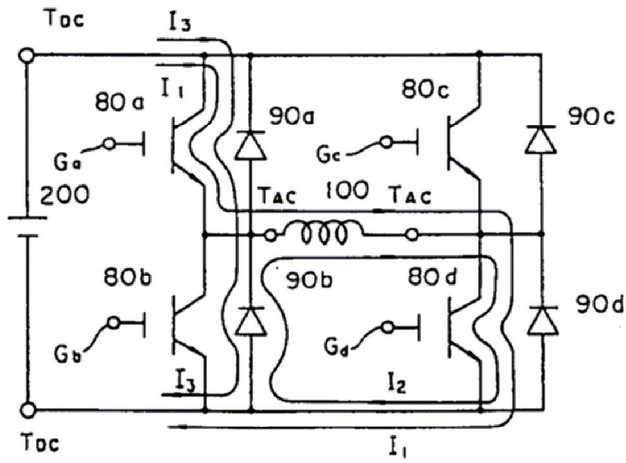
도면8



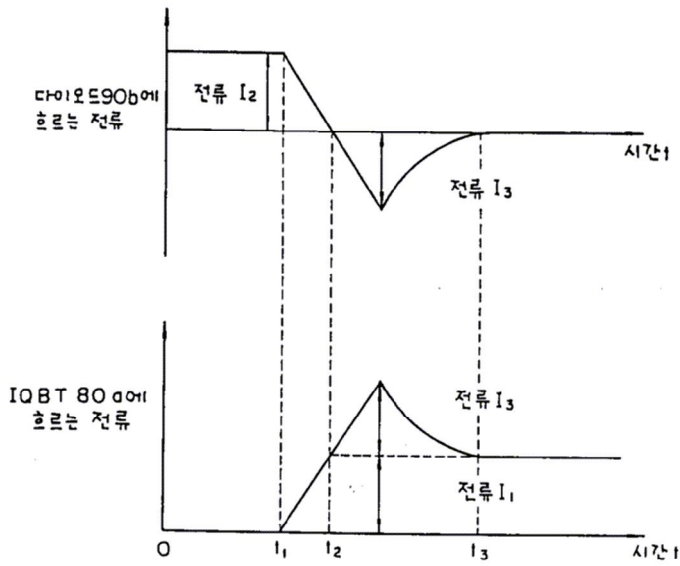
도면9a



도면9b



도면10



도면11

