



[12] 实用新型专利说明书

专利号 ZL 200520120209.8

[45] 授权公告日 2006 年 12 月 27 日

[11] 授权公告号 CN 2852534Y

[22] 申请日 2005.12.12

[21] 申请号 200520120209.8

[73] 专利权人 深圳艾科创新微电子有限公司

地址 518057 广东省深圳市南山区高新区科
技中二路软件园 4 栋 4 楼 406-421 室

[72] 设计人 刘敬波 胡江鸣 秦玲 刘茂生
王长江 姚伟 石岭 刘云

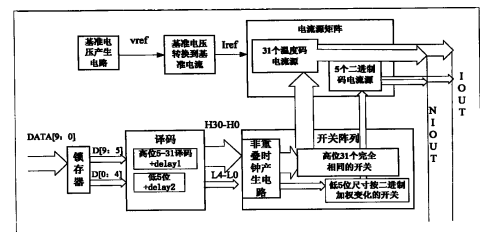
权利要求书 2 页 说明书 8 页 附图 4 页

[54] 实用新型名称

一种高速分段电流型 DAC 电路

[57] 摘要

本实用新型公开了一种高速分段电流型 DAC 电路，包括一基准电压产生电路，一基准电压到基准电流转换电路，一电流源矩阵，一开关阵列，一锁存器阵列，一译码电路，一非重叠时钟产生电路阵列，其特征在于电路采用“5+5”的分段方式，即高 5 位采用温度计译码型，低 5 位采用二进制权值型；基准电压产生电路的输出电压作为基准电压到基准电流转换电路的输入电压，基准电压到基准电流转换电路的输出电流作为电流源阵列比例镜像的基准电流。本实用新型所述电路可以有效的减小芯片面积，灵活调整两互补时钟的不重叠间隔，译码电路的输出通过增加延时 Delay 电路，调整高位温度码信号与低位二进制码信号翻转时的边沿，使其对齐。



1、一种高速分段电流型 DAC 电路，包括一基准电压产生电路，一基准电压到基准电流转换电路，一电流源矩阵，一开关阵列，一锁存器阵列，一译码电路，一非重叠时钟产生电路阵列，其特征在于，所述高速分段电流型 DAC 电路采用‘5+5’的分段方式，即高 5 位采用温度计译码型，低 5 位采用二进制权值型；基准电压产生电路的输出电压作为基准电压到基准电流转换电路的输入电压，基准电压到基准电流转换电路的输出电流作为电流源阵列比例镜像的基准电流，其数字输入 D9~D0 先通过锁存器进行数据锁存，然后进入译码电路，其输出结果 H0~H30 和 LSB~L3 经过非重叠时钟产生电路产生高位 31 对互补输出和低位 5 对互补输出，用这 36 对数字信号作为开关的控制信号，控制相应电流源支路电流的流向。

2、根据权利要求 1 所述的一种高速分段电流型 DAC 电路，其特征在于：所述的电流源矩阵包含高位完全相同的 31 个温度码电流源和低位 5 个按二进制规律变化的二进制电流源。

3、根据权利要求 1 所述的一种高速分段电流型 DAC 电路，其特征在于：所述的开关阵列包含高位完全相同的 31 个温度码电流开关和低位 5 个按二进制电流变化的二进制电流开关。

4、根据权利要求 1 所述的一种高速分段电流型 DAC 电路，其特征在于：所述的译码电路包含高位的 5~31 译码转换电路和高位的延时电路 delay1 和低位的延时电路 delay2，可通过增加延时电路使信号翻转时边沿对齐。

5、根据权利要求 3 所述的温度码电流开关，其特征在于：所述的温度码电流开关由高位 D9~D5 译码输出的 31 个数字信号控制。

6、根据权利要求 1 所述的二进制电流开关，其特征在于：所述的二进制电流开关由低位 D4~D0 5 个数字信号直接控制。

7、根据权利要求 1 所述的一种高速分段电流型 DAC 电路，其特征在于：所述的非重叠时钟产生电路阵列包含 36 个完全相同的单元电路（非重叠时钟产生电路），每一个单元电路实现由一个数字信号产生两个非重叠时钟电路。

8、根据权利要求 1 所述的一种高速分段电流型 DAC 电路，其特征在于：所述的非重叠时钟产生电路可部分用数字的标准单元 DFF 进行替换。

一种高速分段电流型 DAC 电路

技术领域

本实用新型涉及一种数字模拟转换电路,尤其是一种高速分段电流型 DAC 电路。

背景技术

数模转换器 (DAC) 被认为是标准通用的模拟电路之一,在数字处理系统中有着广泛的应用。数字处理技术的快速发展,对数模转换器提出了更高的要求。例如,更高的速度,更高的分辨率,更低的功耗和低电压工作等等。数模转换器 (DAC) 还是广泛应用于通信系统和音频视频处理系统的关键部件之一。随着集成电路与制造工艺相兼容,高速高分辨率 DAC 成了混合信号集成电路的研究热点。电流型 DAC 因其具有面积小,速度高,与数字 CMOS 工艺相兼容等特点而成为高速高分辨率 DAC 的最佳实现方式。

电流型 CMOS DAC 有 3 种实现方式:二进制权值型、温度计译码型和分段型。二进制权值型 DAC 电路结构简单,但总共的谐波失真 (THD) 较大,单调性不好。温度计译码型 DAC 需要复杂的译码电路,芯片面积较大。分段型 DAC 综合了以上两种结构的优点,既可以实现高速度,又可以保证单调性和 THD 以及较小的面积。分段型是将整个 DAC 分成两个子 DAC, P-MSB 位采用温度计译码型, Q-LSB 位采用二进制权值型 (在 N 位 DAC 中, $P+Q=N$)。为了优化速度,面积和频域参数,在 10 位 DAC 的设计中,高 8 位采用温度计译码型,低 2 位采用二进制权值

型。附图 1 是现有的‘8+2’分段电流源的总体电路结构图，从图中可以看出，255 个相同的电流源（温度计译码部分）和 2 个权值不同的电流源（二进制权值部分），分别被互补电流开关导向输出 IOUT 或者 NIOUT，电流开关由输入数字信号控制。

图 1 为一般现有分段电流型数字模拟转换电路的结构图，从图 1 可知，占电路最大面积的是 16*16 的电流源矩阵，包括 255 个单元电流源。

现有分段电流型数字模拟转换电路的转换原理是：当输入一组数字 D0~D9 时，高 8 位进入锁存器 LATCH1，输出 DOUT2~DOUT9，低 2 位进入锁存器 LATCH2，输出 L0, L1。DOUT2~DOUT9 再分成两部分，高四位 DOUT6~DOUT9 作为行译码器的输入，低四位 DOUT2~DOUT5 作为列译码器的输入，分别译码后通过逻辑组合生成 16*16 温度码阵列。这些温度码数字信号用来控制 16*16 的温度码电流源开关。差分对开关是 PMOS 管，数字信号 0 代表开关闭合，1 代表开关断开，例如：加在开关管的数字信号为 0，相应的支路电流被导出到 IOUT 端口，否则，电流输出到 NIOUT 端口。低两位的电流源直接由锁存器 LATCH2 的输出 L0, L1 控制，最后，将高位与低位所有闭合开关对应的支路电流流入 IOUT，求和形成该时刻数字输入转换成的模拟电流量。

如果针对高 8 位进行整体译码，译码电路规模庞大。所以采用分组方法，即高位、低位分别进行 4~16 译码，再通过逻辑电路产生开关的控制信号。从原来的 8~256 变为两个 4~16 译码电路，极大地简化了译码电路的复杂性。

同步锁存器电路和由它生成的两个互补开关控制信号的波形如图 2 所示。在这个同步锁存器电路中，两个互补输出存在一个本征延时，因而降低了互补开关控制信号的交叉点。从波形可看出，这种方法解决了差分对开关同时断开的问题，减小了电流源漏端电压的变化，使输出电流更加理想。

现有 DAC 电路的缺陷：电路采用 8+2 的分段方式，即高 8 位通过行列译码电路生成 16*16 温度码开关阵列，再通过这些信号选通对应的 16*16 温度码电流源阵列，低 2 位采用二进制电流源。16*16 的开关阵列和 16*16 的电流源阵列，在版图中消耗巨大的面积。另外，同步锁存器其交叉点可调范围很小，也就是说两个互补输出之间的延时较短，如果译码电路和版图布线造成延时较长，会使同步锁存器电路设计的互补输出延时产生错误，严重的会导致这两个互补信号同时为 1，差分对开关均断开，引起毛刺电流(glitch)。而且，如果译码电路造成的延时过大，同步锁存器在采样时可能发生错误。

发明内容

针对上述现有 DAC 电路的缺陷，本实用新型公开了一种新的数字模拟转换电路结构，它采用‘5+5’的分段方式，该分段结构可以有效的减小芯片面积。采用非重叠时钟产生电路，可灵活调整两互补时钟的不重叠间隔。译码电路的输出通过增加延时 Delay 电路，调整高位温度码信号与低位二进制码信号翻转时的边沿，使其对齐。

本实用新型一种高速分段电流型 DAC 电路，包括一基准电压产生电路，一基准电压到基准电流转换电路，一电流源矩阵，一开关阵列，一锁存器阵列，一译码电路，一非重叠时钟产生电路阵列，其特征在于：所述高速分段电流型 DAC 电路采用‘5+5’的分段方式，即高 5 位采用温度计译码型，低 5 位采用二进制权值型；基准电压产生电路的输出电压作为基准电压到基准电流转换电路的输入电压，基准电压到基准电流转换电路的输出电流作为电流源阵列比例镜像的基准电流，其数字输入 D9~D0 先通过锁存器进行数据锁存，然后进入译码电路，其输出结果 H0~H30 和 LSB~L3 经过非重叠时钟产生电路产生高位 31 对

互补输出和低位 5 对互补输出，用这 36 对数字信号作为开关的控制信号，控制相应电流源支路电流的流向。

所述的电流源矩阵包含高位完全相同的 31 个温度码电流源和低位 5 个按二进制规律变化的二进制电流源。

所述的开关阵列包含高位完全相同的 31 个温度码电流开关和低位 5 个按二进制规律变化的二进制电流开关。

所述的译码电路包含高位的 5~31 译码转换电路和高位的延时电路 delay1 和低位的延时电路 delay2，可通过增加延时电路使信号翻转时边沿对齐。

所述的温度码电流开关由高位 D9~D5 译码输出的 31 个数字信号控制。

所述的二进制电流开关由低位 D4~D0 5 个数字信号直接控制。

所述的非重叠时钟产生电路阵列包含 36 个完全相同的单元电路（非重叠时钟产生电路），每一个单元电路实现由一个数字信号产生两个非重叠时钟电路。

本实用新型一种高速分段电流型 DAC 电路，其非重叠时钟产生电路可部分用数字的标准单元 DFF 进行替换，这样能更有效的提高 DAC 电路的转换速度。

本实用新型的有益效果表现在如下几个方面：

- (1) 毛刺减小，DA 输出的线性度明显提高；
- (2) 通过使用译码加延时可以灵活的调整数字信号的边沿，使它们对齐，避免了开关的误操作，保证了转换电路的高速度；
- (3) 非重叠时钟产生电路取代了现有的同步锁存器，对输出的两互补时钟可方便调节其不重叠的间隔，避免了互补开关因同时关闭而引起的尖峰电流；
- (4) 本实用新型还提供了另外一种技术方案，非重叠时钟产生电路可部分用数字的标准单元 DFF 进行替换，从而使数字信号进一步对齐，提高了转换速度。

附图说明

图 1 为现有分段电流型数字模拟转换单电路的结构图

图 2 为现有同步锁存器电路及波形图

图 3 为本实用新型 5+5 分段电流型原理图

图 4 为本实用新型基准电压到基准电流转换电路

图 5 为本实用新型电流源单元电路

图 6 为本实用新型采用的非重叠时钟产生电路

图 7 为本实用新型用数字标准单元 DFF 替换部分非重叠时钟产生电路的电路图

具体实施方式

图 3 为本实用新型一种高速分段电流型 DAC 电路的原理图，包括一个基准电压产生电路，一个基准电压到基准电流转换电路，一个电流源矩阵，一个锁存器阵列，一个译码电路，一个非重叠时钟产生电路阵列，一个开关阵列。

二进制码 DAC，数字输入直接控制开关，与开关对应的电流源为二进制权重。这种结构的优点在于：结构简单，不需要译码逻辑。但是它的缺点限制了它的应用。在中码转换时（即 0111111111—1000000000），失配严重，最高位电流源所提供的电流等于其余所有低位电流源提供的电流之和，在这种情况下要使误差小于 0.5LSB 是相当困难。

温度码 DAC，所谓温度码，就是二进制码所代表的十进制是多少，那么就有多少个开关处于闭合状态，每一个单元电流源开关由二进制——温度码译码电路的输出控制。数字输入每增加 1LSB，仅由一个开关进行切换，即使在中码时也是这样。模拟输出总是随数字输入的递增而单调递增，所以这种结构具有完美的单调特性。比起二进制码 DAC，中码时的输出毛刺幅度大大降低，但是这种

结构的芯片面积消耗巨大，限制了它的使用。每增加一个 LSB，就需要增加一个电流源，一个开关，二进制——温度码译码电路的规模随之扩大。10bit DAC 就需重复 $2^{10} = 1024$ 次，分辨率每提高一位，规模就扩大一倍！

本实用新型综合面积和精度的要求，设计了‘5+5’的分段方法，即高 5 位采用温度计译码型，低 5 位采用二进制权值型。温度码电流源由高位 D9~D5 译码输出的 31 个数字信号控制，二进制码电流源由低位 D4~D0 5 个数字信号直接控制。

在电流型的 DAC 工作状态中，首先利用基准电压产生基准电流 I_{ref} ，然后对该电流进行比例镜像。本实用新型通过采用基准电压、放大器和外接可调电阻产生基准电流 I_{ref} ，见图 4

$$I_{ref} = V_{ref}/R \quad (1)$$

开关阵列受译码电路输出 b_i （在图 3 中， b_i 对应译码输出的的高位 H_i 和低位 L_i ）的控制。每一位 b_i 控制相应位的开关，开关采用两个 PMOS 管作差分对输入，当 $b_i=1$ 时，开关将电流源阵列中相应的电流输出到 NIOUT 端口；当 $b_i=0$ 时，开关将电流源阵列中相应的电流输出到 IOUT 端口，电流源和开关如图 5 所示。

本实用新型的具体工作过程如下：高位输入 D5-D9 译码得到十进制是多少，就有多少个开关处于闭合状态，低位输入 D0-D4 直接控制开关，根据叠加原理，将高位与低位闭合开关对应的电流相加，输出到 IOUT 或 NIOUT 端口，模拟电流通过外接电阻即得模拟电压，这个值就是该时刻输入 D0-D9 所对应的模拟量。

假设最低位 LSB 电流为 I ，则

$$\text{高位温度码电流源电流是： } I_H = 2^5 I \quad (2)$$

$$\text{低位二进制码电流源电流是： } I_L = 2^n I \quad (n \text{ 为 } 0-4) \quad (3)$$

输出的总电流

$$I_{\text{OUT}} = 2^5 I(H_{30} + H_{29} + \dots + H_1 + H_0) + I(L_4 2^4 + L_3 2^3 + L_2 2^2 + L_1 2^1 + L_0 2^0) \quad (4)$$

高位译码输出对应 H_{30} 到 H_0 共 31 个数字信号，每次数字输入每增加 1LSB，仅仅由一个开关 H_i 进行切换。低位输出对应 L_4 到 L_0 共 5 个数字信号，可能同时会有 5 位进行开关动作。上述 (4) 式中 H_i 和 L_i 为 1 或为 0，按 (4) 式进行加权。例如，将 10101 01011 数字输入到 D/A 转化器中，首先进行数据锁存，确保持转换的数字不会改变，然后将 10 位数据同时进入译码电路，高位进行二进制码到温度码的译码， $N_1 = 2^4 + 2^2 + 2^0 = 21$ 表示 H_0 到 H_{20} 共 21 条支路开关闭合，高位输出的总电流 $I_1 = 2^5 I(H_{20} + H_{19} + \dots + H_1 + H_0) = 2^5 I * 21 = 672 * I$ ，低 5 位数据不进行译码，直接作为开关信号控制二进制码电流源，低位输出的总电流 $I_2 = I(L_3 2^3 + L_1 2^1 + L_0 2^0) = 11 * I$ ，把高位与低位所有开关闭合的支路电流相加，得到总电流 $I_{\text{out}} = I_1 + I_2 = 683 * I$ 。I 的值是 I_{ref} 的比例镜像，所以可以通过调整外接电阻 R 来改变 LSB 的大小。

在电流源中，某个时刻只能有唯一的状态，要么输出在 IOUT 端，要么在 NIOUT 端，绝对不能出现两个开关同时断开的状态。开关必须处在唯一确定的状态，但在数字译码电路中，由于时序延迟和译码速度的不同，将导致在电流源开关的控制上，出现两个开关同时断开的错误状态，从而引起毛刺电流 (glitch)，甚至 DAC 的转换错误。非重叠时钟产生电路阵列正是为了避免这种情况的发生而设计的。非重叠时钟产生电路阵列可以输出较理想的互补信号，这可以减小下列因素的影响：两个开关同时断开时电流源漏端电压变化引起的电流变化，高、低两段进位引起的最大尖峰。

本实用新型使用的非重叠时钟产生电路见图 6，该电路可以通过调整 MOS 管的宽长比来设计两时钟的交叉点位置，避免了因译码电路和版图布线造成的延

时而导致两个互补时钟同时断开，引起毛刺电流 (glitch)。使用此电路极大地增加了设计的灵活性。

高 5 位输入到 5-31 译码电路中，因为译码电路的延时，低位每次从全 1 跳变到全 0，译码输出信号 H30-H0 的相应位 Hi 发生跳变，Hi 与低 5 位的信号边沿不对齐，造成很大的尖峰电流，影响输出的数模转换性能。对此，本实用新型在数字译码电路后通过模拟的方法进行改进。通过测量延时波形，调整延时 (delay) 的个数，使 Hi 与低 5 位的信号边沿对齐，以消除尖峰电流。

由于分段方式不同，本实用新型 5+5 的温度码电流源个数 (31)，相比现有的 8+2 的温度码电流源个数 (255)，电流源个数明显减小，节省了芯片面积。

在上述实施例中，本实用新型一种高速分段电流型 DAC 电路的非重叠时钟产生电路阵列，其非重叠时钟产生电路可部分用数字标准单元 DFF 替换，如附图 6 中所示，非重叠时钟产生电路中的 1 或 2 部分可使用标准单元 DFF，替换后的电路如附图 7 所示，替换后的电路增加了一个时钟端口，通过时钟使数字信号进一步对齐，提高了转换速度，工作过程和原理与上述实施例描述基本相同，在此，不再阐述。

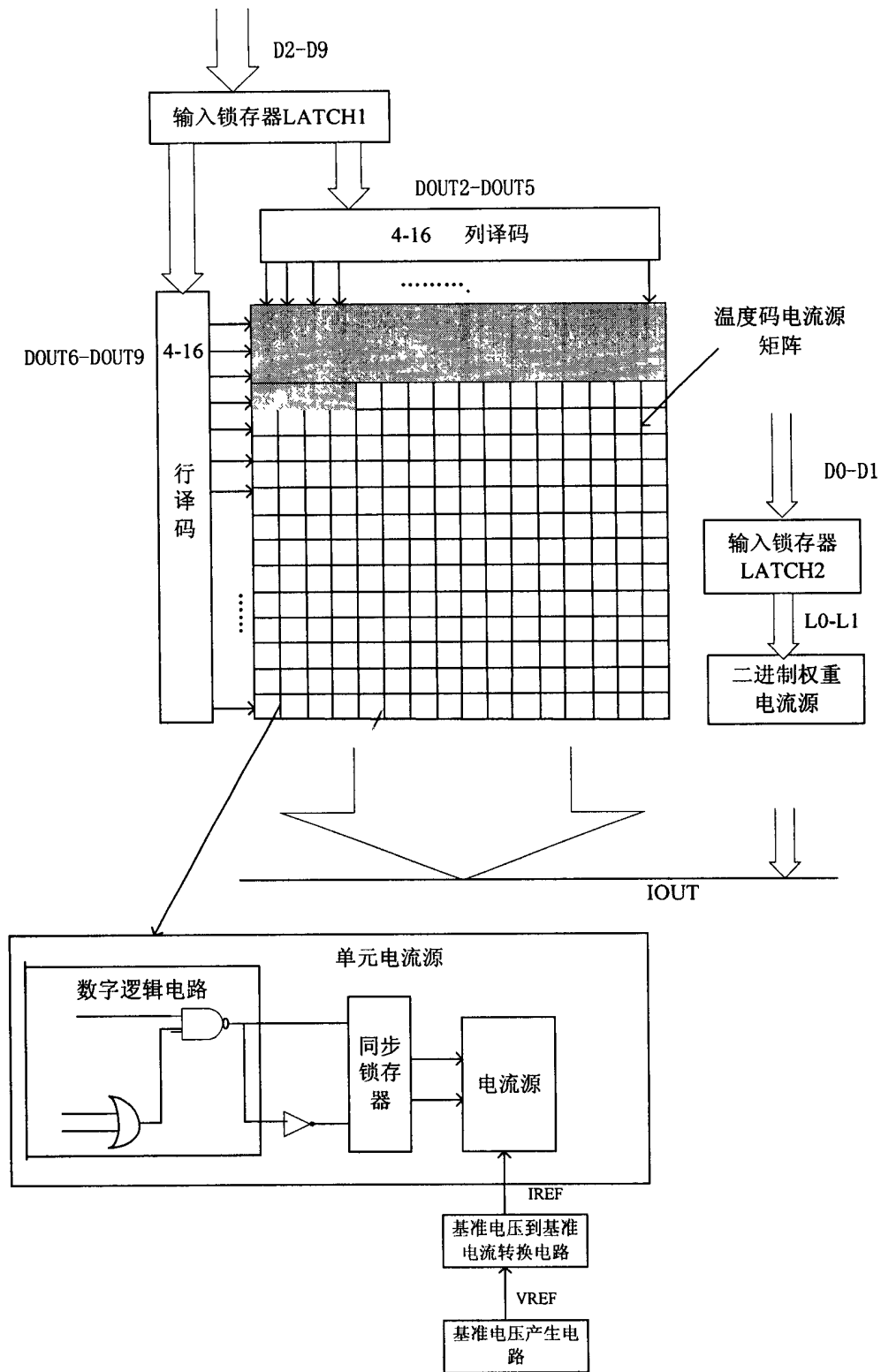


图 1

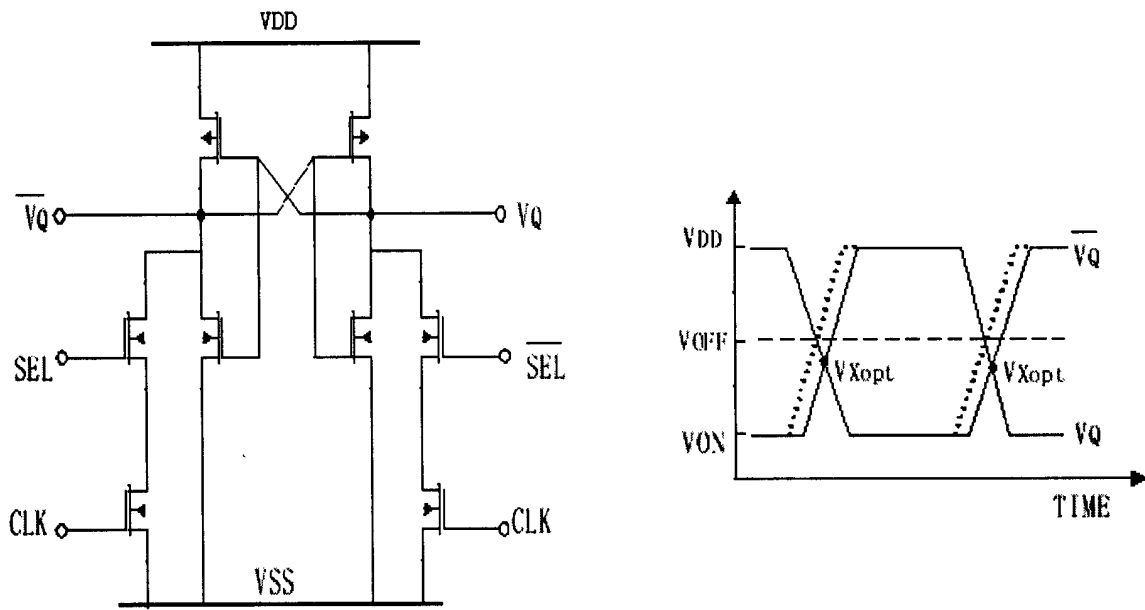


图 2

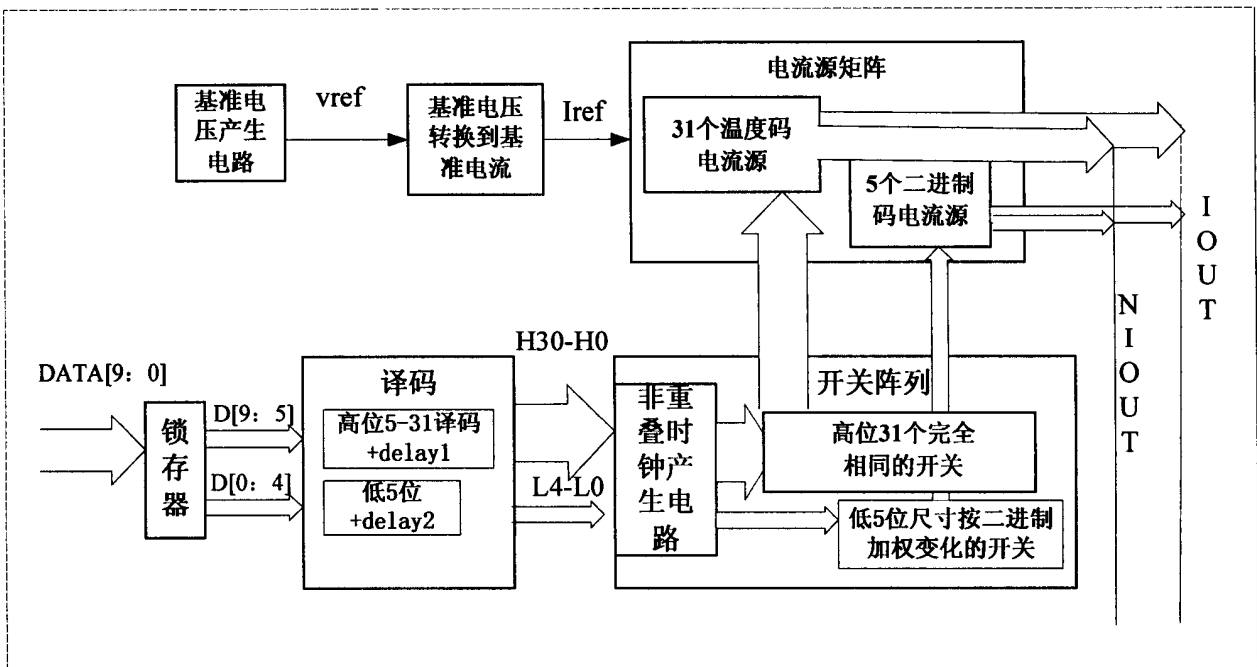


图 3

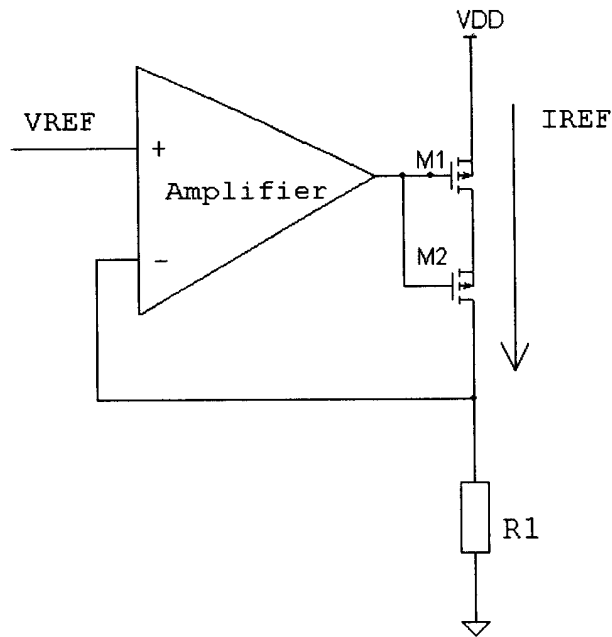


图 4

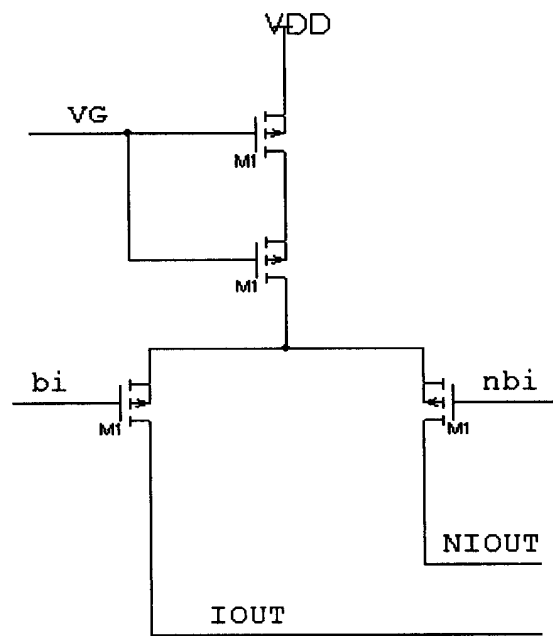


图 5

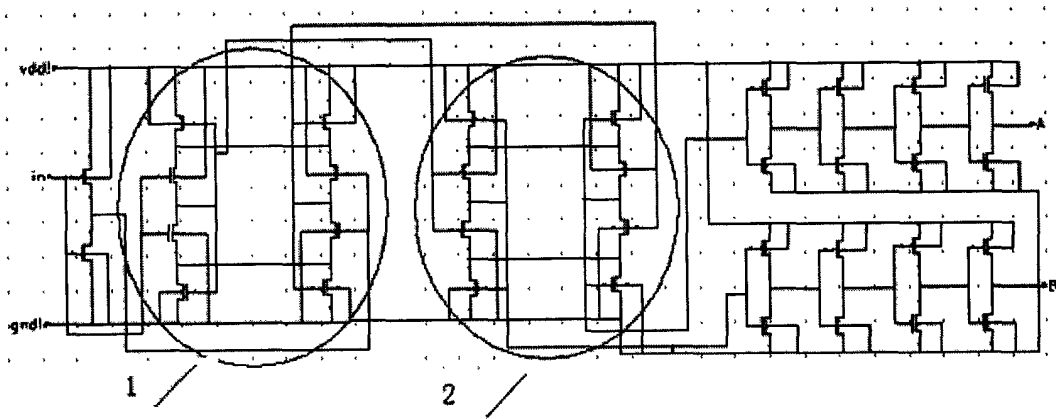


图 6

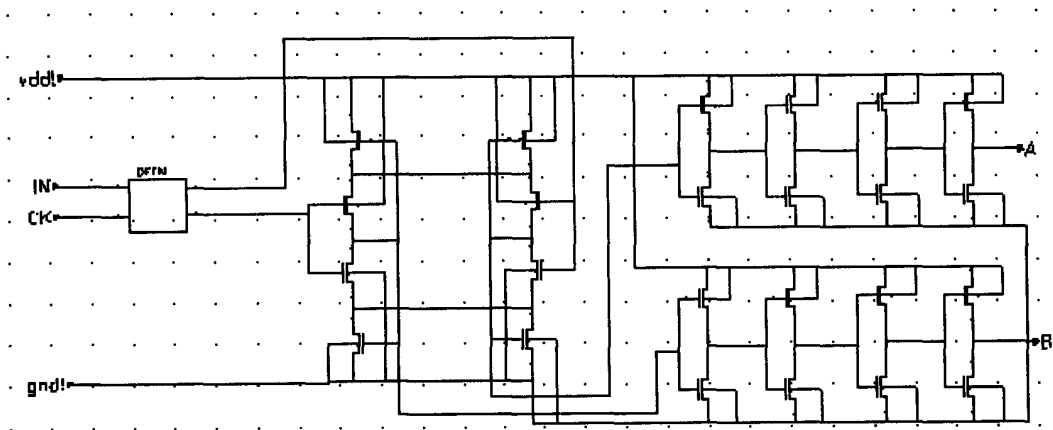


图 7