



(12) 发明专利

(10) 授权公告号 CN 111403404 B

(45) 授权公告日 2021.08.13

(21) 申请号 202010134948.1

H01L 27/11582 (2017.01)

(22) 申请日 2020.03.02

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 111403404 A

CN 109314118 A, 2019.02.05

CN 109712977 A, 2019.05.03

(43) 申请公布日 2020.07.10

CN 109314114 A, 2019.02.05

CN 109844931 A, 2019.06.04

(73) 专利权人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

CN 110277394 A, 2019.09.24

US 2015179662 A1, 2015.06.25

审查员 沈冬云

(72) 发明人 徐伟 杨星梅 王健舫 吴继君
黄攀 周文斌

(74) 专利代理机构 北京汉之知识产权代理事务所(普通合伙) 11479
代理人 高园园

(51) Int. Cl.

H01L 27/1157 (2017.01)

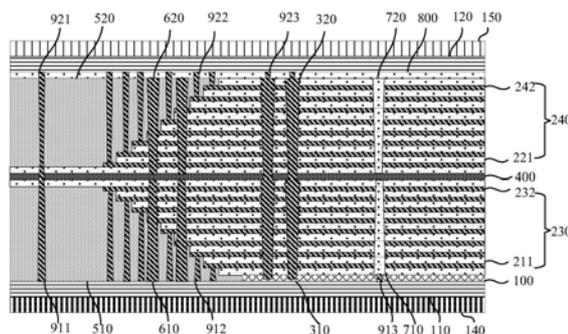
权利要求书2页 说明书9页 附图5页

(54) 发明名称

存储结构及其制备方法

(57) 摘要

本发明提供一种存储结构及其制备方法,通过在刻蚀停止层的相对两面分别形成第一堆叠结构及第二堆叠结构,且通过先制备沟道结构,后制备第二台阶堆叠结构及第一台阶堆叠结构,可有效解决台阶工艺所造成的第一沟道结构与第二沟道结构对准困难、沟道局部接触与第二沟道结构对准困难及公共源极局部接触与狭缝结构对准困难的问题;且本发明可减小台阶占用面积,制备高密度、高集成的存储结构;进一步的,本发明通过制备伪狭缝结构,将公共源极自基底侧引出,可从根本上解决公共源极局部接触与狭缝结构对准困难的问题,降低工艺难度及成本,减小狭缝结构占用面积。



1. 一种存储结构制备方法,其特征在于,包括以下步骤:

提供基底;

先在所述基底上形成第一堆叠结构,而后形成刻蚀停止层,之后形成第二堆叠结构,以形成堆叠结构,所述堆叠结构包括位于所述基底上的所述第一堆叠结构和所述第二堆叠结构,所述第一堆叠结构和所述第二堆叠结构之间形成有所述刻蚀停止层;

而后,形成贯穿所述第一堆叠结构和所述第二堆叠结构以及刻蚀停止层的沟道结构,所述沟道结构插入所述基底;

而后,刻蚀所述第二堆叠结构,形成第二台阶堆叠结构;

而后,形成第二伪沟道结构、第二伪狭缝结构、第二台阶栅堆叠结构及第二导电接触,其中,所述第二导电接触包括具有同一平面的第二贯穿接触、第二台阶接触及沟道局部接触;

而后,刻蚀所述第一堆叠结构,形成第一台阶堆叠结构;其中,所述第一台阶栅堆叠结构及第二台阶栅堆叠结构沿所述刻蚀停止层对称分布;

而后,形成第一伪沟道结构、第一伪狭缝结构、第一台阶栅堆叠结构及第一导电接触,其中,所述第一导电接触包括具有同一平面的第一贯穿接触、第一台阶接触及公共源极局部接触。

2. 根据权利要求1所述的存储结构制备方法,其特征在于,在形成所述第一台阶堆叠结构之前,包括:

减薄所述基底;

刻蚀部分所述第一堆叠结构和减薄后的所述基底,形成台阶区和非台阶区,且所述基底位于所述非台阶区。

3. 根据权利要求1所述的存储结构制备方法,其特征在于,形成贯穿所述第一堆叠结构和所述第二堆叠结构以及刻蚀停止层的所述沟道结构的步骤包括:

于所述基底上形成所述第一堆叠结构,所述第一堆叠结构包括交替层叠的第一电介质层及第一牺牲层;

形成贯穿所述第一堆叠结构的第一沟道孔,并填充支撑材料;

于所述第一堆叠结构上形成所述刻蚀停止层;

于所述刻蚀停止层上形成所述第二堆叠结构,所述第二堆叠结构包括交替层叠的第二电介质层及第二牺牲层;

形成贯穿所述第二堆叠结构及刻蚀停止层的第二沟道孔;

去除位于所述第一沟道孔中的所述支撑材料;

在所述第一沟道孔和所述第二沟道孔中形成所述沟道结构。

4. 根据权利要求1所述的存储结构制备方法,其特征在于:所述刻蚀停止层包括氮化硅层、氮氧化硅层、氧化铝层、氧化钪层、氧化锆层中的一种或组合叠层。

5. 根据权利要求1所述的存储结构制备方法,其特征在于:还包括在所述第二台阶堆叠结构侧形成载体晶圆,在所述基底侧形成CMOS晶圆,以及在形成所述CMOS晶圆后,去除所述载体晶圆的步骤。

6. 根据权利要求1所述的存储结构制备方法,其特征在于:还包括形成贯穿所述第二台阶堆叠结构的第二狭缝结构及贯穿所述第一台阶堆叠结构和所述刻蚀停止层的第一狭缝

结构的步骤,且所述第二狭缝结构与所述第一狭缝结构电连接。

7. 根据权利要求6所述的存储结构制备方法,其特征在于:还包括形成与所述第二狭缝结构电连接的公共源极局部接触的步骤。

8. 一种存储结构,其特征在于,所述存储结构包括:

CMOS晶圆;

第一台阶栅堆叠结构,所述第一台阶栅堆叠结构位于所述CMOS晶圆上,包括交替层叠的第一电介质层及第一栅极层;所述第一台阶栅堆叠结构分为台阶区和非台阶区;

位于所述第一台阶栅堆叠结构中的第一伪沟道结构、第一伪狭缝结构及第一导电接触,其中,所述第一导电接触包括具有同一平面的第一贯穿接触、第一台阶接触及公共源极局部接触;

基底,所述基底位于所述第一台阶栅堆叠结构的非台阶区和所述CMOS晶圆之间;

刻蚀停止层,所述刻蚀停止层位于所述第一台阶栅堆叠结构上;

第二台阶栅堆叠结构,所述第二台阶栅堆叠结构位于所述刻蚀停止层上,包括交替层叠的第二电介质层及第二栅极层;所述第一台阶栅堆叠结构及第二台阶栅堆叠结构沿所述刻蚀停止层对称分布;

沟道结构,所述沟道结构贯穿所述第二台阶栅堆叠结构和所述第一台阶栅堆叠结构以及所述刻蚀停止层,且所述沟道结构的一端与所述基底连接;

位于所述第二台阶栅堆叠结构中的第二伪沟道结构、第二伪狭缝结构及第二导电接触,其中,所述第二导电接触包括具有同一平面的第二贯穿接触、第二台阶接触及沟道局部接触。

9. 根据权利要求8所述的存储结构,其特征在于,所述沟道结构包括:

第一沟道结构,所述第一沟道结构贯穿所述第一台阶栅堆叠结构;

第二沟道结构,所述第二沟道结构贯穿所述第二台阶栅堆叠结构及刻蚀停止层,且所述第二沟道结构与所述第一沟道结构电连接。

10. 根据权利要求8所述的存储结构,其特征在于:所述CMOS晶圆和所述基底之间包括第一外围电路层。

11. 根据权利要求8所述的存储结构,其特征在于:所述第二台阶栅堆叠结构上包括第二外围电路层。

12. 根据权利要求8所述的存储结构,其特征在于:所述刻蚀停止层包括氮化硅层、氮氧化硅层、氧化铝层、氧化钪层、氧化锆层中的一种或组合叠层。

13. 根据权利要求8所述的存储结构,其特征在于:还包括贯穿所述第二台阶栅堆叠结构的第二狭缝结构及贯穿所述第一台阶栅堆叠结构与所述刻蚀停止层的第一狭缝结构,且所述第二狭缝结构与所述第一狭缝结构电连接。

14. 根据权利要求13所述的存储结构,其特征在于:还包括与所述第二狭缝结构电连接的公共源极局部接触。

存储结构及其制备方法

技术领域

[0001] 本发明属于半导体设计及制造领域,涉及一种存储结构及其制备方法。

背景技术

[0002] 随着技术的发展,半导体工业不断寻求新的生产方式,以使得存储器装置中的每一存储器裸片具有更多数目的存储器单元。在非易失性存储器中,例如NAND存储器,增加存储器密度的一种方式是通过使用垂直存储器阵列,且随着集成度的提高,存储器的层数已经从32层发展到64层,甚至更高的层数。

[0003] 在现有的存储结构制备工艺中,主要包括以下工艺:下层台阶(LSS)-下层沟道(LCH)-上层台阶(USS)-上层沟道(UCH)-狭缝结构(GL)-下层台阶接触(LCT)-上层台阶接触(UCT)-局部接触(C1CH及C1ACS)-触点(V0)。但随着存储结构层数的持续增加,存储密度和互连密度持续增加,实现在不同的光刻阶段,制备的存储结构中的各结构之间的精确对准和覆盖(overlay)控制尤为必要,以避免由于对准和覆盖所带来的电路短路、质量隐患及产量损失。例如,由于应力因素,LSS及USS工艺会导致UCH-LCH对准困难,以及C1CH-UCH的对准困难;且随着存储结构层数的持续增加,存储结构的台阶面积持续增加,这与人们追求的高密度、高集成的发展相违背,且工艺难度增加,成本高。

[0004] 因此,提供一种存储结构及其制备方法,实属必要。

发明内容

[0005] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种存储结构及其制备方法,用于解决现有技术中,存储结构所存在的UCH-LCH及C1CH-UCH对准困难,以及台阶面积持续增加的问题。

[0006] 为实现上述目的及其他相关目的,本发明提供一种存储结构制备方法,包括以下步骤:

[0007] 提供基底;

[0008] 形成堆叠结构,所述堆叠结构包括位于所述基底上的第一堆叠结构和第二堆叠结构,所述第一堆叠结构和所述第二堆叠结构之间形成有刻蚀停止层;

[0009] 形成贯穿所述第一堆叠结构和所述第二堆叠结构以及刻蚀停止层的沟道结构,所述沟道结构插入所述基底;

[0010] 刻蚀所述第二堆叠结构,形成第二台阶堆叠结构;

[0011] 刻蚀所述第一堆叠结构,形成第一台阶堆叠结构。

[0012] 可选地,在形成所述第一台阶堆叠结构之前,包括:

[0013] 减薄所述基底;

[0014] 刻蚀部分所述第一堆叠结构和减薄后的所述基底,形成台阶区和非台阶区,且所述基底位于所述非台阶区。

[0015] 可选地,形成贯穿所述第一堆叠结构和所述第二堆叠结构以及刻蚀停止层的所述

沟道结构的步骤包括：

[0016] 于所述基底上形成所述第一堆叠结构，所述第一堆叠结构包括交替层叠的第一电介质层及第一牺牲层；

[0017] 形成贯穿所述第一堆叠结构的第一沟道孔，并填充支撑材料；

[0018] 于所述第一堆叠结构上形成所述刻蚀停止层；

[0019] 于所述刻蚀停止层上形成所述第二堆叠结构，所述第二堆叠结构包括交替层叠的第二电介质层及第二牺牲层；

[0020] 形成贯穿所述第二堆叠结构及刻蚀停止层的第二沟道孔；

[0021] 去除位于所述第一沟道孔中的所述支撑材料；

[0022] 在所述第一沟道孔和所述第二沟道孔中形成所述沟道结构。

[0023] 可选地，所述刻蚀停止层包括氮化硅层、二氧化硅层、氧化铝层、氧化钪层、氧化锆层中的一种或组合叠层。

[0024] 可选地，所述第一堆叠结构及第二堆叠结构沿所述刻蚀停止层对称分布。

[0025] 可选地，还包括形成贯穿所述第二台阶堆叠结构的第二伪狭缝结构及贯穿所述第一台阶堆叠结构的第一伪狭缝结构的步骤，以通过所述第一伪狭缝结构将所述第一台阶堆叠结构中的第一牺牲层替换成第一栅极层，通过所述第二伪狭缝结构将所述第二台阶堆叠结构中的第二牺牲层替换成第二栅极层。

[0026] 可选地，还包括在所述基底中形成公共源极局部接触的步骤。

[0027] 可选地，还包括在所述第二台阶堆叠结构侧形成载体晶圆，在所述基底侧形成CMOS晶圆，以及在形成所述CMOS晶圆后，去除所述载体晶圆的步骤。

[0028] 可选地，还包括形成贯穿所述第二台阶堆叠结构的第二狭缝结构及贯穿所述第一台阶堆叠结构和所述刻蚀停止层的第一狭缝结构的步骤，且所述第二狭缝结构与所述第一狭缝结构电连接。

[0029] 可选地，还包括形成与所述第二狭缝结构电连接的公共源极局部接触的步骤。

[0030] 本发明还提供一种存储结构，所述存储结构包括：

[0031] CMOS晶圆；

[0032] 第一台阶栅堆叠结构，所述第一台阶栅堆叠结构位于所述CMOS晶圆上，包括交替层叠的第一电介质层及第一栅极层；所述第一台阶栅堆叠结构分为台阶区和非台阶区；

[0033] 基底，所述基底位于所述第一台阶栅堆叠结构的非台阶区和所述CMOS晶圆之间；

[0034] 刻蚀停止层，所述刻蚀停止层位于所述第一台阶栅堆叠结构上；

[0035] 第二台阶栅堆叠结构，所述第二台阶栅堆叠结构位于所述刻蚀停止层上，包括交替层叠的第二电介质层及第二栅极层；

[0036] 沟道结构，所述沟道结构贯穿所述第二台阶栅堆叠结构和所述第一台阶栅堆叠结构以及所述刻蚀停止层，且所述沟道结构的一端与所述基底连接。

[0037] 可选地，所述沟道结构包括：

[0038] 第一沟道结构，所述第一沟道结构贯穿所述第一台阶栅堆叠结构；

[0039] 第二沟道结构，所述第二沟道结构贯穿所述第二台阶栅堆叠结构及刻蚀停止层，且所述第二沟道结构与所述第一沟道结构电连接。

[0040] 可选地，所述CMOS晶圆和所述基底之间包括第一外围电路层。

- [0041] 可选地,所述第二台阶栅堆叠结构上包括第二外围电路层。
- [0042] 可选地,所述刻蚀停止层包括氮化硅层、氮氧化硅层、氧化铝层、氧化钨层、氧化锆层中的一种或组合叠层。
- [0043] 可选地,所述第一台阶栅堆叠结构及第二台阶栅堆叠结构沿所述刻蚀停止层对称分布。
- [0044] 可选地,还包括贯穿所述第二台阶栅堆叠结构的第二伪狭缝结构及贯穿所述第一台阶栅堆叠结构的第一伪狭缝结构。
- [0045] 可选地,所述基底中还包括公共源极局部接触。
- [0046] 可选地,还包括贯穿所述第二台阶栅堆叠结构的第二狭缝结构及贯穿所述第一台阶栅堆叠结构与所述刻蚀停止层的第一狭缝结构,且所述第二狭缝结构与所述第一狭缝结构电连接。
- [0047] 可选地,还包括与所述第二狭缝结构电连接的公共源极局部接触。
- [0048] 如上所述,本发明的存储结构及其制备方法,通过在刻蚀停止层的相对两面分别形成第一堆叠结构及第二堆叠结构,且通过先制备沟道结构即第一沟道结构(LCH)及第二沟道结构(UCH),后制备第二台阶堆叠结构及第一台阶堆叠结构,可有效解决台阶工艺所造成的第一沟道结构与第二沟道结构对准困难的问题(LCH-UCH)、沟道局部接触与第二沟道结构对准困难的问题(C1CH-UCH)及公共源极局部接触与狭缝结构对准困难的问题(C1ACS-GL);且本发明第一堆叠结构及第二堆叠结构沿刻蚀停止层的相对两面进行分布,从而在确保制备多层数的存储结构的前提下,可减小台阶占用面积,以制备高密度、高集成的存储结构,降低工艺难度及成本。
- [0049] 进一步的,本发明通过制备第一伪狭缝结构及第二伪狭缝结构,将公共源极(ACS)自基底侧引出,无需进行公共源极局部接触与狭缝结构的电连接,从而可从根本上解决公共源极局部接触与狭缝结构对准困难的问题(C1ACS-GL),降低工艺难度及成本,且由于为伪狭缝结构,因此无需进行导电层的填充,从而可减小狭缝结构占用的面积。

附图说明

- [0050] 图1显示为本发明中制备存储结构的工艺流程图。
- [0051] 图2显示为本发明中形成第一沟道孔的结构示意图。
- [0052] 图3显示为本发明中形成刻蚀停止层的结构示意图。
- [0053] 图4显示为本发明中形成第二沟道孔的结构示意图。
- [0054] 图5显示为本发明中形成第一沟道结构及第二沟道结构的结构示意图。
- [0055] 图6显示为本发明中形成第二台阶堆叠结构的结构示意图。
- [0056] 图7显示为本发明中形成第二伪沟道结构及第二台阶栅堆叠结构的结构示意图。
- [0057] 图8显示为本发明中形成第二伪狭缝结构及第二导电接触的结构示意图。
- [0058] 图9显示为本发明中形成第二外围电路层、载体晶圆、第一台阶堆叠结构、第一伪沟道结构、第一台阶栅堆叠结构、第一伪狭缝结构及第一导电接触的结构示意图。
- [0059] 图10显示为本发明中形成第一外围电路层及CMOS晶圆的结构示意图。
- [0060] 图11显示为本发明中形成焊盘引出层的结构示意图,且图11还显示为本发明中制备的存储结构的结构示意图。

| | | |
|--------|---------|-----------|
| [0061] | 元件标号说明 | |
| [0062] | 100 | 基底 |
| [0063] | 210 | 第一堆叠结构 |
| [0064] | 220 | 第二堆叠结构 |
| [0065] | 230 | 第一台阶栅堆叠结构 |
| [0066] | 240 | 第二台阶栅堆叠结构 |
| [0067] | 211 | 第一电介质层 |
| [0068] | 221 | 第二电介质层 |
| [0069] | 212 | 第一牺牲层 |
| [0070] | 222 | 第二牺牲层 |
| [0071] | 232 | 第一栅极层 |
| [0072] | 242 | 第二栅极层 |
| [0073] | 301 | 第一沟道孔 |
| [0074] | 302 | 第二沟道孔 |
| [0075] | 310 | 第一沟道结构 |
| [0076] | 320 | 第二沟道结构 |
| [0077] | 400 | 刻蚀停止层 |
| [0078] | 510、520 | 介质层 |
| [0079] | 610 | 第一伪沟道结构 |
| [0080] | 620 | 第二伪沟道结构 |
| [0081] | 710 | 第一伪狭缝结构 |
| [0082] | 720 | 第二伪狭缝结构 |
| [0083] | 800 | 接触介质层 |
| [0084] | 911 | 第一贯穿接触 |
| [0085] | 912 | 第一台阶接触 |
| [0086] | 913 | 公共源极局部接触 |
| [0087] | 921 | 第二贯穿接触 |
| [0088] | 922 | 第二台阶接触 |
| [0089] | 923 | 沟道局部接触 |
| [0090] | 110 | 第一外围电路层 |
| [0091] | 120 | 第二外围电路层 |
| [0092] | 130 | 载体晶圆 |
| [0093] | 140 | CMOS晶圆 |
| [0094] | 150 | 焊盘引出层 |

具体实施方式

[0095] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离

本发明的精神下进行各种修饰或改变。

[0096] 请参阅图1~图11。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0097] 参阅图1,本实施例提供一种存储结构制备方法,本发明通过在刻蚀停止层的相对两面分别形成第一堆叠结构及第二堆叠结构,且通过先制备沟道结构,后制备第二台阶堆叠结构及第一台阶堆叠结构,可有效解决台阶工艺所造成的第一沟道结构与第二沟道结构对准困难的问题(LCH-UCH)、沟道局部接触与第二沟道结构对准困难的问题(C1CH-UCH)及公共源极局部接触与狭缝结构对准困难的问题(C1ACS-GL);且本发明第一堆叠结构及第二堆叠结构沿刻蚀停止层的相对两面进行分布,从而在确保制备多层数的存储结构的前提下,可减小台阶占用面积,制备高密度、高集成的存储结构,降低工艺难度及成本。

[0098] 参阅图2~图11,示意了本实施例中在形成所述存储结构的过程中,各步骤所呈现的结构示意图。

[0099] 首先,参阅图2,提供基底100,所述基底100的材料可以为单晶硅(Si)、单晶锗(Ge)、硅锗(GeSi)、碳化硅(SiC)、绝缘体上硅(SOI)、绝缘体上锗(GOI)或砷化镓等III-V族化合物。其中,所述基底100中包括掺杂导电层(未图示),用以进行电连接,所述基底100的具体结构、材质及制备此处不作限制。本实施例中,所述基底100的材料为单晶硅,但并非局限于此。

[0100] 接着,于所述基底100上形成第一堆叠结构210,所述第一堆叠结构210包括交替层叠的第一电介质层211及第一牺牲层212。

[0101] 具体的,在所述基底100的表面形成一层所述第一电介质层211,之后在所述第一电介质层211的表面形成一层所述第一牺牲层212,然后依次循环进行所述第一电介质层211及第一牺牲层212的步骤,以制备具有多层(电介质层及牺牲层的双层堆叠结构的层数)的所述第一堆叠结构210。其中,所述第一牺牲层212通过后续去除,可制备导电的栅极层(控制栅或字线),所述第一电介质层211则作为隔离层使用。所述第一电介质层211的材料可以为氧化硅、氮化硅、氮氧化硅、氮碳化硅中的一种,所述第一牺牲层212的材料可以为氧化硅、氮化硅、氮氧化硅、氮碳化硅、无定型硅、无定形碳、多晶硅中的一种。关于所述第一电介质层211及第一牺牲层212的材料的选择,须确保所述第一牺牲层212相对于所述第一电介质层211具有高的刻蚀选择比,因而在去除所述第一牺牲层212时,降低对所述第一电介质层211的刻蚀损伤,确保所述第一电介质层211的完整性。本实施例中,所述第一电介质层211的材料为氧化硅,所述第一牺牲层212的材料为氮化硅,且采用化学气相沉积工艺形成,但所述第一电介质层211及第一牺牲层212的材料及形成方法并非局限于此。

[0102] 接着,参阅图3,形成贯穿所述第一堆叠结构210的第一沟道孔301,并填充支撑材料,所述支撑材料可以为氧化硅或多晶硅,或者其他合适的材料。其中,所述第一沟道孔301的底部插入所述基底100中,以便于后续形成的沟道结构与所述基底100的连接。于所述第一堆叠结构210上形成刻蚀停止层400,所述刻蚀停止层400包括面向所述基底100的第一面及背离所述基底100的第二面。

[0103] 作为示例,所述刻蚀停止层400的材料可包括氮化硅层、氮氧化硅层、氧化铝

(Al_2O_3) 层、氧化铪 (HfO_2) 层、氧化锆 (ZrO_2) 层中的一种或组合叠层。本实施例中,所述刻蚀停止层400采用所述 Al_2O_3 ,但并非局限于此。

[0104] 接着,参阅图4,于所述刻蚀停止层400上形成第二堆叠结构220,所述第二堆叠结构220包括交替层叠的第二电介质层221及第二牺牲层222;并形成贯穿所述第二堆叠结构220及刻蚀停止层400的第二沟道孔302。

[0105] 具体的,所述第二堆叠结构220的材料及制备可参阅所述第一堆叠结构210,以降低工艺难度,降低成本,但并非局限于此,具体材料可根据需要进行选择,此处不作过分限制。

[0106] 作为示例,所述刻蚀停止层400的第一面及第二面分别与所述第一电介质层211及第二电介质层221相接触,且所述第一电介质层211及第二电介质层221与所述刻蚀停止层400之间的刻蚀选择比的范围包括5:1~500:1。

[0107] 具体的,当所述刻蚀停止层400的第一面及第二面分别与所述第一电介质层211及第二电介质层221相接触时,可提高形成的结构的结合牢固度,以便于提高产品质量。后续中,参阅图9,在刻蚀形成台阶时,优选在所述刻蚀停止层400的第一面及第二面分别保留所述第一电介质层211及第二电介质层221,以提高形成的结构的结合牢固度。其中,所述刻蚀停止层400的材料的选择,优选所述第一电介质层211及第二电介质层221与所述刻蚀停止层400之间具有高的刻蚀选择比,范围可包括由5:1~500:1这两个值限定的任何范围或界限值,如10:1、25:1、50:1、100:1、250:1、400:1等。

[0108] 作为示例,所述第一堆叠结构210及第二堆叠结构220沿所述刻蚀停止层400对称分布。

[0109] 具体的,在所述第一堆叠结构210及第二堆叠结构220沿所述刻蚀停止层400的相对两面进行分布时,可在确保制备多层数的所述存储结构的前提下,减小台阶占用面积,以制备高密度、高集成的所述存储结构,降低工艺控制的难度及成本;且当所述第一堆叠结构210及第二堆叠结构220沿所述刻蚀停止层400对称分布时,可进一步的使台阶占用面积减少一半,且还可进一步的降低工艺控制的难度及成本。

[0110] 接着,参阅图5,去除位于所述第一沟道孔301中的所述支撑材料;形成所述沟道结构即相互电连接的第二沟道结构320 (UCH) 及第一沟道结构310 (LCH)。

[0111] 具体的,在去除位于所述第一沟道孔301中的所述支撑材料后,所述第二沟道孔302与所述第一沟道孔301相贯通,而后在所述第二沟道孔302及第一沟道孔301中形成存储结构(未图示)及沟道层(未图示)等,以形成所述沟道结构,且所述沟道结构插入所述基底100,与所述基底100连接。其中,所述沟道层用于电性导通信道,所述存储结构用于存储从所述沟道层注入的电荷的数据存储;所述存储结构包括阻挡层、电荷捕获层及隧穿层,所述阻挡层的材料包括但不限于二氧化硅,所述电荷捕获层的材料包括但不限于氮化硅,所述隧穿层的材料包括但不限于二氧化硅,所述沟道层的材料包括但不限于P型掺杂的多晶硅。有关所述第二沟道结构320及第一沟道结构310的具体材料的选择、结构及制备工艺,此处不作过分限制。本实施例中,由于先制备所述沟道结构即所述第一沟道结构310及第二沟道结构320,而未进行制备台阶的刻蚀工艺,因此可有效解决台阶工艺所造成的应力问题,解决所述第一沟道结构310与第二沟道结构320对准困难的问题(LCH-UCH)及后续制备的沟道局部接触与所述第二沟道结构320对准困难的问题(C1CH-UCH)与后续制备的公共源极局部接

触与狭缝结构对准困难的问题(C1ACS-GL),以提高产品质量。

[0112] 接着,参阅图6,刻蚀所述第二堆叠结构220,形成第二台阶堆叠结构;参阅图9,刻蚀所述第一堆叠结构210,形成第一台阶堆叠结构。

[0113] 作为示例,还包括形成贯穿所述第二台阶堆叠结构的第二伪狭缝结构720(UDG)及贯穿所述第一台阶堆叠结构的第一伪狭缝结构710(LDG)的步骤。

[0114] 参阅图7及图8,在形成所述第二台阶堆叠结构之后,还包括制备第二伪沟道结构620(UCH)、第二伪狭缝结构720、第二台阶栅堆叠结构240(USS)及第二导电接触(UCT)的步骤。

[0115] 具体的,参阅图7,在形成所述第二台阶堆叠结构之后,沉积介质层520,形成所述第二伪沟道结构620,以通过所述第二伪沟道结构620作为支撑件,进行后续去除所述第二牺牲层222形成第二栅极层242的步骤。本实施例中,所述介质层520可采用TEOS材料,但并非局限于此。当刻蚀所述第二堆叠结构220,形成所述第二伪沟道结构620的沟槽时,为减少工艺步骤,也可同时形成贯穿所述第二堆叠结构220的狭缝,并通过所述狭缝去除所述第二牺牲层222,以在所述第二牺牲层222的位置形成对应的空腔,在所述空腔中形成的所述第二栅极层242的材料可为W、Al、Cu、Ti、Ag、Au、Pt、Ni中的一种或几种。其中,去除所述第二牺牲层222可以采用湿法刻蚀,本实施例中,所述第二牺牲层222的材料为氮化硅,所述湿法刻蚀采用的刻蚀溶液为磷酸溶液。参阅图8,形成所述第二伪狭缝结构720,并形成所述第二导电接触(UCT),所述第二导电接触可包括第二贯穿接触921、第二台阶接触922及位于接触介质层800中的沟道局部接触923(C1CH)。上述具体制备工艺可根据需要进行调整,此处不作过分限制。本实施例中,所述第二伪狭缝结构720未与后续形成的第一伪狭缝结构710相接触,伪狭缝结构的作用仅为去除所述第一牺牲层211及第二牺牲层221,形成所述第一栅极层232及第二栅极层242,而公共源极的电路引出方式将在下文中进行介绍。

[0116] 进一步的,还包括在所述基底100中形成公共源极局部接触913(C1ACS)的步骤,以形成良好的电连接。

[0117] 具体的,参阅图9,在所述接触介质层800上形成第二外围电路层120及载体晶圆130,以通过所述载体晶圆130作为支撑进行后续工艺。其中,在形成所述第一台阶堆叠结构之前,包括减薄所述基底100(100nm)及刻蚀部分所述第一堆叠结构和减薄后的所述基底100,形成台阶区和非台阶区,以使所述基底100位于所述非台阶区的步骤,以便于制备所述第一台阶堆叠结构。还包括制备第一伪沟道结构610、制备包括所述第一电介质层211及第一栅极层232的第一台阶栅堆叠结构230、第一伪狭缝结构710及第一导电接触(LCT)的步骤。其中,所述第一导电接触可包括第一贯穿接触911、第一台阶接触912及公共源极局部接触913,具体制备工艺不作过分限制。

[0118] 参阅图10,在第一台阶栅堆叠层上形成第一外围电路结构110。随后,可通过键合的方式将所述第一外围电路层110与CMOS晶圆140连接。在其他实施例中,所述第一外围电路层110与所述CMOS晶圆140也可以其他连接方式进行连接。由于本实施例中所述第二伪狭缝结构720及第一伪狭缝结构710为非导体结构,因此与所述基底100电连接的所述沟道结构可通过所述公共源极局部接触913经所述第一外围电路层110与所述CMOS晶圆140中的公共源极(未图示)进行电连接,但并非局限于此,如也可将所述第一外围电路层110直接与所述基底100电连接。本实施例通过制备所述第二伪狭缝结构720及第一伪狭缝结构710,将公

共源极 (ACS) 自所述基底100侧引出,无需将所述公共源极局部接触913与所述第一伪狭缝结构710电连接,从而可从根本上解决公共源极局部接触与狭缝结构对准困难的问题 (C1ACS-GL),降低工艺难度及成本,且由于为伪狭缝结构,因此无需进行导电层的填充,从而可减小狭缝结构占用的面积。

[0119] 最后,参阅图11,以所述CMOS晶圆140作为支撑,去除所述载体晶圆130,制备焊盘引出层150,进行电性引出,制备所述存储结构。

[0120] 在另一实施例中,也可形成贯穿所述第二台阶堆叠结构第二狭缝结构(未图示)及贯穿所述第一台阶堆叠结构与所述刻蚀停止层400的第一狭缝结构(未图示),且所述第二狭缝结构与所述第一狭缝结构电连接,以使公共源极自狭缝结构从所述焊盘引出层150引出,以扩大应用范围。进一步的还可包括形成与所述第二狭缝结构电连接的公共源极局部接触,以通过所述公共源极局部接触经所述第二外围电路层120自所述焊盘引出层150引出电路,有关该结构的制备,此处不作过分限制。

[0121] 如图11,本实施例还提供一种存储结构,所述存储结构可采用上述制备工艺制备,但并非局限于此。

[0122] 具体的,所述存储结构包括CMOS晶圆140、第一台阶栅堆叠结构230、基底100、第二台阶栅堆叠结构240、刻蚀停止层400及沟道结构。其中,所述第一台阶栅堆叠结构230位于所述CMOS晶圆140上,包括交替层叠的第一电介质层211及第一栅极层232;所述第一台阶栅堆叠结构230分为台阶区和非台阶区;所述基底100位于所述第一台阶栅堆叠结构230的非台阶区和所述CMOS晶圆140之间;所述刻蚀停止层400位于所述第一台阶栅堆叠结构230上;所述第二台阶栅堆叠结构240位于所述刻蚀停止层400上,包括交替层叠的第二电介质层221及第二栅极层242;所述沟道结构贯穿所述第二台阶栅堆叠结构240和所述第一台阶栅堆叠结构230以及所述刻蚀停止层400,且所述沟道结构的一端与所述基底100连接。

[0123] 本实施例的所述第一台阶栅堆叠结构230 (LSS) 及第二台阶栅堆叠结构240 (USS) 沿所述刻蚀停止层400的相对两面进行分布,从而在确保制备多层数的所述存储结构的前提下,可减小台阶占用面积,以制备高密度、高集成的所述存储结构,降低工艺控制的难度及成本。

[0124] 作为示例,所述沟道结构包括所述第一沟道结构310及第二沟道结构320,所述第一沟道结构310贯穿所述第一台阶栅堆叠结构230;所述第二沟道结构320贯穿所述第二台阶栅堆叠结构240及刻蚀停止层400,且所述第二沟道结构320与所述第一沟道结构310电连接。

[0125] 作为示例,所述CMOS晶圆140和所述基底100之间包括第一外围电路层110;所述第二台阶栅堆叠结构240上包括第二外围电路层120。

[0126] 作为示例,所述刻蚀停止层400包括面向所述基底100的第一面及背离所述基底100的第二面,所述刻蚀停止层400的第一面及第二面分别与所述第一电介质层211及第二电介质层221相接触,以提高形成的结构的结合牢固度,以便于提高产品质量;且所述第一电介质层211及第二电介质层221与所述刻蚀停止层400之间的刻蚀选择比的范围包括5:1~500:1。

[0127] 作为示例,所述刻蚀停止层400包括氮化硅层、氮氧化硅层、氧化铝 (Al_2O_3) 层、氧化铪 (HfO_2) 层、氧化锆 (ZrO_2) 层中的一种或组合叠层。

[0128] 作为示例,所述第一台阶栅堆叠结构230及第二台阶栅堆叠结构240沿所述刻蚀停止层400对称分布,可在确保制备多层数的所述存储结构的前提下,减小台阶占用面积,以制备高密度、高集成的所述存储结构,降低工艺控制的难度及成本;且当所述第一台阶栅堆叠结构230及第二台阶栅堆叠结构240沿所述刻蚀停止层400对称分布时,可进一步的使台阶占用面积减少一半,且还可进一步的降低工艺控制的难度及成本。

[0129] 作为示例,还包括贯穿所述第二台阶栅堆叠结构240的第二伪狭缝结构720及贯穿所述第一台阶栅堆叠结构230的第一伪狭缝结构710。进一步的,所述基底100中还包括公共源极局部接触913,以通过所述公共源极局部接触913将公共源极(ACS)自所述基底100侧引出,无需进行公共源极局部接触与狭缝结构的电连接,从而可从根本上解决公共源极局部接触与狭缝结构对准困难的问题(C1ACS-GL),降低工艺难度及成本,且由于为伪狭缝结构,因此无需进行导电层的填充,从而可减小狭缝结构占用的面积。

[0130] 作为示例,还包括贯穿所述第二台阶栅堆叠结构240的第二狭缝结构及贯穿所述第一台阶栅堆叠结构230与所述刻蚀停止层400的第一狭缝结构,且所述第二狭缝结构与所述第一狭缝结构电连接,以扩大应用范围。进一步的还包括与所述第二狭缝结构电连接的公共源极局部接触,以形成良好的电路引出的导电性。

[0131] 综上所述,本发明的存储结构及其制备方法,通过在刻蚀停止层的相对两面分别形成第一堆叠结构及第二堆叠结构,且通过先制备沟道结构,后制备第二台阶堆叠结构及第一台阶堆叠结构,可有效解决台阶工艺所造成的第一沟道结构与第二沟道结构对准困难的问题、沟道局部接触与第二沟道结构对准困难的问题及公共源极局部接触与狭缝结构对准困难的问题;且本发明第一堆叠结构及第二堆叠结构沿刻蚀停止层的相对两面进行分布,从而在确保制备多层数的存储结构的前提下,可减小台阶占用面积,以制备高密度、高集成的存储结构,降低工艺难度及成本。

[0132] 进一步的,本发明通过制备第一伪狭缝结构及第二伪狭缝结构,可将公共源极自基底侧引出,无需进行公共源极局部接触与狭缝结构的电连接,从而可从根本上解决公共源极局部接触与狭缝结构对准困难的问题,降低工艺难度及成本,且由于为伪狭缝结构,因此无需进行导电层的填充,从而可减小狭缝结构占用的面积。

[0133] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

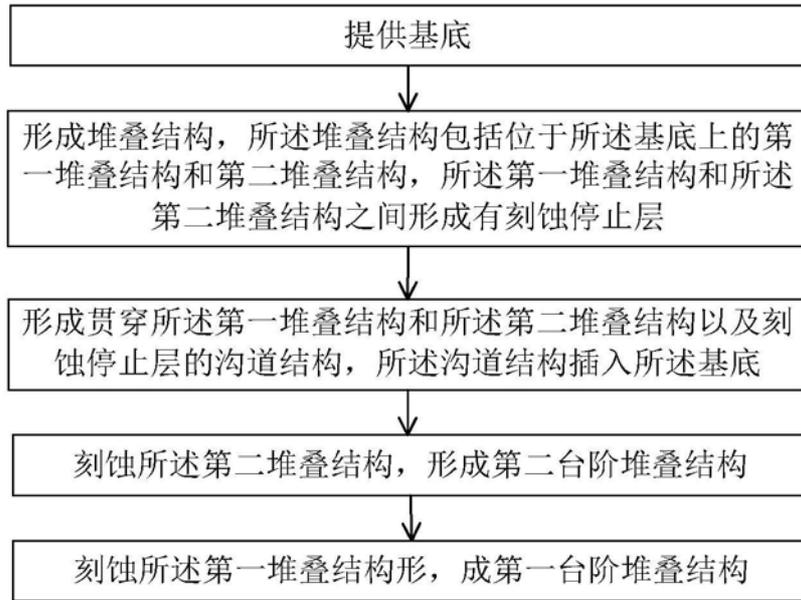


图1

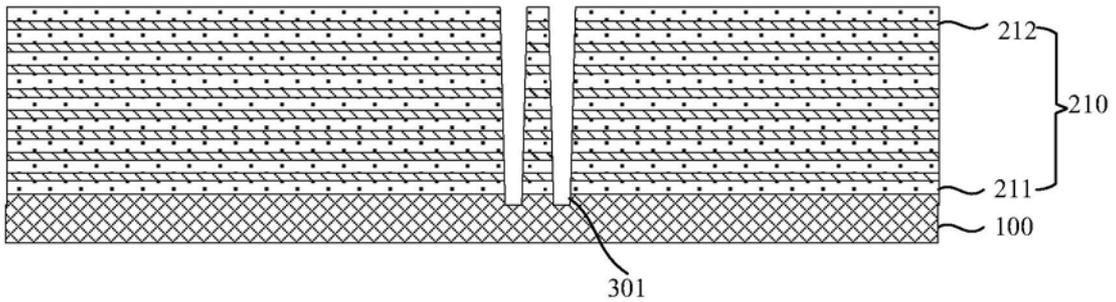


图2

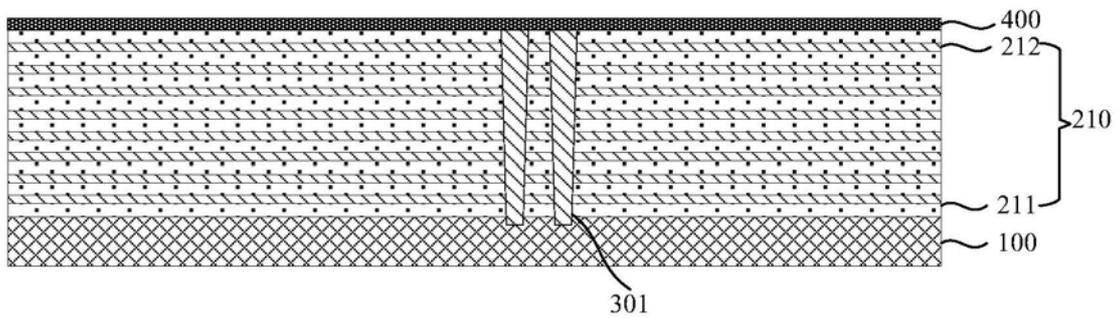


图3

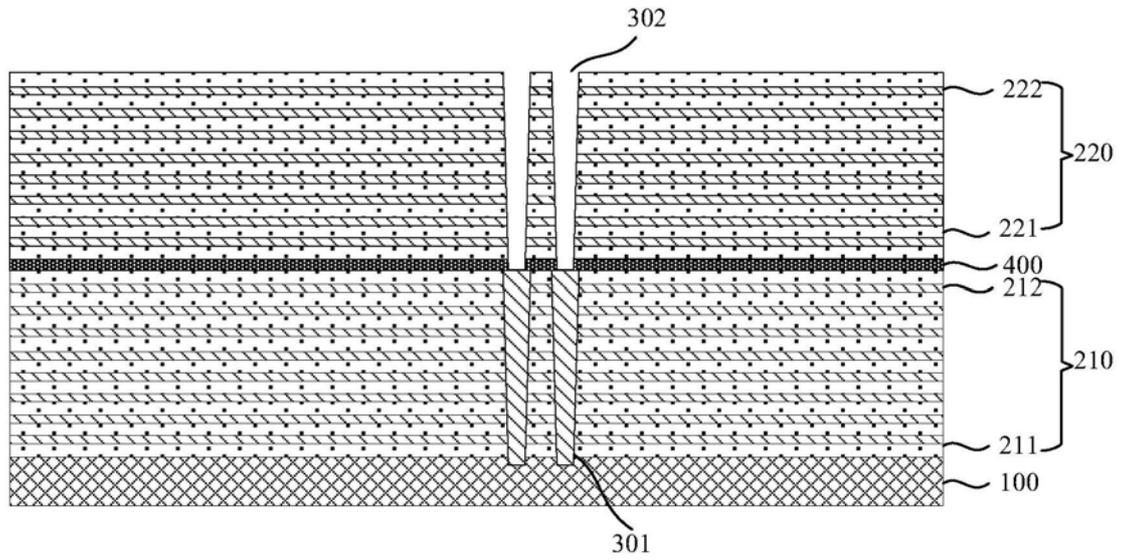


图4

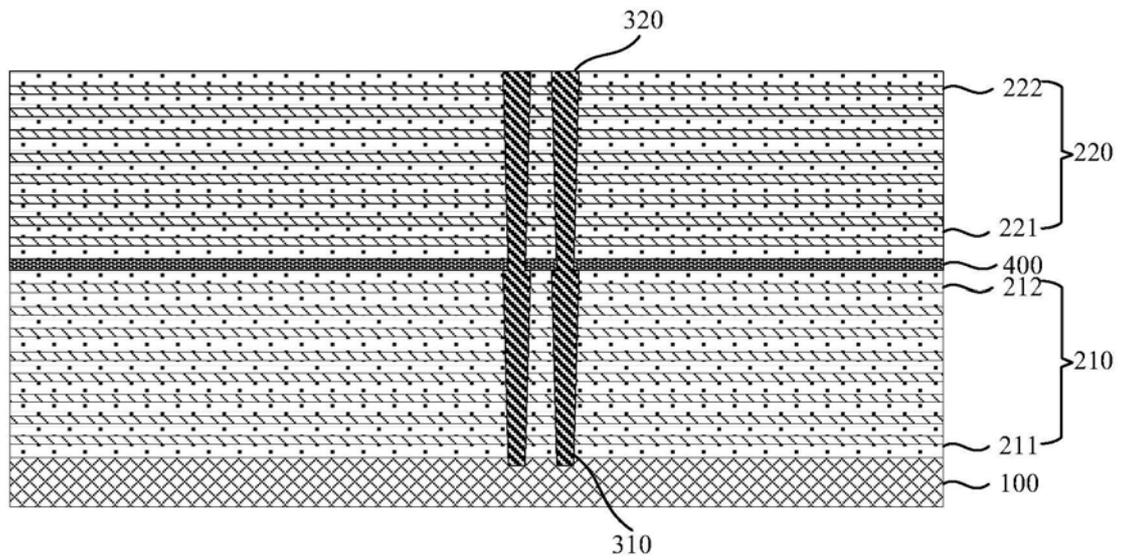


图5

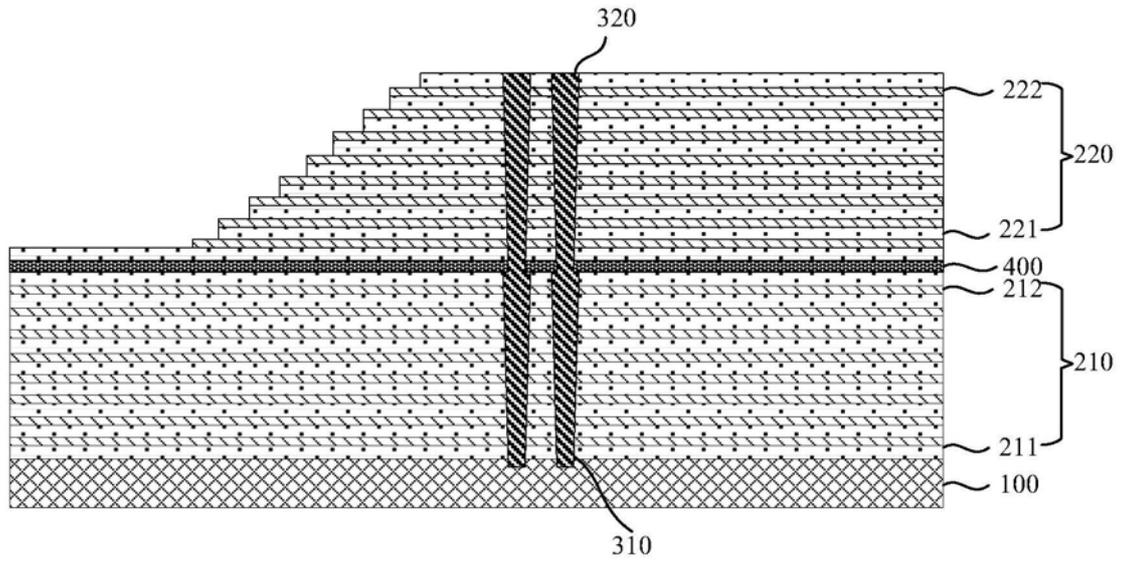


图6

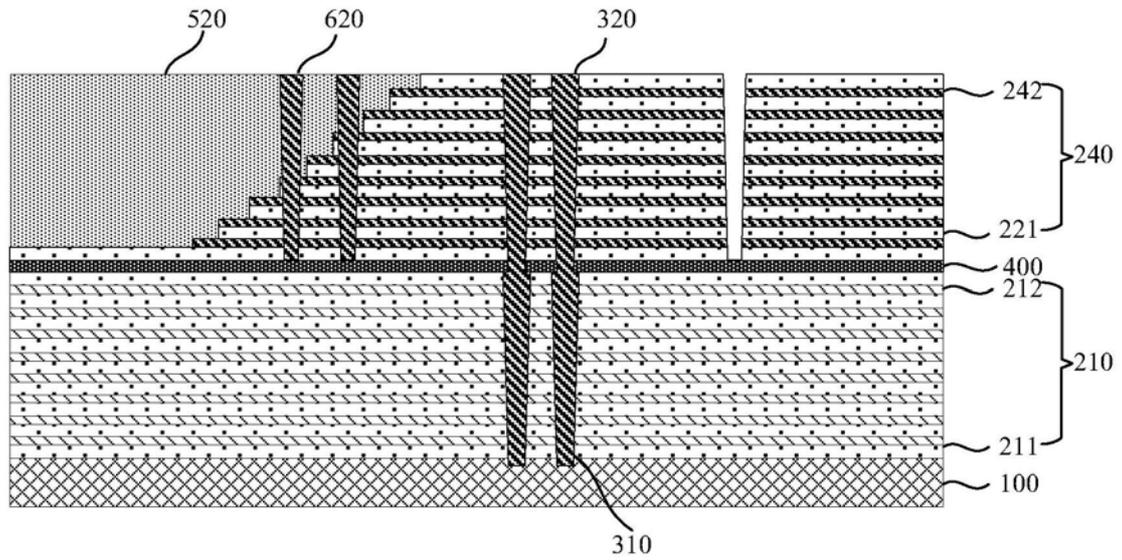


图7

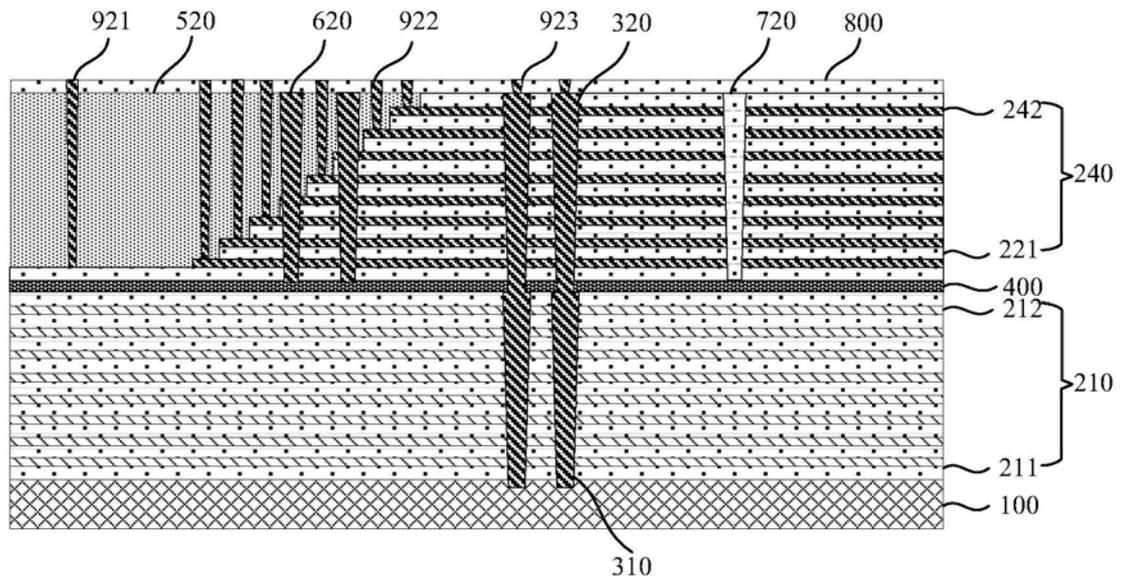


图8

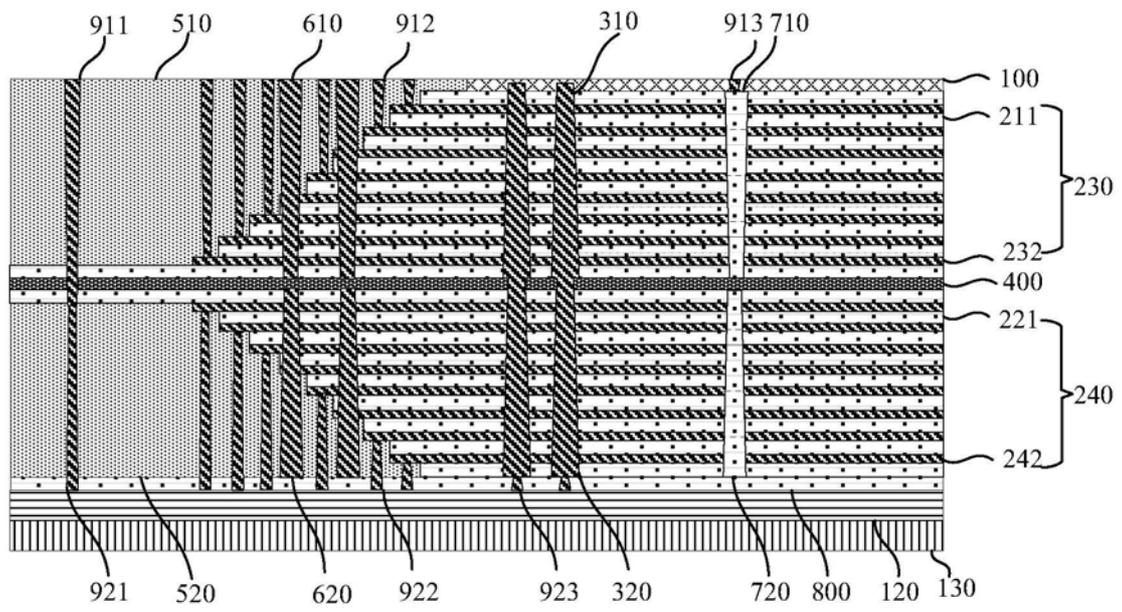


图9

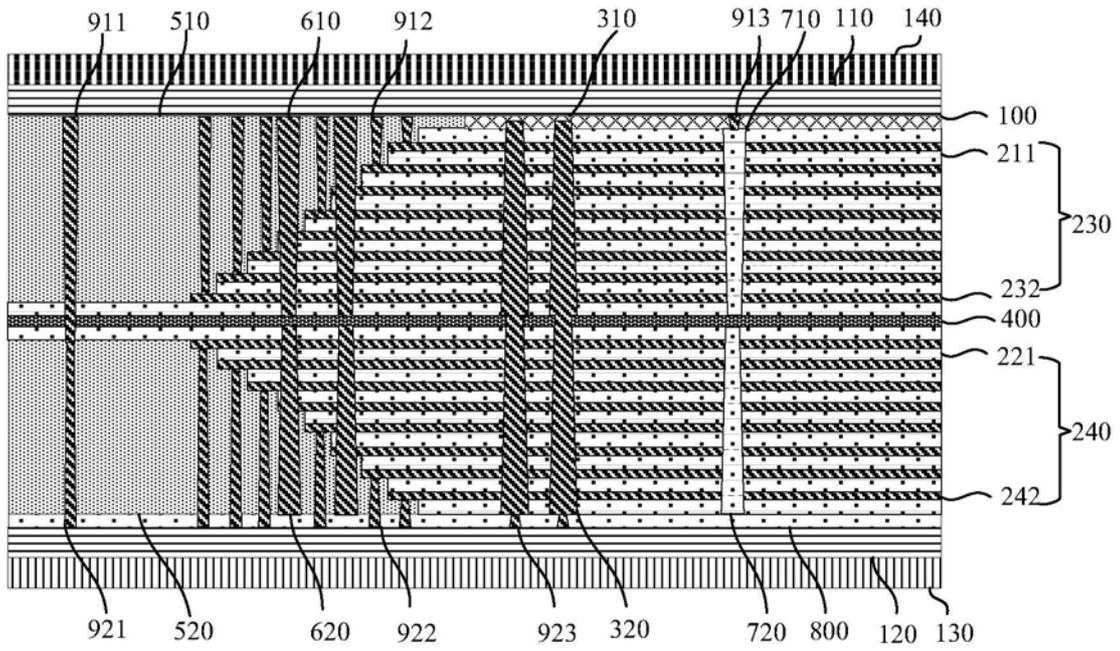


图10

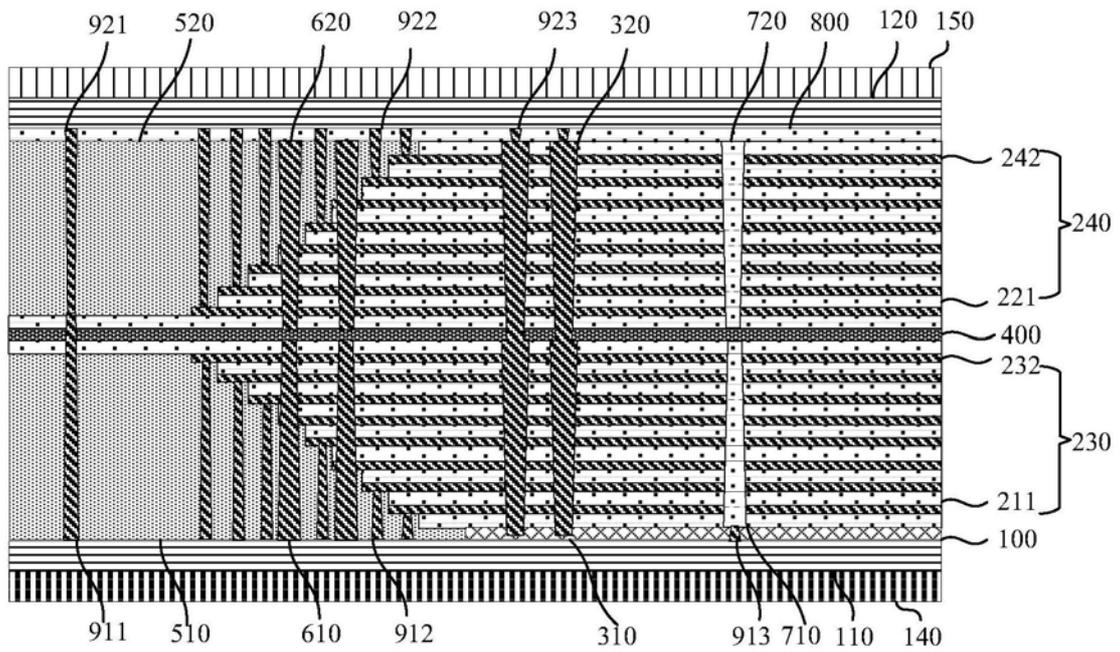


图11