

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-219152  
(P2010-219152A)

(43) 公開日 平成22年9月30日 (2010.9.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 1 1 O
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 V	5 F 1 4 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2009-61717 (P2009-61717)  
(22) 出願日 平成21年3月13日 (2009.3.13)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100109900  
弁理士 堀口 浩  
(72) 発明者 安武 信昭  
東京都港区芝浦一丁目1番1号 株式会社  
東芝内

Fターム(参考) 5F110 AA01 AA30 CC01 CC02 DD05  
DD13 EE05 EE09 EE14 EE32  
EE45 FF02 FF23 GG02 GG06  
GG12 HJ01 HJ11 HJ16 HK05  
HK08 HK17 HK21 HM02 NN03  
NN24 NN35 QQ08 QQ11

最終頁に続く

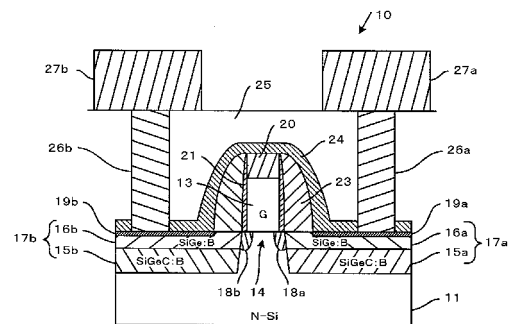
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】短チャネル特性を低下させることなく、チャネル領域に十分な歪みを生じさせることのできる半導体層が埋め込まれたソース・ドレイン領域を有する半導体装置およびその製造方法を提供する。

【解決手段】N型のシリコン基板11の主面にゲート絶縁膜を介して形成されたゲート電極13と、ゲート電極13の下方に形成されるチャネル領域14を挟むように形成され、チャネル領域14に歪みを与えるためのゲルマニウム、P型不純物のボロンおよびボロンの拡散を抑制するためのカーボンを含む第1半導体層15a、15bと、ゲルマニウムおよびボロンを含む第2半導体層16a、16bと、が順に積層された構造を有するソース・ドレイン領域17a、17bと、第2半導体層16a、16bのゲート電極13側の側面からチャネル領域14に隣接するエクステンション領域18a、18bと、を具備する。

【選択図】 図1



10...半導体装置  
11...シリコン基板  
13...ゲート電極  
14...チャネル領域  
15a、15b...第1半導体層  
16a、16b...第2半導体層  
17a、17b...ソース・ドレイン領域  
18a、18b...エクステンション領域  
19a、19b、20...シリサイド層  
21...絶縁膜  
23...側壁膜  
24...シリコン窒化膜  
25...層間絶縁膜  
26a、26b...ビア  
27a、27b...配線

**【特許請求の範囲】****【請求項 1】**

第 1 導電型の半導体基板の主面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の下方に形成されるチャンネル領域を挟むように形成され、前記チャンネル領域に歪みを与えるための第 1 元素、第 2 導電型の不純物および前記第 2 導電型の不純物の拡散を抑制するための第 2 元素を含有する第 1 半導体層と、前記第 1 元素および前記第 2 導電型の不純物を含有する第 2 半導体層とが順に積層された構造を有するソース・ドレイン領域と、前記第 2 半導体層の前記ゲート電極側の側面から前記チャンネル領域に隣接するエクステンション領域と、

を具備することを特徴とする半導体装置。

10

**【請求項 2】**

前記エクステンション領域の下端部は、前記第 2 半導体層における前記ゲート電極側の側面と前記エクステンション領域とが接する部位より前記半導体基板内の深い位置に形成されていることを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

第 1 導電型の半導体基板の主面にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体基板の一部を除去し、凹部を形成する工程と、前記凹部に、前記ゲート電極の下方に形成されるチャンネル領域を挟み前記チャンネル領域に歪みを与えるための第 1 元素、第 2 導電型の不純物および前記第 2 導電型の不純物の拡散を抑制するための第 2 元素を含有する第 1 半導体層と、前記第 1 元素および前記第 2 導電型の不純物を含有する第 2 半導体層とを順に積層して、ソース・ドレイン領域を形成する工程と、前記半導体基板に熱処理を施し、前記第 2 半導体層中に含まれる前記第 2 導電型の不純物を前記ゲート電極側に拡散させ、前記チャンネル領域に隣接するエクステンション領域を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

20

**【請求項 4】**

前記ソース・ドレイン領域を形成する工程は、前記凹部を埋め込むように前記第 1 半導体層を選択的に成長させ、前記第 1 半導体層の一部を除去し、前記凹部の上側の側面を露出させ、前記凹部を埋め込むように前記第 1 半導体層上に前記第 2 半導体層を選択的に成長させることにより行うことを特徴とする請求項 3 に記載の半導体装置の製造方法。

30

**【請求項 5】**

前記ソース・ドレイン領域を形成する工程は、前記凹部の底面と側面とを覆うように前記第 1 半導体層を選択的に成長させ、前記凹部を埋め込むように前記第 1 半導体層上に前記第 2 半導体層を選択的に成長させ、前記第 2 半導体層の一部を除去し、前記凹部の上側の側面を露出させ、前記凹部を埋め込むように前記第 2 半導体層を積み増すことにより行うことを特徴とする請求項 4 に記載の半導体装置の製造方法。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置およびその製造方法に関する。

**【背景技術】****【0002】**

従来、基板のシリコン(Si)結晶と異なる格子定数を有する結晶をソース・ドレイン領域に埋め込み、格子定数の違いを利用してチャンネル領域に歪みを与えることにより、キャリアの移動度を向上させ、高性能化を図った半導体装置が知られている(例えば、特許文献 1 参照)。

50

## 【0003】

特許文献1に開示された半導体装置は、P MOS領域のソース・ドレイン領域にCVD (Chemical Vapor Deposition)法により形成されたSiGe膜からなる圧縮応力印加部と、イオン注入法により形成された浅い接合領域と、深い接合領域とを具備している。

このとき、圧縮応力印加部を形成した後に、浅い接合領域および深い接合領域を形成し、SiGe膜を形成する際の加熱により浅い接合領域の不純物がゲート絶縁膜の直下に拡散するのを防止し、短チャネル効果を防止している。

## 【0004】

然しながら、特許文献1に開示された半導体装置は、寄生抵抗を低減するためにP型不純物であるボロン(B)をSiGe膜にドーピングする必要がある。

半導体装置の微細化、高性能化に伴い、求められるチャネル領域への圧縮応力も高くなるので、世代とともにSiGe膜はよりチャネル領域に近接させて形成されるようになってきている。

然し、SiGe膜をチャネル領域に近づけていくと、SiGe膜からのBの拡散により短チャネル特性が劣化するという問題がある。そのため、正孔の移動度向上と短チャネル特性の両立が困難になる。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2006-13428号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

本発明は、短チャネル特性を低下させることなく、チャネル領域に十分な歪みを生じさせることのできる半導体層が埋め込まれたソース・ドレイン領域を有する半導体装置およびその製造方法を提供する。

## 【課題を解決するための手段】

## 【0007】

本発明の一態様の半導体装置は、第1導電型の半導体基板の主面にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の下方に形成されるチャネル領域を挟むように形成され、前記チャネル領域に歪みを与えるための第1元素、第2導電型の不純物および前記第2導電型の不純物の拡散を抑制するための第2元素を含有する第1半導体層と、前記第1元素および前記第2導電型の不純物を含有する第2半導体層とが順に積層された構造を有するソース・ドレイン領域と、前記第2半導体層の前記ゲート電極側の側面から前記チャネル領域に隣接するエクステンション領域と、を具備することを特徴としている。

## 【0008】

本発明の一態様の半導体装置の製造方法は、第1導電型の半導体基板の主面にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体基板の一部を除去し、凹部を形成する工程と、前記凹部に、前記ゲート電極の下方に形成されるチャネル領域を挟み前記チャネル領域に歪みを与えるための第1元素、第2導電型の不純物および前記第2導電型の不純物の拡散を抑制するための第2元素を含有する第1半導体層と、前記第1元素および前記第2導電型の不純物を含有する第2半導体層とを順に積層して、ソース・ドレイン領域を形成する工程と、前記半導体基板に熱処理を施し、前記第2半導体層中に含まれる前記第2導電型の不純物を前記ゲート電極側に拡散させ、前記チャネル領域に隣接するエクステンション領域を形成する工程と、を具備することを特徴としている。

## 【発明の効果】

## 【0009】

本発明によれば、短チャネル特性を低下させることなく、チャネル領域に十分な歪みを

10

20

30

40

50

生じさせることのできる半導体層が埋め込まれたソース・ドレイン領域を有する半導体装置およびその製造方法が得られる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施例1に係る半導体装置を示す断面図。

【図2】本発明の実施例1に係る半導体装置の特性を比較例と対比して示す図で、実線が本実施例の半導体装置の特性を示す図、破線が比較例の半導体装置の特性を示す図。

【図3】本発明の実施例1に係る比較例の半導体装置を示す断面図。

【図4】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

【図5】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

10

【図6】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

【図7】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

【図8】本発明の実施例2に係る半導体装置を示す断面図。

【図9】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

【図10】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

【図11】本発明の実施例1に係る半導体装置の製造工程を順に示す断面図。

【発明を実施するための形態】

【0011】

以下、本発明の実施例について図面を参照しながら説明する。

【実施例1】

20

【0012】

本発明の実施例に係る半導体装置および製造方法について図1乃至図6を用いて説明する。図1は半導体装置を示す断面図、図2は半導体装置の特性比較例と対比して示す図で、実線が本実施例の半導体装置の特性を示す図、破線が比較例の半導体装置の特性を示す図、図3は比較例の半導体装置を示す断面図、図4乃至図7は半導体装置の製造工程を順に示す断面図である。

【0013】

図1に示すように、本実施例の半導体装置10は、N型(第1導電型)のシリコン基板(半導体基板)11の主面にゲート絶縁膜(図示せず)を介して形成されたゲート電極13と、ゲート電極13の下方に形成されるチャネル領域14を挟むように形成され、チャネル領域14に歪みを与えるためのゲルマニウム(Ge:第1元素)、P型(第2導電型)の不純物であるボロン(B)およびボロンの拡散を抑制するためのカーボン(C:第2元素)を含有する第1半導体層15a、15bと、ゲルマニウムおよびボロンを含有する第2半導体層16a、16bと、が順に積層された構造を有するソース・ドレイン領域17a、17bと、第2半導体層16a、16bのゲート電極13側の側面からチャネル領域14に隣接するエクステンション(極浅接合)領域18a、18bと、を具備している。

30

【0014】

第1半導体層15a、15bは、シリコン、ゲルマニウムと少量のカーボンの混晶半導体層であり、P型導電性を付与するとともに寄生抵抗を低減するために $10^{18} \sim 10^{21} \text{ cm}^{-3}$ のボロンが添加された $\text{Si}_{(1-x-y)}\text{Ge}_x\text{C}_y$ :Bである。

40

第2半導体層16a、16bは、シリコンとゲルマニウムの混晶半導体層であり、P型導電性を付与するとともに寄生抵抗を低減するために $10^{18} \sim 10^{21} \text{ cm}^{-3}$ のボロンが添加された $\text{Si}_{(1-x)}\text{Ge}_x$ :Bである。

【0015】

$\text{SiGe}$ は $\text{Si}$ より格子定数大きいので、第2半導体層16a、16bはチャネル領域14に圧縮歪みを与え、チャネル領域14における正孔の移動度を向上させることができる。

$\text{SiGeC}$ は $\text{Si}$ より格子定数大きいので、第1半導体層15a、15bはチャネル領域14に圧縮歪みを与え、チャネル領域14における正孔の移動度を向上させることが

50

できる。但し、SiGeCはSiGeより格子定数が小さいので、チャンネル領域14に圧縮歪みを与える効果はSiGeより少なくなる。

【0016】

なお、第1半導体層15a、15b、第2半導体層16a、16bのGeの濃度x、zは10～30原子%程度であることが望ましい。Geの濃度が少な過ぎるとチャンネル領域14に与える圧縮歪みが不十分となり、多過ぎると結晶欠陥を招き、リーク電流の原因となる恐れがあるためである。

第1半導体層15a、15bのCの濃度yは0原子%より大きく、且つ1原子%未満であることが望ましい。Cの濃度が0原子%の場合はBの拡散を抑える効果が得られなくなり、多過ぎるとチャンネル領域14に圧縮歪みを与える効果が減少するとともに、結晶欠陥を招き、リーク電流の原因となる恐れがあるためである。

10

【0017】

エクステンション領域18a、18bは、後述するように第2半導体層16a、16bのゲート電極13側の側面からBを拡散させることにより形成され、ソース・ドレインの一部になっている。

【0018】

Bは等方的に拡散するので、エクステンション領域18a、18bの下端部は、第2半導体層16a、16bにおけるゲート電極13側の側面と前記エクステンション領域18a、18bとが接する部位よりもシリコン基板11内の深い位置に形成されている。

【0019】

更に、ゲート電極13の側面には、絶縁膜21を介して側壁膜23が形成されている。第2半導体層16a、16b、ゲート電極13はシリコン窒化膜24で被覆されている。

ソース・ドレイン領域17a、17bは、層間絶縁膜25を貫通するビア26a、26bを介して配線27a、27bに接続されている。

20

【0020】

第2半導体層16a、16b上に、例えば厚さは20nm程度のシリサイド層19a、19bが形成され、ゲート電極13上に、例えば厚さは20nm程度のシリサイド層20が形成されている。

シリサイド層19a、19bは、ソース・ドレイン領域17a、17bとビア26a、26bとのコンタクト抵抗を下げるために形成されている。シリサイド層20は、ゲート電極13と図示されないゲート配線とのコンタクト抵抗を下げるために形成されている。

30

【0021】

図2は半導体装置のゲート長 $L_g$ としきい値のシフト量 $V_{th}$ との関係と比較例と対比して示す図(概念図)で、実線が本実施例の半導体装置の特性を示す図、破線が比較例の半導体装置の特性を示す図である。図において、しきい値のシフト量 $V_{th}$ とはゲート長 $L_g$ が十分大きいときのしきい値 $V_{th0}$ からのシフト量を示している。

ここで、比較例とはBをドーブしたSiGe膜が埋め込まれたソース・ドレイン領域を有する半導体装置のことである。始めに比較例について説明する。

【0022】

図3に示すように比較例の半導体装置30は、シリコン基板(図示せず)にゲート絶縁膜(図示せず)を介して形成されたゲート電極31と、ゲート電極を挟むように形成され、チャンネル領域32に圧縮歪みを与えるSiGe膜が埋め込まれたソース・ドレイン領域33と、ソース・ドレイン領域33よりも深さが浅くチャンネル領域32に隣接したエクステンション領域34とを具備している。

ソース・ドレイン領域33には、P型導電性を付与するとともにSiGe膜の寄生抵抗を低減するためにBがドーブされている。エクステンション領域34はBのイオン注入により形成されている。

40

【0023】

図2に示すように、比較例の半導体装置30は、ゲート長 $L_g$ が短くなるにつれてしきい値 $V_{th}$ が負方向へシフトし、短チャンネル特性が低下している。

50

これは、ゲート長  $L_g$  が短くなるほど  $SiGe$  膜から拡散した  $B$  の影響が無視できなくなり、チャンネル 32 の下方にゲートで制御できない電流  $I_p$  が流れるパンチスルー効果が生じるためである。

【0024】

一方、本実施例の半導体装置 10 は、ゲート長  $L_g$  がある値まではしきい値のシフト量  $V_{th}$  は僅かであり、短チャンネル特性の低下は無視できる程度である。ゲート長  $L_g$  がある値以下になると、しきい値のシフト量  $V_{th}$  が無視できなくなるが、比較例よりも少ない。

これは、 $SiGe : B$  の第 2 半導体層 16a、16b から  $B$  が拡散するが、 $SiGeC : B$  の第 1 半導体層 15a、15b から  $B$  が拡散しないようにしているためである。

10

【0025】

即ち、ソース・ドレイン領域 17a、17b からの  $B$  の拡散量および分布を制御することが可能であり、第 2 半導体層 16a、16b から拡散した  $B$  によりエクステンション領域 18a、18b を形成し、チャンネル 14 の下側への  $B$  の拡散を防止することができる。そのため、エクステンション領域 18a、18b を形成するのに、 $B$  のイオン注入工程は不要である。

【0026】

次に、半導体装置 10 の製造方法について説明する。図 4 乃至図 7 は半導体装置 10 の製造工程を順に示す断面図である。

図 4 (a) に示すように、 $N$  型のシリコン基板 11 の主面 11a にゲート絶縁膜 (図示せず) として熱酸化法によりシリコン酸化膜を形成した後、ゲート絶縁膜上に、例えば  $CVD$  (Chemical Vapor Deposition) 法によりポリシリコン膜 40 を形成する。

20

次に、ポリシリコン膜 40 上に、例えば  $CVD$  法によりシリコン酸化膜 (図示せず) 形成し、シリコン酸化膜上に、例えばプラズマ  $CVD$  法によりシリコン窒化膜 41 を形成する。

【0027】

次に、図 4 (b) に示すように、シリコン窒化膜 41 をパターンニングしてゲート電極 13 に対応するパターンを有するマスク材 42 を形成し、マスク材 42 を用いて  $RIE$  法によりポリシリコン膜 40 をエッチングし、ゲート電極 13 を形成する。

【0028】

30

次に、図 5 (a) に示すように、ゲート電極 13 の側面のダメージを除去するために、熱酸化法によりゲート後酸化を行った後、 $CVD$  法によりシリコン窒化膜を 10 nm 程度形成する。

次に、 $RIE$  法によりシリコン窒化膜をエッチングし、ゲート電極 13 の側面にシリコン窒化膜を残置する。ゲート電極 13 の側面に残置されたシリコン窒化膜が絶縁膜 43 である。

【0029】

次に、図 5 (b) に示すように、マスク材 42 および絶縁膜 43 をマスクとして、 $RIE$  法によりシリコン基板 11 を掘り込み、凹部 44a、44b を形成する。凹部 44a、44b の深さは、少なくともチャンネル領域 14 に与えられる圧縮歪みが飽和する厚さ、例えば深さ 80 ~ 100 nm 程度が適当である。

40

ここで、凹部 44a、44b の周りは、素子分離層 (図示せず)、例えば  $STI$  (Shallow Trench Isolation) で囲まれている。凹部 44a、44b を除く領域はシリコン酸化膜 (図示せず) により覆われている。

【0030】

次に、図 6 (a) に示すように、シリコン基板 11 の凹部 44a、44b 内にカーボンを添加した  $B$  ドープ  $SiGe$  結晶 ( $SiGeC : B$ ) を選択エピタキシャル成長させ、第 1 半導体層 15a、15b を凹部 44a、44b 内に埋め込む。

【0031】

具体的には、キャリアガスとして水素 ( $H_2$ )、プロセスガスとしてモノシラン ( $Si$

50

H<sub>4</sub>)、ゲルマン(GeH<sub>4</sub>)、アセチレン(C<sub>2</sub>H<sub>2</sub>)、ドーパントガスとしてジボラン(B<sub>2</sub>H<sub>2</sub>)を用い、温度700 ~ 800にて、LPCVD(Low Pressure CVD)法によりSiGeC:Bをエピタキシャル成長させる。SiGeCはシリコン上のみエピタキシャル成長し、シリコン酸化膜上には析出しないので、選択エピタキシャル成長がおこなわれる。

【0032】

次に、図6(b)に示すように、RIE法により第1半導体層15a、15bをエクステンション領域18a、18bが形成される深さまで掘り込み、凹部44a、44bの側面を露出させる。

【0033】

次に、図7(a)に示すように、第1半導体層15a、15b上にBドープSiGe結晶(SiGe:B)を選択エピタキシャル成長させ、第2半導体層16a、16bを凹部43a、43b内に埋め込む。これにより、ソース・ドレイン領域17a、17bが形成される。

【0034】

次に、図7(b)に示すように、RTA(Rapid Thermal Annealing)法により、例えば1000で熱処理を施し、選択エピタキシャル成長後のSiGe膜、SiGeC膜の結晶欠陥を回復させるとともに、第2半導体層16a、16b中のBを拡散させ、第2半導体層16a、16bのゲート電極13側の側面からチャンネル領域14に隣接するエクステンション領域18a、18bを形成する。

【0035】

次に、マスク材42および絶縁膜43を除去した後、ゲート電極13の側面に絶縁膜21を介して側壁膜23を形成し、第2半導体層16a、16b上に、例えば厚さ20nm程度のシリサイド層19a、19b、およびゲート電極13上に、例えば厚さ20nm程度のシリサイド層20を形成する。

次に、ゲート電極13および第2半導体層16a、16bを覆うシリコン窒化膜24を形成し、シリコン基板11の全面に層間絶縁膜25を形成する。

次に、層間絶縁膜25にコンタクトホールを形成し、コンタクトホールに導電材を埋め込んで、ビア26a、26bを形成する。

次に、層間絶縁膜25上に、ビア26a、26bを介してソース・ドレイン領域17a、17bに接続されるに配線27a、27bを形成する。これにより、図1に示す半導体装置10が得られる。

【0036】

以上説明したように、本実施例の半導体装置10は、ゲート電極13の下方に形成されるチャンネル領域14を挟むように形成され、チャンネル領域14に歪みを与えるためのゲルマニウム、ボロンおよびボロンが拡散しないようにするためのカーボンを含む第1半導体層15a、15bと、ゲルマニウムおよびボロンを含む第2半導体層16a、16bと、が順に積層された構造を有するソース・ドレイン領域17a、17bを具備している。

【0037】

その結果、第1半導体層15a、15bおよび第2半導体層16a、16bによりチャンネル領域14に十分な圧縮歪みを与えるとともに、第1半導体層15a、15bからのBの拡散が防止され、第2半導体層16a、16bからBが拡散するので、ソース・ドレイン領域17a、17bからのBの拡散量および分布を制御することができる。

【0038】

これにより、第2半導体層16a、16bから拡散したBにより、エクステンション領域18a、18bを形成し、且つチャンネル14の下方へのBの拡散を防止し、チャンネル14の下方にゲートで制御できない電流I<sub>p</sub>が流れるパンチスルー効果が生じるのを抑制することができる。

【0039】

10

20

30

40

50

従って、短チャネル特性を低下させることなく、チャネル領域に十分な歪みを生じさせることのできる半導体層が埋め込まれたソース・ドレイン領域を有する半導体装置およびその製造方法が得られる。

【0040】

ここでは、半導体基板11がN型バルクシリコン基板である場合について説明したが、シリコン基板に形成されたN型ウェル層でも構わない。また、N型ウェル層を形成する基板はSOI (Silicon on Insulator) 基板でも構わない。

【0041】

凹部44a、44bにSiGeC膜を埋め込んだ後、SiGeC膜を途中までエッチングし、更にSiGe膜を埋め込んで、ソース・ドレイン領域17a、17bを形成する場合について説明したが、SiGeC膜とSiGe膜を連続的に成長させてソース・ドレイン領域17a、17bを形成することも可能である。

10

【0042】

SiGeC膜とSiGe膜を連続成長させる場合は、SiGeC膜とSiGe膜を別々に成長させる場合より成長条件を吟味する必要がある。例えば、SiGeC膜が凹部44a、44bの上側の側面に成長しないように成長条件を設定する必要がある。

上側の側面にSiGeC膜が成長すると、SiGe膜からのBの拡散が抑えられ、エクステンション領域18a、18bの形成が妨げられるためである。

【0043】

比較例としてBをドーブしたSiGe膜が埋め込まれたソース・ドレイン領域を有する半導体装置について説明したが、BをドーブしたSiGeC膜が埋め込まれたソース・ドレイン領域を有する半導体装置の場合は、チャネル領域14に十分な圧縮歪を与えるのが難しくなること、エクステンション領域18a、18bをイオン注入法で形成する必要があり製造工程が増加するなどの問題がある。

20

【0044】

SiGe、SiGeCのエピタキシャル成長に用いるSi、Cのプロセスガスが、モノシラン( $SiH_4$ )、アセチレン( $C_2H_2$ )である場合について説明したが、ジシラン( $Si_2H_6$ )、トリメチルシラン( $(CH_3)_3SiH$ )、エチレン( $C_2H_4$ )などを用いることもできる。

【実施例2】

30

【0045】

本発明の実施例2に係る半導体装置について、図8乃至図11を用いて説明する。図8は本実施例の半導体装置を示す断面図、図9乃至図11は半導体装置の製造工程を順に示す断面図である。

【0046】

本実施例において、上記実施例1と同一の構成部分には同一符号を付してその部分の説明は省略し、異なる部分について説明する。本実施例が実施例1と異なる点は、第1半導体層の体積を減少させ、第2半導体層の体積を増大させたことにある。

【0047】

即ち、図8に示すように本実施例の半導体装置50は、図示されない凹部44a、44bの底面と、底面からエクステンション領域18a、18bが形成される深さまでの側面(以後、下側の側面という)を覆うように形成され、厚さ数nm程度の第1半導体層51a、51bと、第1半導体層51a、51b上に、凹部44a、44bを埋め込むように形成された第2半導体層52a、52bとを有するソース・ドレイン領域53a、53bを具備している。

40

第2半導体層52a、52bは、シリコン基板11の主面からエクステンション領域18a、18bが形成される深さまでの側面(以後、上側の側面という)に接している。

【0048】

これにより、第1半導体層51a、51bの体積が十分に減少し、第1半導体層51a、51bより格子定数が大きい第2半導体層52a、52bの体積が十分に増大するので

50



、チャネル領域 14 に対してより大きな圧縮差みを付与することができる。

その結果、正孔の移動度が更に増加するので、短チャネル特性を低下させることなく、半導体装置 50 の特性を向上させることが可能である。

【0049】

次に、半導体装置 50 の製造方法について説明する。図 9 乃至図 11 は半導体装置 50 の製造工程を順に示す断面図である。

始めに、図 5 (b) と同様にして、シリコン基板 11 を掘り込み、凹部 44 a、44 b を形成する。

【0050】

次に、図 9 (a) に示すように、シリコン基板 11 の凹部 44 a、44 b 内に、厚さ数 nm 程度の B ドープ SiGe 結晶 (SiGe : B) を選択エピタキシャル成長させ、第 1 半導体層 51 a、51 b を形成する。

SiGe はシリコンが露出した領域にだけ成長するので、凹部 44 a、44 b の底面と側面が SiGe により覆われる。

【0051】

次に、図 9 (b) に示すように、第 1 半導体層 51 a、51 b 上に B ドープ SiGe 結晶 (SiGe : B) を選択エピタキシャル成長させ、凹部 44 a、44 b を第 2 半導体層 52 a、52 b で埋め込む。

【0052】

次に、図 10 (a) に示すように、RIE 法により第 2 半導体層 52 a、52 b および凹部 44 a、44 b の側面を覆う第 1 半導体層 51 a、51 b をエクステンション領域 18 a、18 b が形成される深さまで掘り込み、凹部 44 a、44 b の上側の側面を露出させる。

【0053】

次に、図 10 (b) に示すように、第 2 半導体層 52 a、52 b 上に B ドープ SiGe 結晶 (SiGe : B) を選択エピタキシャル成長させ、第 2 半導体層 52 a、52 b を積み重ねることにより凹部 43 a、43 b を埋め込む。これにより、ソース・ドレイン領域 53 a、53 b が形成される。

【0054】

次に、図 11 に示すように、RTA 法により熱処理を施し、第 2 半導体層 52 a、52 b 中の B を拡散させ、第 2 半導体層 52 a、52 b のゲート電極 13 側の側面からチャネル領域 14 に隣接するエクステンション領域 18 a、18 b を形成する。

【0055】

以上説明したように、本実施例の半導体装置 50 は、凹部 44 a、44 b の底面と、底面から下側の側面を覆う第 1 半導体層 51 a、51 b と、第 1 半導体層 51 a、51 b 上に、凹部 44 a、44 b を埋め込むように形成された第 2 半導体層 52 a、52 b とを有し、第 1 半導体層 51 a、51 b の体積をより少なくし、第 2 半導体層 52 a、52 b の体積をより大きくしている。

その結果、チャネル領域 14 に対してより大きな圧縮差みが付与されるので、短チャネル特性を低下させることなく、半導体装置 50 の特性を向上させることができる利点がある。

【0056】

本発明は、以下の付記に記載されているような構成が考えられる。

(付記 1) 前記半導体基板が N 型シリコン基板であり、前記第 1 元素がゲルマニウム、前記不純物が硼素、前記第 2 元素が炭素である請求項 1 に記載の半導体装置。

【0057】

(付記 2) 前記第 1 半導体層および前記第 2 半導体層中の前記第 1 元素の含有量が、それぞれ 10 乃至 30 原子%である請求項 1 に記載の半導体装置。

【0058】

(付記 3) 前記第 1 半導体層中の前記第 2 元素の含有量が、0 原子%より大きく、且つ

10

20

30

40

50

1 原子%未満である請求項 1 に記載の半導体装置。

【符号の説明】

【0059】

10、30、50 半導体装置

11 シリコン基板

13、31 ゲート電極

14、32 チャンネル領域

15a、15b、51a、51b 第1半導体層

16a、16b、52a、52b 第2半導体層

17a、17b、33、53a、53b ソース・ドレイン領域

10

18a、18b、34 エクステンション領域

19a、19b、20 シリサイド層

21 絶縁膜

23 側壁膜

24 シリコン窒化膜

25 層間絶縁膜

26a、26b ピア

27a、27b 配線

40 ポリシリコン膜

41 シリコン窒化膜

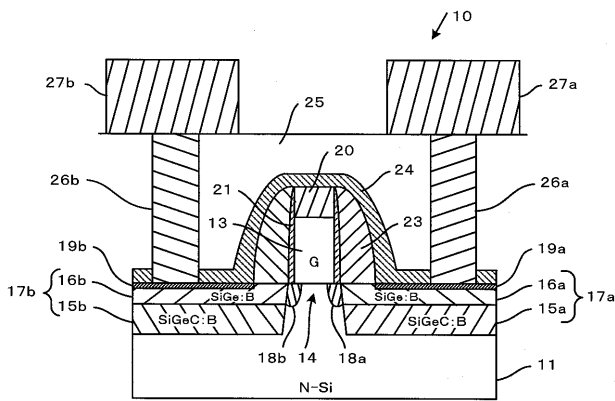
20

42 マスク材

43 絶縁膜

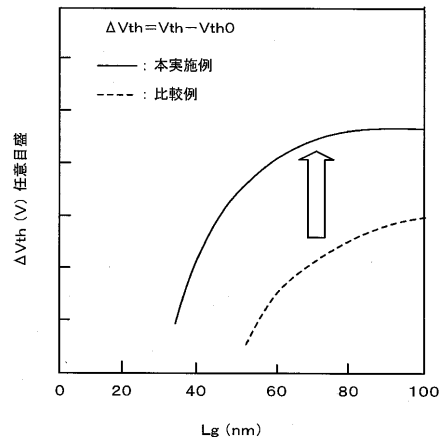
44a、44b 凹部

【図1】

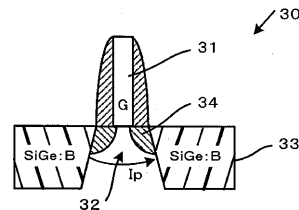


- |                      |                     |
|----------------------|---------------------|
| 10...半導体装置           | 19a、19b、20...シリサイド層 |
| 11...シリコン基板          | 21...絶縁膜            |
| 13...ゲート電極           | 23...側壁膜            |
| 14...チャンネル領域         | 24...シリコン窒化膜        |
| 15a、15b...第1半導体層     | 25...層間絶縁膜          |
| 16a、16b...第2半導体層     | 26a、26b...ピア        |
| 17a、17b...ソース・ドレイン領域 | 27a、27b...配線        |
| 18a、18b...エクステンション領域 |                     |

【図2】

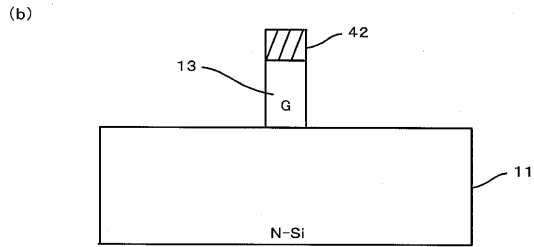
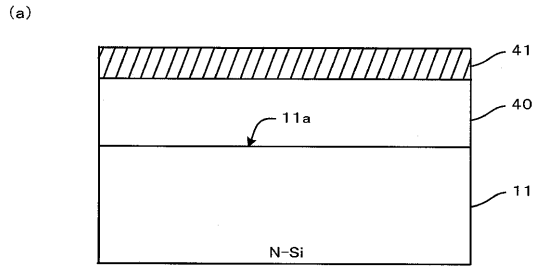


【図3】



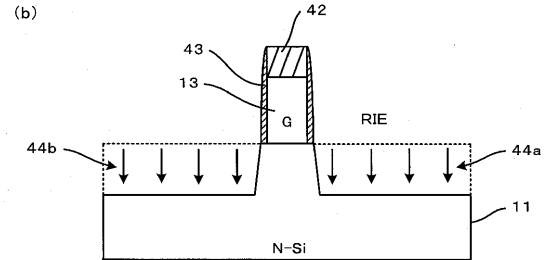
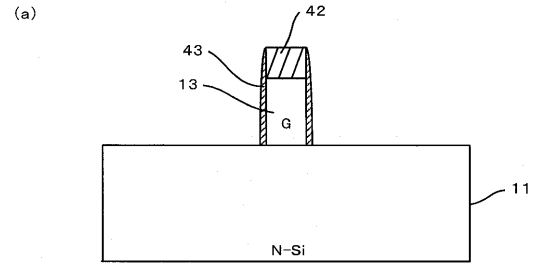
- |              |                 |
|--------------|-----------------|
| 30...半導体装置   | 33...ソース・ドレイン領域 |
| 31...ゲート電極   | 34...エクステンション領域 |
| 32...チャンネル領域 |                 |

【 図 4 】



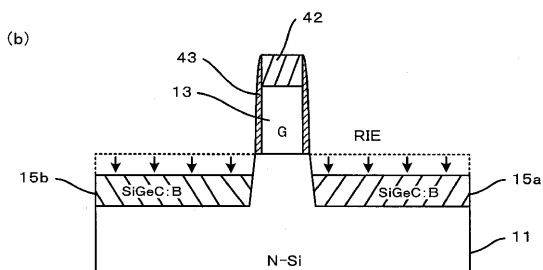
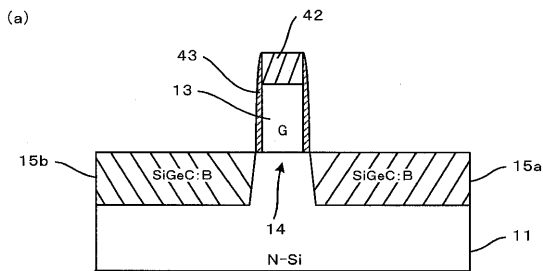
40...ポリシリコン膜    42...マスク材  
41...シリコン窒化膜

【 図 5 】

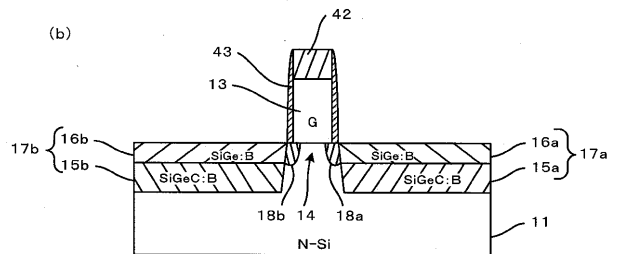
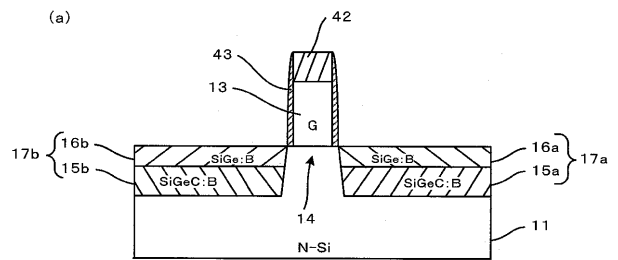


43...絶縁膜    44a、44b...凹部

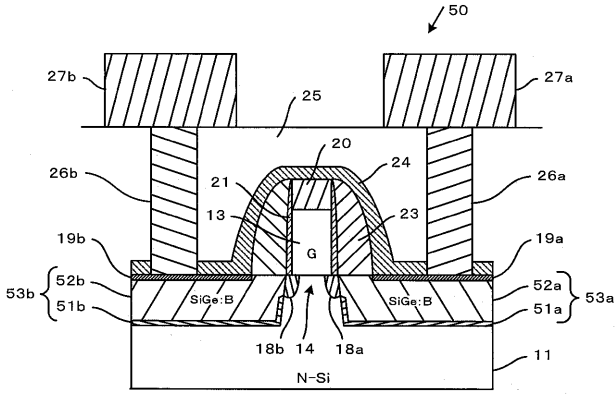
【 図 6 】



【 図 7 】

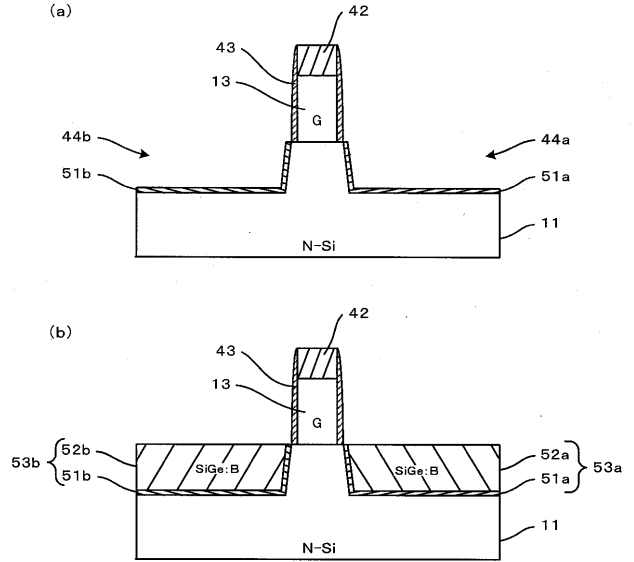


【 図 8 】

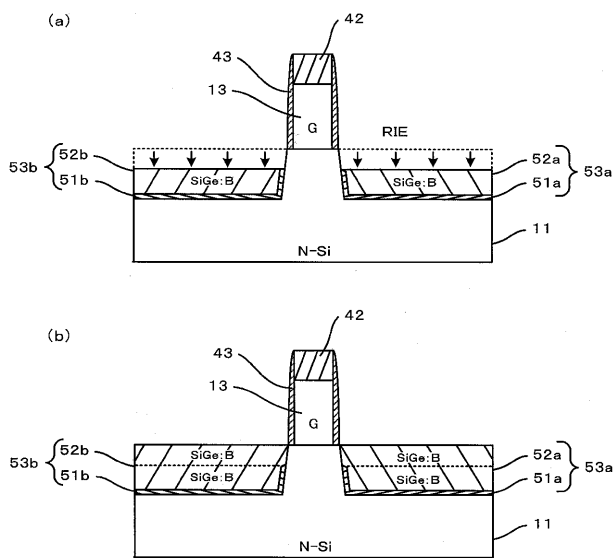


50...半導体装置  
51a, 51b...第1半導体層  
52a, 52b...第2半導体層  
53a, 53b...ソース・ドレイン領域

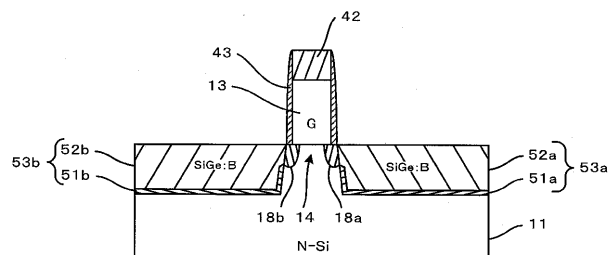
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

Fターム(参考) 5F140 AA21 AC01 AC28 BA01 BE07 BF04 BF11 BF18 BG09 BG14  
BG28 BG52 BG53 BH07 BH14 BH27 BJ08 BJ27 BK03 BK15  
BK16 BK18 CB04 CC01 CC08 CF04