



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월11일
 (11) 등록번호 10-1731058
 (24) 등록일자 2017년04월21일

(51) 국제특허분류(Int. Cl.)
 H01L 33/62 (2010.01) H01L 33/44 (2010.01)
 H01L 33/46 (2010.01) H01L 33/48 (2010.01)
 H01L 33/50 (2010.01) H01L 33/64 (2010.01)

(52) CPC특허분류
 H01L 33/62 (2013.01)
 H01L 33/10 (2013.01)

(21) 출원번호 10-2016-0015749(분할)
 (22) 출원일자 2016년02월11일
 심사청구일자 2016년02월11일
 (65) 공개번호 10-2016-0024370
 (43) 공개일자 2016년03월04일
 (62) 원출원 특허 10-2011-0143602
 원출원일자 2011년12월27일
 심사청구일자 2015년09월22일

(56) 선행기술조사문헌
 JP2007214276 A*
 JP2010141176 A*
 KR1020100079693 A*
 KR1020060010527 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 서울바이오시스 주식회사
 경기도 안산시 단원구 산단로163번길 65-16, 1블
 럭 36호 (원시동)

(72) 발명자
 서원철
 경기도 안산시 단원구 산단로 163번길 65-16
 조대성
 경기도 안산시 단원구 산단로 163번길 65-16

(74) 대리인
 특허법인에이아이피

전체 청구항 수 : 총 12 항

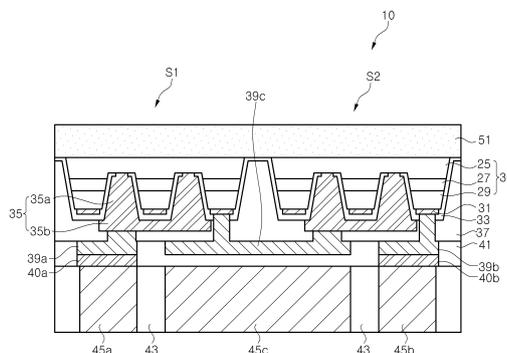
심사관 : 김태연

(54) 발명의 명칭 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법

(57) 요약

웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법이 개시된다. 이 발광 다이오드 패키지는, 제1 도전형 상부 반도체층, 활성층 및 제2 도전형 하부 반도체층을 포함하는 제1 반도체 적층 구조 발광셀; 상기 제1 반도체 적층 구조 발광셀의 상기 제2 도전형 하부 반도체층 및 상기 활성층을 관통하여 상기 제1 도전형 상부 반도체층을 노출시키는 콘택영역; 상기 제1 반도체 적층 구조 발광셀의 측면을 덮는 보호 절연층; 상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 콘택영역에 노출된 상기 제1 도전형 상부 반도체층에 전기적으로 접속된 제1 범프; 상기 반도체 적층 구조체의 아래에 위치하고, 상기 제2 도전형 하부 반도체층에 전기적으로 접속된 제2 범프; 및 상기 제1 반도체 적층 구조 발광셀 상에 위치하는 과장변환기를 포함하되, 상기 과장변환기는 상기 제1 반도체 적층 구조 발광셀의 측면보다 연장된 영역을 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 33/44 (2013.01)

H01L 33/46 (2013.01)

H01L 33/48 (2013.01)

H01L 33/50 (2013.01)

H01L 33/641 (2013.01)

H01L 2924/12041 (2013.01)

명세서

청구범위

청구항 1

제1 도전형 상부 반도체층, 활성층 및 제2 도전형 하부 반도체층을 포함하는 제1 반도체 적층 구조 발광셀;
 상기 제1 반도체 적층 구조 발광셀의 상기 제2 도전형 하부 반도체층 및 상기 활성층을 관통하여 상기 제2 도전형 하부 반도체층 및 상기 활성층으로 둘러싸이며 상기 제1 도전형 상부 반도체층을 노출시키는 콘택영역;
 상기 제1 반도체 적층 구조 발광셀의 측벽을 덮는 보호 절연층;
 상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 콘택영역에 노출된 상기 제1 도전형 상부 반도체층에 전기적으로 접속된 제1 범프;
 상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 제2 도전형 하부 반도체층에 전기적으로 접속된 제2 범프;
 상기 제1 및 제2 범프들 사이에 위치하는 절연층; 및
 상기 제1 반도체 적층 구조 발광셀 상에 위치하는 파장변환기를 포함하되,
 상기 파장변환기는 상기 제1 반도체 적층 구조 발광셀의 측면보다 연장된 영역을 포함하고,
 상기 절연층은 상기 제1 및 제2 범프들의 측면을 덮도록 형성되며,
 상기 절연층의 높이는 상기 제1 및 제2 범프들의 높이와 다르며,
 상기 제1 및 제2 범프들은 상기 절연층을 기준으로 돌출하도록 형성된 발광 다이오드 패키지.

청구항 2

청구항 1에 있어서,
 상기 파장변환기는 형광체 시트 또는 불순물이 도핑된 단결정 기관인 발광 다이오드 패키지.

청구항 3

청구항 1에 있어서,
 상기 파장변환기의 측면은 상기 보호 절연층과 나란한 발광 다이오드 패키지.

청구항 4

청구항 1에 있어서,
 상기 연장된 영역은 상기 보호 절연층과 접촉하는 발광 다이오드 패키지

청구항 5

청구항 1에 있어서,
 상기 보호 절연층은 분포브래그 반사기인 발광 다이오드 패키지.

청구항 6

청구항 1에 있어서,
 상기 제1 도전형 상부 반도체층은 거칠어진 표면을 갖는 발광 다이오드 패키지.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제1 도전형 상부 반도체층, 활성층 및 제2 도전형 하부 반도체층을 포함하는 제1 반도체 적층 구조 발광셀;

상기 제1 반도체 적층 구조 발광셀의 상기 제2 도전형 하부 반도체층 및 상기 활성층을 관통하여 상기 제2 도전형 하부 반도체층 및 상기 활성층으로 둘러싸이며 상기 제1 도전형 상부 반도체층을 노출시키는 콘택영역;

상기 제1 반도체 적층 구조 발광셀의 측면을 덮는 보호 절연층;

상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 콘택영역에 노출된 상기 제1 도전형 상부 반도체층에 전기적으로 접속된 제1 범프;

상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 제2 도전형 하부 반도체층에 전기적으로 접속된 제2 범프;

상기 제1 및 제2 범프들 사이에 위치하는 더미 범프; 및

상기 제1 반도체 적층 구조 발광셀 상에 위치하는 파장변환기를 포함하되,

상기 파장변환기는 상기 제1 반도체 적층 구조 발광셀의 측면보다 연장된 영역을 포함하는 발광 다이오드 패키지.

청구항 12

제1 도전형 상부 반도체층, 활성층 및 제2 도전형 하부 반도체층을 포함하는 제1 반도체 적층 구조 발광셀;

상기 제1 반도체 적층 구조 발광셀의 상기 제2 도전형 하부 반도체층 및 상기 활성층을 관통하여 상기 제2 도전형 하부 반도체층 및 상기 활성층으로 둘러싸이며 상기 제1 도전형 상부 반도체층을 노출시키는 콘택영역;

상기 제1 반도체 적층 구조 발광셀의 측면을 덮는 보호 절연층;

상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 콘택영역에 노출된 상기 제1 도전형 상부 반도체층에 전기적으로 접속된 제1 범프;

상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 제2 도전형 하부 반도체층에 전기적으로 접속된 제2 범프;

관통홀들을 갖는 절연 기관; 및

상기 제1 반도체 적층 구조 발광셀 상에 위치하는 파장변환기를 포함하되,

상기 파장변환기는 상기 제1 반도체 적층 구조 발광셀의 측면보다 연장된 영역을 포함하고,

상기 제1 및 제2 범프들은 상기 절연 기관의 관통홀에 형성되고,

상기 절연 기관은 그 하부면에 부분적으로 형성된 홈들을 갖고, 상기 홈들은 금속물질로 채워진 발광 다이오드 패키지.

청구항 13

삭제

청구항 14

청구항 1에 있어서,

제2 반도체 적층 구조 발광셀을 더 포함하되,

상기 제1 반도체 적층 구조 발광셀은 상기 제2 반도체 적층 구조 발광셀과 직렬로 연결된 발광 다이오드 패키지.

청구항 15

청구항 14에 있어서,

상기 제1 반도체 적층 구조 발광셀과 상기 제2 반도체 적층 구조 발광셀 사이는 이격된 발광다이오드 패키지.

청구항 16

청구항 15에 있어서,

상기 제1 반도체 적층 구조 발광셀과 상기 제2 반도체 적층 구조 발광셀 사이에 위치하는 상기 보호절연층 일부는 상기 파장변환기에 접속하는 발광 다이오드 패키지.

청구항 17

청구항 1에 있어서,

상기 발광 다이오드 패키지는 성장기판이 제거된 발광 다이오드 패키지.

발명의 설명

기술 분야

[0001] 본 발명은 발광 다이오드 패키지 및 그것을 제조하는 방법에 관한 것으로, 더욱 상세하게는 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법에 관한 것이다.

배경 기술

[0002] 발광 다이오드는 N형 반도체와 P형 반도체를 가지는 반도체 소자로서, 전자와 정공의 재결합에 의하여 빛을 발산한다. 이러한 발광 다이오드는 표시소자, 교통 신호기 및 백라이트로 널리 이용되고 있다. 또한, 발광 다이오드는 기존의 전구 또는 형광등에 비해 소모 전력이 작고 수명이 길어, 백열전구 및 형광등을 대체하여 일반 조명 용도로 그 사용 영역을 넓히고 있다.

[0003] 최근, 발광 다이오드를 교류전원에 직접 연결하여 연속적으로 빛을 방출하는 교류용 발광 다이오드가 제품화되고 있다. 고전압 교류전원에 직접 연결하여 사용할 수 있는 발광 다이오드는, 예를 들어, 국제공개번호 WO 2004/023568(A1)호에 "발광 성분들을 갖는 발광소자"(LIGHT-EMITTING DEVICE HAVING LIGHT-EMITTING ELEMENTS)라는 제목으로 사카이 등(SAKAI et. al.)에 의해 개시되어 있다.

[0004] 상기 WO 2004/023568(A1)호에 따르면, LED들이 사파이어 기판과 같은 절연성 기판 상에 2차원적으로 연결된 직렬 LED 어레이들이 형성된다. LED 어레이들이 직렬 연결됨으로써 고전압에서 구동될 수 있는 발광 다이오드가 제공될 수 있다. 또한, 이러한 LED 어레이들이 상기 사파이어 기판 상에서 역병렬로 연결되어, AC 파워 서플라이에 의해 구동될 수 있는 단일칩 발광소자가 제공된다.

[0005] 상기 AC-LED는 성장 기판으로 사용된 기판, 예컨대 사파이어 기판 상에 발광셀들을 형성하므로, 발광셀들의 구조에 제한이 따르며, 광추출 효율을 향상시키는데 한계가 있다. 이러한 문제점을 해결하기 위해 기판 분리 공정을 적용하여 직렬 연결된 발광셀들을 갖는 발광 다이오드, 예컨대 AC-LED를 제조하는 방법이 연구되고 있다.

[0006] 한편, 발광 다이오드는 통상 최종적으로 발광 다이오드 모듈로서 사용된다. 발광 다이오드 모듈은 웨이퍼 레벨에서의 발광 다이오드 칩 제작 공정, 패키징 공정 및 모듈 공정을 거쳐 제작된다. 즉, 사파이어 기판과 같은 성장 기판 상에서 반도체층들을 성장시킨 후 웨이퍼 레벨에서 패터닝 공정 등을 거쳐 전극 패드들을 갖는 칩으로 제조되고, 개별 칩들로 분할된다(칩 제작 공정). 그 후, 개별 칩들을 리드 프레임 또는 인쇄회로기 기판 등에 실장하고, 본딩 와이어를 이용하여 전극 패드들을 리드 단자들에 전기적으로 연결한 후, 몰딩 부재로 발광 다이오드 칩들을 몰딩함으로써 발광 다이오드 패키지가 제작된다(패키징 공정). 그 후, 상기 발광 다이오드 패키지가

를 MC-PCB와 같은 회로보드 상에 장착함으로써 광원 모듈과 같은 발광 다이오드 모듈이 완성된다(모듈 공정).

[0007] 상기 패키징 공정에 의해 상기 발광 다이오드 칩은 하우징 및/또는 몰딩부재에 의해 외부 환경으로부터 보호된다. 나아가, 상기 몰딩 부재 내에 형광체를 함유시킴으로써, 백색 광원에 적합한 백색 발광 다이오드 패키지가 제공될 수 있다. 이러한 백색 발광 다이오드 패키지를 MC-PCB와 같은 회로보드 상에 장착하고 발광 다이오드 패키지에서 방출된 광의 지향 특성을 조절하기 위한 2차 렌즈를 발광 다이오드 패키지 상에 설치함으로써 특정 사용 용도에 적합한 백색 발광 다이오드 모듈이 제공될 수 있다.

[0008] 그러나, 종래의 리드 프레임 또는 인쇄회로기판 등을 사용하는 발광 다이오드 패키지는 소형화가 어려울 뿐만 아니라, 방열 특성을 개선하는데 한계가 있다. 더욱이, 리드 프레임 또는 인쇄회로기판 등에 의한 광 흡수, 리드 단자에 의한 저항열 발생 등에 의해 발광 다이오드의 발광 효율이 감소되는 것은 잘 알려져 있다.

[0009] 나아가, 칩 제작 공정, 패키징 공정 및 모듈화 공정이 각각 별도로 진행됨에 따라 발광 다이오드 모듈을 제작하는데 필요한 작업 시간 및 비용이 증가한다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 특허문헌 1: 국제공개번호 WO 2004/023568(A1)호

발명의 내용

해결하려는 과제

[0011] 본 발명이 해결하려는 과제는, 종래의 리드 프레임이나 인쇄회로기판 등을 이용할 필요없이 직접 회로보드에 모듈화할 수 있는 웨이퍼 레벨 발광 다이오드 패키지 및 그것을 제조하는 방법을 제공하는 것이다.

[0012] 본 발명이 해결하려는 다른 과제는, 고효율 및 고방열 특성을 갖는 발광 다이오드 패키지 및 그것을 제조하는 방법을 제공하는 것이다.

[0013] 본 발명이 해결하려는 또 다른 과제는, 발광 다이오드 모듈을 제작하는데 필요한 작업 시간 및 비용을 절감할 수 있는 발광 다이오드 패키지 제조 방법을 제공하는 것이다.

[0014] 본 발명이 해결하려는 또 다른 과제는, 고효율 및 고방열 특성을 갖는 발광 다이오드 모듈 및 그것을 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0015] 본 발명의 발광 다이오드 패키지는, 제1 도전형 상부 반도체층, 활성층 및 제2 도전형 하부 반도체층을 포함하는 제1 반도체 적층 구조 발광셀; 상기 제1 반도체 적층 구조 발광셀의 상기 제2 도전형 하부 반도체층 및 상기 활성층을 관통하여 상기 제1 도전형 상부 반도체층을 노출시키는 콘택영역; 상기 제1 반도체 적층 구조 발광셀의 측면을 덮는 보호 절연층; 상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 콘택영역에 노출된 상기 제1 도전형 상부 반도체층에 전기적으로 접속된 제1 범프; 상기 제1 반도체 적층 구조 발광셀의 아래에 위치하고, 상기 제2 도전형 하부 반도체층에 전기적으로 접속된 제2 범프; 및 상기 제1 반도체 적층 구조 발광셀 상에 위치하는 과장변환기를 포함하되, 상기 과장변환기는 상기 제1 반도체 적층 구조 발광셀의 측면보다 연장된 영역을 포함한다. 즉, 상기 과장변환기는 상기 제1 반도체 적층 구조 발광셀의 측면으로부터 바깥쪽으로 돌출된다. 상기 과장변환기의 연장된 영역은 상기 보호 절연층과 접촉할 수 있다.

[0016] 본 발명의 일 태양에 따른 발광 다이오드 패키지는, 각각 제1 도전형 상부 반도체층, 활성층 및 제2 도전형 하부 반도체층을 포함하는 복수개의 발광셀들; 상기 각 발광셀의 상기 제2 도전형 하부 반도체층 및 활성층을 관통하여 상기 제1 도전형 상부 반도체층을 노출시키는 복수개의 콘택홀들; 상기 각 발광셀의 측면을 덮는 보호 절연층; 상기 발광셀들 아래에 위치하고, 인접한 두개의 발광셀들을 전기적으로 직렬 연결하는 연결부; 상기 발광셀들 아래에 위치하고, 상기 발광셀들 중 제1 발광셀의 상기 복수개의 콘택홀들에 노출된 상기 제1 도전형 상부 반도체층에 전기적으로 접속된 제1 범프; 및 상기 복수개의 발광셀들 아래에 위치하고, 상기 발광셀들 중 제2 발광셀의 상기 제2 도전형 하부 반도체층에 전기적으로 접속된 제2 범프를 포함한다.

- [0017] 상기 보호 절연층은 상기 발광셀들의 측벽 전면을 덮어 외부 환경, 예컨대 수분 등으로부터 상기 발광셀들을 보호한다. 나아가, 상기 제1 범프 및 제2 범프는 서로 동일 높이를 갖고, 이들의 단면은 동일 평면 상에 위치할 수 있다. 상기 발광 다이오드 패키지는 상기 제1 범프 및 제2 범프를 통해 MC-PCB 등의 회로보드 상에 전기적으로 접속될 수 있다.
- [0018] 본 발명에 따른 발광 다이오드 패키지는 MC-PCB 등의 회로보드에 직접 장착하여 모듈화할 수 있는 웨이퍼 레벨 패키지로써, 리드프레임이나 인쇄회로기판 등을 사용하는 종래의 발광 다이오드 패키지와 구별되며, 또한, 리드프레임이나 인쇄회로기판 등을 이용하여 패키징되는 통상의 발광 다이오드 칩과 구별된다.
- [0019] 한편, 과장 변환기가 상기 복수개의 발광셀들 상에 위치할 수 있다. 과장 변환기는 보호절연층과 다른 재료로 구성되어 보호절연층과 구별된다. 상기 과장변환기는 형광체 시트 또는 불순물이 도핑된 단결정 기판일 수 있다. 상기 과장변환기의 측면은 상기 보호절연층과 나란할 수 있다. 즉, 상기 과장변환기는 상기 보호절연층의 윗면을 덮는다.
- [0020] 상기 보호절연층은 실리콘 산화막 또는 실리콘 질화막을 포함할 수 있으며, 단일층 또는 다중층으로 형성될 수 있다. 이와 달리, 상기 보호절연층은 굴절률이 서로 다른 절연층들을 반복 적층한 분포브래그 반사기를 포함할 수 있다.
- [0021] 한편, 상기 각 발광셀의 제1 도전형 상부 반도체층은 거칠어진 표면을 가질 수 있다. 거칠어진 표면은 광 추출 효율을 향상시킨다.
- [0022] 몇몇 실시예들에 있어서, 상기 제1 및 제2 범프들의 측면은 절연층에 의해 덮일 수 있다. 이 절연층은 상기 제1 및 제2 범프들의 측면의 적어도 일부를 덮는다. 또한, 더미 범프가 상기 제1 및 제2 범프들 사이에 위치할 수 있다. 더미 범프는 반도체 적층 구조체에서 생성된 열을 방출한다.
- [0023] 몇몇 실시예들에 있어서, 상기 발광 다이오드 패키지는 관통홀들을 갖는 절연 기판을 더 포함할 수 있으며, 상기 제1 및 제2 범프들은 상기 절연 기판의 관통홀에 형성될 수 있다. 상기 절연 기판은 사파이어 또는 실리콘 기판일 수 있다.
- [0024] 또한, 상기 절연 기판은 그 하부면에 부분적으로 형성된 홈들을 갖고, 상기 홈들은 금속물질로 채워질 수 있다. 상기 금속물질에 의해 상기 기판의 방열 특성이 개선된다.
- [0025] 한편, 상기 발광 다이오드 패키지는, 상기 각 발광셀의 상기 제2 도전형 하부 반도체층에 접촉하는 제2 콘택층; 상기 복수개의 콘택홀들 내에서 상기 각 발광셀의 상기 제1 도전형 상부 반도체층에 전기적으로 접촉하는 제1 접촉부들 및 상기 제1 접촉부들을 서로 연결하는 연결부를 포함하는 제1 콘택층; 상기 제1 콘택층과 상기 제2 콘택층 사이에 개재되어 상기 제2 콘택층을 덮는 제1 절연층; 및 상기 제1 콘택층 아래에서 상기 제1 콘택층을 덮는 제2 절연층을 더 포함할 수 있다. 상기 인접한 발광셀들을 직렬 연결하는 연결부는 상기 제2 절연층 바로 아래에 위치하여 상기 제1 콘택층과 제2 콘택층을 연결할 수 있다. 또한, 상기 제1 범프는 상기 제2 절연층 아래에 위치하여 상기 제1 발광셀의 상기 제1 콘택층에 전기적으로 접속되고, 상기 제2 범프는 상기 제2 절연층 아래에 위치하여 상기 제2 발광셀의 상기 제2 콘택층에 전기적으로 접속될 수 있다.
- [0026] 상기 보호절연층은 상기 제1 절연층 및/또는 제2 절연층에 의해 형성될 수 있다. 따라서, 상기 보호절연층은 상기 제1 절연층 및/또는 상기 제2 절연층을 포함할 수 있다.
- [0027] 나아가, 상기 발광 다이오드 패키지는, 상기 제2 절연층 아래에 위치하고, 상기 제2 절연층을 관통하여 상기 제1 발광셀의 제1 콘택층에 접속하는 제1 전극 패드; 및 상기 제2 절연층 아래에 위치하고, 상기 제2 절연층 및 상기 제1 절연층을 관통하여 상기 제2 발광셀의 상기 제2 콘택층에 접속하는 제2 전극패드를 더 포함할 수 있다. 상기 제1 범프 및 제2 범프는 각각 상기 제1 전극 패드 및 제2 전극 패드 아래에서 이들에 전기적으로 접속될 수 있다.
- [0028] 한편, 상기 인접한 발광셀들을 직렬 연결하는 연결부는 상기 제1 및 제2 전극 패드와 동일 레벨에 위치할 수 있다. 즉, 상기 연결부는 상기 제1 및 제2 전극 패드와 동일 공정에서 형성될 수 있다.
- [0029] 또한, 상기 인접한 발광셀들을 직렬 연결하는 연결부와 상기 더미 범프 사이에 제3 절연층이 개재될 수 있다. 제3 절연층은 제1 전극 패드 및 제2 전극 패드의 측면을 덮을 수 있다.
- [0030] 또한, 상기 제1 절연층 및 제2 절연층 중 적어도 하나는 분포 브래그 반사기일 수 있다.
- [0031] 본 발명의 또 다른 태양에 따르면, 앞서 설명한 발광 다이오드 패키지를 포함하는 발광 다이오드 모듈이 제공된

다. 이 모듈은 회로 보드; 상기 회로보드에 장착된 상기 발광 다이오드 패키지 및 상기 발광 다이오드 패키지에
서 방출된 광의 지향각을 조절하기 위한 렌즈를 포함할 수 있다. 나아가, 상기 회로보드는 MC-PCB일 수 있으며,
상기 MC-PCB 상에 복수개의 상기 발광 다이오드 패키지들이 장착될 수 있다.

[0032] 본 발명의 또 다른 태양에 따르면, 복수개의 발광셀들을 갖는 발광 다이오드 패키지 제조방법이 제공된다. 이
방법은, 성장 기관 상에 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 반도체 적층 구조체
를 형성하고; 상기 반도체 적층 구조체를 패터닝하여 칩 분리 영역 및 발광셀 분리 영역을 형성함과 아울러, 상
기 제2 도전형 반도체층 및 활성층을 패터닝하여 상기 제1 도전형 반도체층을 노출시키는 복수개의 콘택홀들을
갖는 복수개의 발광셀들을 형성하고; 상기 칩 분리 영역 및 발광셀 분리 영역 내의 반도체 적층 구조체의 측면
을 덮는 보호 절연층을 형성하고; 인접한 발광셀들을 직렬 연결하는 연결부를 형성하고; 상기 복수개의 발광셀
들 상부에 제1 범프 및 제2 범프를 형성하는 것을 포함한다. 여기서, 상기 제1 범프는 상기 발광셀들 중 제1 발
광셀의 상기 복수개의 콘택홀들에 노출된 상기 제1 도전형 반도체층에 전기적으로 접속되고, 상기 제2 범프는
상기 발광셀들 중 제2 발광셀의 상기 제2 도전형 반도체층에 전기적으로 접속된다.

[0033] 몇몇 실시예들에 있어서, 상기 성장 기관은 상기 활성층에서 생성된 광의 파장을 변환하기 위한 불순물을 포함
할 수 있다. 상기 성장 기관은 사파이어 또는 실리콘 기관일 수 있다.

[0034] 몇몇 실시예들에 있어서, 상기 방법은, 상기 성장 기관을 제거하여 상기 발광셀들을 노출시키고, 상기 노출된
발광셀들 상에 형광체 시트를 부착하는 것을 더 포함할 수 있다. 상기 보호 절연층은 칩 분리 영역을 따라 개별
패키지로 분할하는 공정에서 상기 형광체 시트와 함께 분할될 수 있다.

[0035] 상기 방법은 또한, 상기 각 발광셀의 제2 도전형 반도체층 상에 제2 콘택층을 형성하고; 상기 각 발광셀의 상기
제2 콘택층 및 상기 복수개의 콘택홀의 측면을 덮는 제1 절연층을 형성하되, 상기 제1 절연층은 상기 복수개의
콘택홀 내의 제1 도전형 반도체층을 노출시키는 개구부들을 갖고; 상기 각 발광셀의 상기 제1 절연층 상에 제1
콘택층을 형성하되, 상기 제1 콘택층은 상기 복수개의 콘택홀 내에 노출된 제1 도전형 반도체층에 접촉하는 접
촉부들 및 상기 접촉부들을 연결하는 연결부를 갖고; 상기 각 발광셀의 상기 제1 콘택층을 덮는 제2 절연층을
형성하고; 상기 제1 및 제2 절연층을 패터닝하여 상기 각 발광셀의 상기 제1 콘택층을 노출시키는 개구부를 형
성함과 아울러, 상기 제2 콘택층을 노출시키는 개구부를 형성하고; 상기 제2 절연층 상에 상기 개구부들을 통해
상기 제1 발광셀의 상기 제1 콘택층에 접속하는 제1 전극 패드 및 상기 제2 발광셀의 상기 제2 콘택층에 접속하
는 제2 전극 패드를 형성하는 것을 더 포함할 수 있다. 상기 인접한 발광셀들을 직렬 연결하는 연결부는 상기
제2 절연층 상에 형성됨과 아울러 상기 개구부들을 통해 인접한 발광셀들의 제1 콘택층 및 제2 콘택층에 접속할
수 있다. 또한, 상기 제1 범프 및 제2 범프는 각각 상기 제1 전극 패드 및 제2 전극 패드에 전기적으로 접속될
수 있다.

[0036] 몇몇 실시예들에 있어서, 상기 제1 범프 및 제2 범프를 형성하는 것은, 상기 제1 전극 패드 및 제2 전극 패드를
노출시키는 개구부들을 갖는 절연층 패턴을 형성하고; 상기 노출된 상기 제1 전극 패드 및 제2 전극 패드 상에
금속 재료를 도금하는 것을 포함할 수 있다. 나아가, 상기 제1 범프 및 제2 범프를 형성하는 동안, 더미 범프를
형성하는 것을 더 포함할 수 있다.

[0037] 또한, 상기 더미 범프를 형성하기 전에, 상기 제1 전극 패드, 제2 전극 패드 및 상기 인접한 발광셀들을 연결하
는 연결부를 덮는 제3 절연층이 형성될 수 있다. 그 후, 상기 제3 절연층을 패터닝하여 상기 제1 전극 패드 및
제2 전극 패드를 노출시킬 수 있다.

[0038] 또 다른 실시예들에 있어서, 상기 제1 범프 및 제2 범프를 형성하는 것은, 절연 기관 내에 관통홀들을
형성하고; 상기 관통홀들을 금속재료로 채우고; 상기 금속재료를 갖는 절연 기관을 상기 제1 전극 패드 및 제2
전극 패드 상에 본딩하는 것을 포함할 수 있다.

[0039] 또한, 상기 절연기관을 본딩하기 전에, 상기 제1 전극 패드, 제2 전극 패드 및 상기 인접한 발광셀들을 직렬 연
결하는 연결부를 덮는 제3 절연층이 형성될 수 있다. 그 후, 상기 제3 절연층을 패터닝하여 상기 제1 전극 패드
및 제2 전극 패드를 노출시킬 수 있다.

발명의 효과

[0040] 본 발명에 따르면, 종래의 리드 프레임이나 인쇄회로기판 등을 이용할 필요없이 직접 회로보드에 모듈화할 수
있는 웨이퍼 레벨(또는 칩 레벨) 발광 다이오드 패키지가 제공될 수 있다. 이에 따라, 고효율 및 고방열 특성을
갖는 발광 다이오드 패키지가 제공되며, 발광 다이오드 모듈을 제작하는데 필요한 작업 시간 및 비용을 절감할

수 있다. 또한, 상기 발광 다이오드 패키지를 장착함으로써, 고효율 및 고방열 특성을 갖는 발광 다이오드 모듈이 제공될 수 있다.

[0041] 더욱이, 상기 발광 다이오드 패키지는 직렬 연결된 복수개의 발광셀들을 가지며, 나아가 역병렬 연결된 어레이들을 가질 수 있다. 또한, 상기 복수개의 발광셀들은 브리지 정류기에 연결되어 사용될 수도 있으며, 발광셀들을 이용하여 브리지 정류기를 구현할 수도 있다. 이에 따라, 상기 발광 다이오드 패키지를 장착한 발광 다이오드 모듈은 별도의 AC-DC 컨버터 없이 교류 전원하에서 구동될 수 있다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 설명하기 위한 개략적인 단면도이다.
 도 2는 본 발명의 다른 실시예에 따른 발광 다이오드 패키지를 설명하기 위한 개략적인 단면도이다.
 도 3은 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 장착한 발광 다이오드 모듈을 설명하기 위한 단면도이다.
 도 4 내지 도 13은 본 발명의 일 실시예에 따른 발광 다이오드 패키지를 제조하는 방법을 설명하기 위한 도면들이다. 도 5 내지 도 10에서 (a)는 평면도를 나타내고, (b)는 (a)의 절취선 A-A를 따라 취해진 단면도를 나타낸다.
 도 14는 본 발명의 다른 실시예에 따른 발광 다이오드 패키지를 제조하는 방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0043] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0044] 도 1은 본 발명의 일 실시예에 따른 발광 다이오드 패키지(10)를 설명하기 위한 단면도이다.
 [0045] 도 1을 참조하면, 상기 발광 다이오드 패키지(10)는 복수개의 발광셀들(2개만 도시함, S1, S2)로 분리된 반도체 적층 구조체(30), 제1 콘택층(35), 제2 콘택층(31), 제1 절연층(33), 제2 절연층(37), 제1 전극 패드(39a), 제2 전극 패드(39b), 인접한 발광셀들을 직렬 연결하는 연결부(39c), 제1 범프(45a) 및 제2 범프(45b)를 포함한다. 또한, 상기 발광 다이오드 패키지(10)는 제3 절연층(41), 절연층(43), 더미 범프(45c), 과장 변환기(51) 및 추가 금속층(40a, 40b)을 포함할 수 있다.
 [0046] 상기 반도체 적층 구조체(30)는 제1 도전형의 상부 반도체층(25), 활성층(27) 및 제2 도전형의 하부 반도체층(29)을 포함한다. 상기 활성층(27)은 상기 상부 및 하부 반도체층들(25, 29) 사이에 개재된다.
 [0047] 상기 활성층(27), 상기 상부 및 하부 반도체층들(25, 29)은 III-N 계열의 화합물 반도체, 예컨대 (Al, Ga, In)N 반도체로 형성될 수 있다. 상기 상부 및 하부 반도체층들(25, 29)은 각각 단일층 또는 다중층일 수 있다. 예를 들어, 상기 상부 및/또는 하부 반도체층(25, 29)은 콘택층과 클래드층을 포함할 수 있으며, 또한 초격자층을 포함할 수 있다. 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 바람직하게, 상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형이다. 저항이 상대적으로 작은 n형 반도체층으로 상부 반도체층(25)을 형성할 수 있어, 상부 반도체층(25)의 두께를 상대적으로 두껍게 형성할 수 있다. 따라서, 상기 상부 반도체층(25)의 상부면에 거칠어진 면(R)을 형성하는 것이 용이하며, 거칠어진 면(R)은 활성층(27)에서 발생된 광의 추출 효율을 향상시킨다.
 [0048] 상기 각 발광셀(S1, S2)은 상기 제2 도전형 하부 반도체층(29) 및 활성층(27)을 관통하여 상기 제1 도전형 상부 반도체층을 노출시키는 복수개의 콘택홀들(도 5(b), 30a 참조)을 가지며, 제1 콘택층(35)이 상기 복수개의 콘택홀들에 노출된 제1 도전형 상부 반도체층(25)에 접촉한다. 상기 각 발광셀(S1, S2)은 또한 셀 분리 영역(도 5(b)의 30b 참조)에 의해 서로 분리된다.
 [0049] 한편, 제2 콘택층(31)은 상기 각 발광셀(S1, S2)의 상기 제2 도전형 하부 반도체층(29)에 접촉한다. 제2 콘택층(31)은 반사 금속층을 포함하며, 활성층(25)에서 생성된 광을 반사시킨다. 또한, 상기 제2 콘택층(31)은 제2 도

전형 하부 반도체층(29)에 오믹 콘택할 수 있다.

- [0050] 제1 절연층(33)은 제2 콘택층(31)을 덮는다. 또한, 상기 제1 절연층(33)은 복수개의 콘택홀들(30a)에 노출된 반도체 적층 구조체(30)의 측면을 덮는다. 나아가, 상기 제1 절연층(33)은 발광셀들(S1, S2)의 측면을 덮을 수 있다. 제1 절연층(33)은 제1 콘택층(35)을 제2 콘택층(31)으로부터 절연시키며, 나아가, 복수개의 콘택홀들(30a) 내에 노출된 제2 도전형 하부 반도체층(29)과 활성층(27)을 제1 콘택층(35)으로부터 절연시킨다. 제1 절연층(33)은 실리콘 산화막 또는 실리콘 질화막의 단일층으로 형성될 수 있으나, 이에 한정되는 것은 아니며 다중층으로 형성될 수 있다. 더욱이, 상기 제1 절연층(33)은 굴절률이 서로 다른 절연층들, 예컨대 SiO₂/TiO₂ 또는 SiO₂/Nb₂O₅를 반복하여 적층한 분포 브래그 반사기일 수 있다.
- [0051] 상기 제1 콘택층(35)은 상기 제1 절연층(33) 아래에 위치하며, 상기 각 발광셀(S1, S2)의 상기 복수개의 콘택홀들(30a) 내에서 상기 제1 절연층(33)을 관통하여 제1 도전형 상부 반도체층(25)에 접촉한다. 제1 콘택층(35)은 제1 도전형 상부 반도체층(25)에 접촉하는 접촉부들(35a) 및 접촉부들(35a)을 서로 연결하는 연결부(35b)를 포함한다. 따라서, 연결부(35b)에 의해 접촉부들(35a)이 서로 전기적으로 연결된다. 각 발광셀(S1, S2) 아래에 위치하는 제1 콘택층들(35)은 서로 이격되어 위치하며, 각 발광셀(S1, S2)에 접촉하는 상기 제1 콘택층(35)은 제1 절연층(33)의 일부 영역 아래에 형성된다. 제1 콘택층(35)은 반사 금속층으로 형성될 수 있다.
- [0052] 상기 제2 절연층(37)은 제1 콘택층(35) 아래에서 제1 콘택층(35)을 덮는다. 나아가, 상기 제2 절연층(37)은 제1 절연층(33)을 덮으며, 각 발광셀(S1, S2)의 측면을 덮을 수 있다. 상기 제2 절연층(37)은 단일층 또는 다중층으로 형성될 수 있으며, 분포 브래그 반사기일 수 있다.
- [0053] 상기 제1 전극 패드(39a) 및 제2 전극 패드(39b)는 상기 제2 절연층(37) 아래에 위치한다. 제1 전극 패드(39a)는 제2 절연층(37)을 관통하여 제1 발광셀(S1)의 제1 콘택층(35)에 접속될 수 있다. 또한, 제2 전극 패드(39b)는 제2 절연층(39) 및 제1 절연층(33)을 관통하여 제2 발광셀(S2)의 제1 콘택층(31)에 접속될 수 있다.
- [0054] 한편, 연결부(39c)가 상기 제2 절연층(37) 아래에 위치하며, 제2 절연층(37)을 관통하여 인접한 두개의 발광셀들(S1, S2)을 전기적으로 연결한다. 상기 연결부(39c)는 하나의 발광셀(S1)의 제2 콘택층(31)과 그것에 인접한 발광셀(S2)의 제1 콘택층(35)에 접속할 수 있으며, 이에 따라 두개의 발광셀들(S1, S2)이 직렬 연결된다.
- [0055] 본 실시예에 있어서, 두 개의 발광셀들(S1, S2)만이 도시되어 있지만, 더 많은 수의 발광셀들이 복수의 연결부들(39c)에 의해 서로 직렬 연결될 수 있으며, 제1 및 제2 전극 패드들(39a, 39b)은 이러한 직렬 어레이의 양끝에 위치하는 발광셀들(S1, S2)에 각각 전기적으로 연결될 수 있다.
- [0056] 한편, 제3 절연층(41)이 제1 전극 패드(39a), 제2 전극 패드(39b) 및 연결부(39c) 아래에서 이들을 덮을 수 있다. 상기 제3 절연층(41)은 제1 전극 패드(39a) 및 제2 전극 패드(39b)를 노출시키는 개구부를 가질 수 있다. 제3 절연층(41)은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.
- [0057] 제1 범프(45a) 및 제2 범프(45b)는 각각 상기 제1 및 제2 전극 패드(39a, 39b) 아래에 위치한다. 제1 범프(45a) 및 제2 범프(45b)는 도금 기술에 의해 형성될 수 있다. 제1 및 제2 범프(45a, 45b)는 MC-PCB와 같은 회로보드에 전기적으로 접속하는 단자들로서, 그 끝 단면들이 동일면에 나란할 수 있다. 나아가, 제1 전극 패드(39a)와 제2 전극 패드(39b)가 동일 레벨에 형성될 수 있으며, 따라서, 제1 범프(45a)와 제2 범프(45b) 또한 동일면 상에 형성될 수 있다. 이에 따라, 제1 및 제2 범프(45a, 45b)는 동일한 높이를 가질 수 있다.
- [0058] 상기 제1 범프(45a) 및 상기 제2 범프(45b)와 제1 전극 패드(39a, 39b) 사이에 추가 금속층(40a, 40b)이 개재될 수 있다. 여기서, 상기 추가 금속층(40a, 40b)은 제1 및 제2 전극 패드들(39a, 39b)을 연결부(39c)에 비해 더 높게 형성하기 위한 것으로, 제3 절연층(41)의 개구부들 내에 형성될 수 있다. 상기 제1 및 제2 전극 패드(39a, 39b)와 상기 추가 금속층(40a, 40b)이 최종 전극 패드들을 구성할 수 있다.
- [0059] 한편, 상기 제1 범프(45a)와 제2 범프(45b) 사이에 더미 범프(45c)가 위치할 수 있다. 더미 범프(45c)는 제1 및 제2 범프(45a, 45b)를 형성하는 동안 함께 형성될 수 있으며, 제1 및 제2 범프(45a, 45b)와 함께 발광셀들(S1, S2)에서 생성된 열을 방출하기 위한 열 경로를 제공할 수 있다. 상기 더미 범프(45c)는 제3 절연층(41)에 의해 연결부(39c)로부터 이격된다.
- [0060] 한편, 절연층(43)은 제1 범프(45a) 및 제2 범프(45b)의 측면을 덮을 수 있다. 절연층(43)은 또한 더미 범프(45c)의 측면을 덮을 수 있다. 나아가, 상기 절연층(43)은 제1 범프(45a), 제2 범프(45b) 및 더미 범프(45c) 사이의 영역을 채워 외부로부터 반도체 적층 구조체(30)로 수분이 침투하는 것을 방지한다. 절연층(43)은 제1 및 제2 범프(45a, 45b)의 측면 전체를 덮을 수 있으나, 이에 한정되는 것은 아니며, 제1 및 제2 범프(45a, 45b)의

끝 단면 근처의 일부 측면을 제외하고 나머지 측면을 덮을 수 있다.

- [0061] 한편, 상기 발광셀들(S1, S2) 상에 과장 변환기(51)가 위치한다. 과장 변환기(51)는 제1 도전형 상부 반도체층(25)의 상부면에 접촉할 수 있다. 과장 변환기(51)는 또한 셀 분리 영역(30b) 및 칩 분리 영역을 덮는다. 과장 변환기(45)는 균일한 두께를 갖는 형광체 시트일 수 있으나, 이에 한정되는 것은 아니며, 과장 변환을 위한 불순물이 도핑된 기관, 예컨대 사파이어 또는 실리콘 기관일 수 있다.
- [0062] 본 실시예에 있어서, 발광셀들(S1, S2)의 측면은 보호 절연층으로 덮인다. 상기 보호 절연층은 예컨대, 상기 제1 절연층(33) 및/또는 제2 절연층(37)을 포함할 수 있다. 나아가, 제1 콘택층(35)은 상기 제2 절연층(37)으로 덮여 외부 환경으로부터 보호되며, 제2 콘택층(31)은 제1 절연층(33) 및 제2 절연층(37)으로 덮여 외부 환경으로부터 보호될 수 있다. 또한, 제1 전극 패드(39a) 및 제2 전극 패드(39b)는 예컨대 제3 절연층(41)에 의해 보호된다. 이에 따라, 외부 환경으로부터 수분 등에 의해 발광셀들(S1, S2)가 열화되는 것을 방지할 수 있다.
- [0063] 한편, 상기 과장 변환기(51)는 웨이퍼 레벨에서 제1 도전형 상부 반도체층(25) 상에 부착될 수 있으며, 그 후 칩 분리 공정(혹은 패키지 분리 공정)에서 보호절연층과 함께 분할될 수 있다. 따라서, 상기 과장 변환기(51)의 측면은 보호절연층과 나란할 수 있다. 또한, 상기 과장 변환기(51)의 측면은 제3 절연층(41) 및 절연층(43)의 측면과도 나란할 수 있다.
- [0064] 도 2는 본 발명의 또 다른 실시예에 따른 발광 다이오드 패키지(20)를 설명하기 위한 개략적인 단면도이다.
- [0065] 도 2를 참조하면, 상기 발광 다이오드 패키지(20)는 앞서 설명한 발광 다이오드 패키지(10)와 대체로 동일하나, 제1 및 제2 범프들(65a, 65b)이 기관(61) 내에 형성된 것에 차이가 있다.
- [0066] 즉, 기관(61)은 관통홀들을 포함하며, 제1 및 제2 범프들(65a, 65b)이 각각 관통홀 내에 형성된다. 상기 기관(61)은 절연 기관으로서, 사파이어 또는 실리콘 기관일 수 있으나, 이에 한정되는 것은 아니다. 또한, 상기 절연 기관(61)은 그 하부면에 부분적으로 형성된 홈들을 갖고, 상기 홈들은 금속물질(65c)로 채워질 수 있다. 상기 금속물질(65c)에 의해 상기 기관의 방열 특성이 개선된다.
- [0067] 상기 제1 및 제2 범프들(65a, 65b)과 함께 기관(61)이 제3 절연층(41) 상에 부착될 수 있으며, 제1 및 제2 범프들(65a, 65b)이 각각 제1 전극 패드(39a) 및 제2 전극 패드(39b)에 접속될 수 있다. 여기서, 상기 추가 금속층(40a, 40b)에 상기 제1 및 제2 범프들(65a, 65b)이 본딩될 수 있다.
- [0068] 도 3은 본 발명의 일 실시예에 따른 발광 다이오드 패키지(10)들을 회로보드 상에 장착한 발광 다이오드 모듈을 설명하기 위한 단면도이다.
- [0069] 도 3을 참조하면, 상기 발광 다이오드 모듈은 회로보드(61), 예컨대 MC-PCB, 발광 다이오드 패키지(10) 및 렌즈(71)를 포함한다. 상기 회로보드(61), 예컨대 MC-PCB는 발광 다이오드 패키지(10)를 장착하기 위한 접속 패드들(63a, 63b)을 갖는다. 상기 접속 패드들(63a, 63b) 상에 각각 발광 다이오드 패키지(10)의 제1 및 제2 범프들(도 1의 45a, 45b)이 접속된다.
- [0070] 상기 회로보드(61) 상에 복수개의 발광 다이오드 패키지들(10)이 장착될 수 있으며, 렌즈(71)가 상기 발광 다이오드 패키지들(10)의 지향각 등의 광 특성을 조절하도록 발광 다이오드 패키지들(10) 상에 설치된다.
- [0071] 또 다른 실시예에서, 상기 발광 다이오드 패키지들(10) 대신에 발광 다이오드 패키지들(20)이 장착될 수 있다.
- [0072] 도 4 내지 도 12는 본 발명의 일 실시예에 따른 발광 다이오드 패키지(10)를 제조하는 방법을 설명하기 위한 도면들이다. 도 5 내지 도 10에서 (a)는 평면도를 나타내고, (b)는 (a)의 절취선 A-A를 따라 취해진 단면도를 나타낸다.
- [0073] 도 4를 참조하면, 성장 기관(21) 상에 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)을 포함하는 반도체 적층 구조체(30)가 형성된다. 성장 기관(21)은 사파이어 기관일 수 있으나, 이에 한정되는 것은 아니며, 다른 이종기관, 예컨대 실리콘 기관일 수 있다. 상기 제1 및 제2 도전형 반도체층들(25, 29)은 각각 단일층 또는 다중층으로 형성될 수 있다. 또한, 상기 활성층(27)은 단일 양자우물 구조 또는 다중 양자우물 구조로 형성될 수 있다.
- [0074] 상기 화합물 반도체층들은 III-N 계열의 화합물 반도체로 형성될 수 있으며, 금속유기화학기상증착법(MOCVD) 또는 분자선 증착법(molecular beam epitaxy; MBE) 등의 공정에 의해 성장 기관(21) 상에 성장될 수 있다.
- [0075] 한편, 화합물 반도체층들을 형성하기 전, 버퍼층(미도시됨)이 형성될 수 있다. 버퍼층은 희생 기관(21)과 화합

물 반도체층들의 격자 부정합을 완화하기 위해 채택되며, 질화갈륨 또는 질화알루미늄 등의 질화갈륨 계열의 물 질층일 수 있다.

- [0076] 도 5 (a) 및 (b)를 참조하면, 상기 반도체 적층 구조체(30)를 패터닝하여 칩(패키지) 분리 영역(30c) 및 셀 분리 영역(30b)을 형성함과 아울러, 상기 제2 도전형 반도체층(29) 및 활성층(27)을 패터닝하여 상기 제1 도전형 반도체층(25)을 노출시키는 복수개의 콘택홀들(30a)을 갖는 발광셀들(S1, S2)을 형성한다. 상기 반도체 적층 구조체(30)는 사진 및 식각 공정을 사용하여 패터닝될 수 있다.
- [0077] 칩 분리 영역(30c)은 나중에 개별 발광 다이오드 패키지로 분할하는 영역으로, 칩 분리 영역(30c)에 제1 도전형 반도체층(25), 활성층(27) 및 제2 도전형 반도체층(29)의 측면이 노출된다. 상기 칩 분리 영역(30c) 및 셀 분리 영역(30b)은 바람직하게 기판(21)면을 노출시키도록 형성될 수 있으며, 반드시 이에 한정되는 것은 아니다.
- [0078] 한편, 상기 복수개의 콘택홀들(30a)은 원형일 수 있으나, 이에 한정되는 것은 아니며 다양한 형상을 가질 수 있다. 상기 제2 도전형 반도체층(29) 및 활성층(27)이 복수개의 콘택홀들(30a)의 측벽에 노출된다. 상기 콘택홀들(30a)의 측벽은 도시한 바와 같이 경사지게 형성될 수 있다.
- [0079] 도 6 (a) 및 (b)를 참조하면, 제2 도전형 반도체층(29) 상에 제2 콘택층(31)이 형성된다. 제2 콘택층(31)은 복수개의 콘택홀들(30a)을 제외한 반도체 적층 구조체(30) 상에 형성되며, 각 발광셀(S1, S2) 상에 형성된다.
- [0080] 제2 콘택층(31)은 예컨대 ITO와 같은 투명 도전성 산화막 또는 은(Ag) 또는 알루미늄(Al)과 같은 반사 금속층을 포함할 수 있으며, 단일층 또는 다중층으로 형성될 수 있다. 제2 콘택층(31)은 또한 제2 도전형 반도체층(29)에 오믹 접촉하도록 형성된다.
- [0081] 제2 콘택층(31)은 복수개의 콘택홀들(30a)을 형성한 후에 형성될 수 있으나, 이에 한정되는 것은 아니며, 복수개의 콘택홀들(30a)을 형성하기 전에 미리 형성될 수도 있다.
- [0082] 도 7 (a) 및 (b)를 참조하면, 제2 콘택층(31)을 덮는 제1 절연층(33)이 형성된다. 제1 절연층(33)은 각 발광셀(S1, S2)의 측면을 덮을 수 있으며, 또한, 복수개의 콘택홀들(30a)의 측벽을 덮을 수 있다. 다만, 상기 제1 절연층(33)은 복수개의 콘택홀들(30a) 내에서 상기 제1 도전형 반도체층(25)을 노출시키는 개구부들(33a)을 갖는다.
- [0083] 제1 절연층(33)은 실리콘 산화막 또는 실리콘 질화막과 같은 절연물질의 단일층 또는 다중층으로 형성될 수 있다. 나아가, 상기 제1 절연층(33)은 굴절률이 서로 다른 절연층을 반복 적층한 분포 브래그 반사기로 형성될 수 있다. 예컨대, 상기 제1 절연층(33)은 SiO₂/TiO₂ 또는 SiO₂/Nb₂O₅를 반복 적층하여 형성할 수 있다. 또한, 상기 제1 절연층(33)을 형성하는 각 절연층의 두께를 조절함으로써 청색광, 녹색광 및 적색광의 넓은 파장 범위에 걸쳐 반사율이 높은 분포 브래그 반사기가 형성될 수 있다.
- [0084] 도 8 (a) 및 (b)를 참조하면, 상기 제1 절연층(33) 상에 제1 콘택층(35)이 형성된다. 제1 콘택층(35)은 각 발광셀(S1, S2) 상에 형성되며, 콘택홀들(30a) 내에 노출된 제1 도전형 반도체층(25)에 접촉하는 접촉부들(35a) 및 접촉부들(35a)을 서로 연결하는 연결부(35b)를 포함한다. 제1 콘택층(35)은 반사 금속층으로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0085] 제1 콘택층(35)은 각 발광셀(S1, S2)의 일부 영역 상에 형성되며, 제1 콘택층(35)이 형성된 영역 이외의 영역에는 제1 절연층(33)이 노출된다.
- [0086] 도 9 (a) 및 (b)를 참조하면, 상기 제1 콘택층(35) 상에 제2 절연층(37)이 형성된다. 제2 절연층(37)은 실리콘 산화막 또는 실리콘 질화막 등의 단일층 또는 다중층으로 형성될 수 있으며, 또한 굴절률이 서로 다른 절연층을 반복 적층한 분포 브래그 반사기로 형성될 수 있다.
- [0087] 제2 절연층(37)은 제1 콘택층(35)을 덮으며 또한 제1 절연층(33)을 덮을 수 있다. 제2 절연층(37)은 또한 각 발광셀(S1, S2)의 측면을 덮을 수 있다. 나아가, 상기 제2 절연층(37)은 칩 분리 영역(30c) 및 셀 분리 영역(30b)을 채울 수 있다.
- [0088] 한편, 상기 제2 절연층(37)은 각 발광셀(S1, S2)의 제1 콘택층(35)을 노출시키는 개구부(37a)를 갖는다. 또한, 상기 제2 절연층(37) 및 제1 절연층(33)에 제2 콘택층(31)을 노출시키는 개구부(37b)가 형성된다.
- [0089] 도 10 (a) 및 (b)를 참조하면, 상기 제2 절연층(37) 상에 제1 및 제2 전극 패드들(39a, 39b)과 함께 연결부(39c)가 형성된다. 제1 전극 패드(39a)는 개구부(37a)를 통해 제1 발광셀(S1)의 제1 콘택층(35)에 접속되고, 제2 전극 패드(39b)는 개구부(37b)를 통해 제2 발광셀(S2)의 제2 콘택층(31)에 접속된다. 또한, 상기 연결부(39

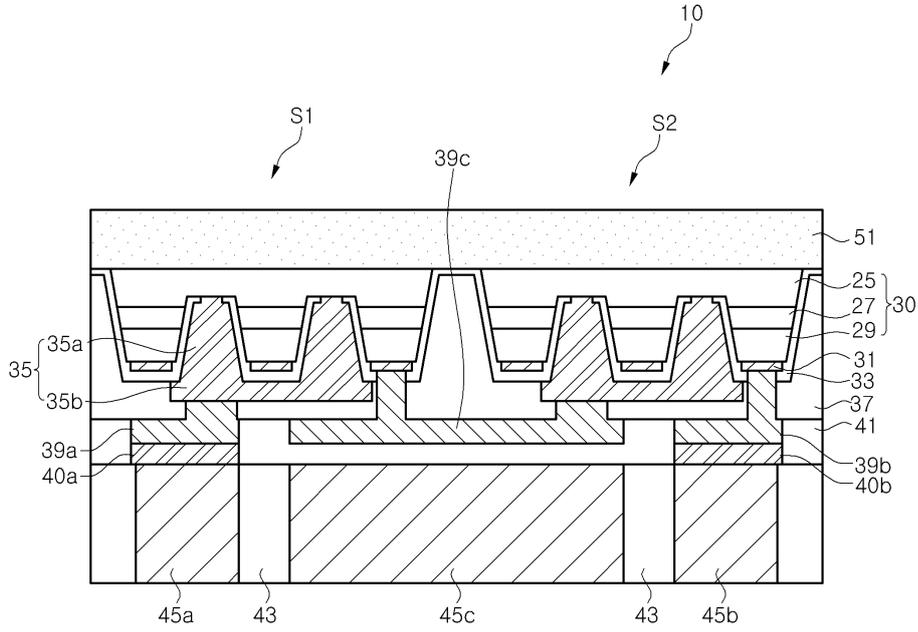
c)는 개구부들(37a, 37b)을 통해 인접한 발광셀들(S1, S2)의 제1 콘택층(35)과 제2 콘택층(31)을 직렬 연결한다.

- [0090] 도 11을 참조하면, 상기 제1 및 제2 전극 패드(39a, 39b)와 연결부(39c) 상에 제3 절연층(41)이 형성된다. 제3 절연층(41)은 제1 및 제2 전극 패드(39a, 39b)와 연결부(39c)를 덮으며, 이들 전극 패드들(39a, 39b)의 상부면을 노출시키는 홈들을 갖는다. 한편, 상기 제3 절연층(41)의 홈 내에 추가 금속층(40a, 40b)이 형성될 수 있다. 추가 금속층(40a, 40b)은 전극 패드들(39a, 39b)의 높이를 증가시켜 연결부(39c)에 비해 상대적으로 높은 최종 전극 패드를 형성할 수 있다. 상기 추가 금속층(40a, 40b)은 제3 절연층(41)을 형성하기 전에 형성될 수도 있다. 상기 추가 금속층(40a, 40b)의 상부면은 상기 제3 절연층(41)의 상부면과 실질적으로 동일할 수 있다.
- [0091] 도 12를 참조하면, 상기 제3 절연층(41) 상에 절연층(43) 패턴이 형성된다. 절연층(43) 패턴은 제1 및 제2 전극 패드(39a, 39b)의 상부, 예컨대 추가 금속층들(40a, 40b)을 노출시키는 홈을 갖는다. 또한, 상기 제1 전극 패드(39a)와 제2 전극 패드(39b) 사이에서 제3 절연층(41)을 노출시키는 홈을 가질 수 있다.
- [0092] 이어서, 상기 절연층(43) 내의 홈들에 제1 및 제2 범프(45a, 45b)가 형성되고 또한, 제1 범프와 제2 범프 사이에 더미 범프(45c)가 형성될 수 있다.
- [0093] 상기 범프들은 도금, 예컨대 전기 도금을 사용하여 형성될 수 있다. 필요한 경우, 도금을 위한 시드층이 형성될 수도 있다.
- [0094] 한편, 상기 제1 및 제2 범프(45a, 45b)가 형성된 후, 상기 절연층(43)은 제거될 수도 있다. 예를 들어, 상기 절연층(43)은 포토레지스트와 같은 폴리머로 형성될 수 있으며, 범프들이 완성된 후 제거될 수 있다. 이와 달리, 상기 절연층(43)은 제1 범프 및 제2 범프(45a, 45b)의 측면을 보호하기 위해 남겨질 수도 있다.
- [0095] 도 13을 참조하면, 상기 성장 기관(21)이 제거되고 파장 변환기(51)가 발광셀들(S1, S2)에 부착된다. 성장 기관(21)은 레이저 리프트 오프(Laser lift-off; LLO)와 같은 광학적 기술 또는 기계적 연마 또는 화학적 에칭 기술을 이용하여 제거될 수 있다.
- [0096] 그 후, 노출된 제1 도전형 반도체층(25)의 표면에 PEC 에칭 등에 의한 이방성 에칭에 의해 거칠어진 면이 형성될 수 있다.
- [0097] 한편, 형광체를 함유하는 형광체 시트 등의 파장 변환기(51)가 상기 제1 도전형 반도체층(25)에 부착될 수 있다.
- [0098] 이와 달리, 상기 성장 기관(21)은 활성층(27)에서 생성된 광의 파장을 변환하기 위한 불순물을 함유할 수 있으며, 이 경우, 상기 성장 기관(21)이 파장 변환기(51)로 사용될 수 있다.
- [0099] 그 후, 칩 분리 영역(30c)을 따라 개별 패키지로 분할함으로써 발광 다이오드 패키지(10)가 완성된다. 이때, 상기 파장 변환기(51)와 함께 제2 절연층(37)이 함께 절단됨으로써 절단면이 서로 나란하게 형성될 수 있다.
- [0100] 도 14는 본 발명의 또 다른 실시예에 따른 발광 다이오드 패키지(20)를 제조하기 위한 방법을 설명하기 위한 단면도이다.
- [0101] 도 14를 참조하면, 본 실시예에 따른 발광 다이오드 패키지(20) 제조 방법은 제3 절연층(41) 및 추가 금속층들(40a, 40b)을 형성하는 공정까지는 앞서 설명한 발광 다이오드 패키지(10) 제조방법(도 11)과 동일하다.
- [0102] 한편, 절연 기관(61)이 제3 절연층(41) 상에 본딩된다. 기관(61)은 관통홀들을 가질 수 있으며, 관통홀들 내에 제1 및 제2 범프들(65a, 65b)이 형성될 수 있다. 또한, 상기 제1 및 제2 범프의 끝 단부에 패드들(도시하지 않음)이 형성될 수 있다. 나아가, 상기 절연 기관(61)은 그 하부면에 부분적으로 형성된 홈들을 갖고, 상기 홈들은 금속물질(65c)로 채워질 수 있다. 상기 금속물질(65c)에 의해 상기 기관(61)의 방열 특성이 개선된다.
- [0103] 상기 제1 및 제2 범프들(65a, 65b)을 갖는 기관(61)이 별도로 제작되어 제1 및 제2 전극 패드들(39a, 39b)을 갖는 웨이퍼 상에 본딩될 수 있다. 상기 제1 및 제2 범프들(65a, 65b)은 각각 제1 및 제2 전극 패드들(39a, 39b)에 전기적으로 연결된다.
- [0104] 그 후, 도 13을 참조하여 설명한 바와 같이, 성장 기관(21)이 제거되고 파장 변환기(51)가 발광셀들(S1, S2)에 부착될 수 있으며, 이어서 개별 패키지로 분할될 수 있다. 이에 따라, 도 2에 도시된 발광 다이오드 패키지(20)가 완성된다.

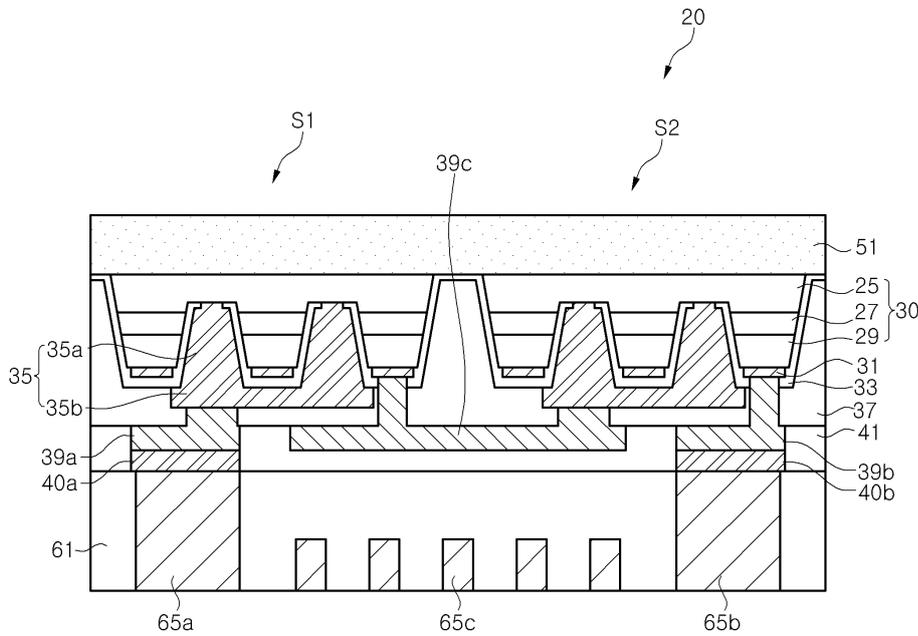
부호의 설명

도면

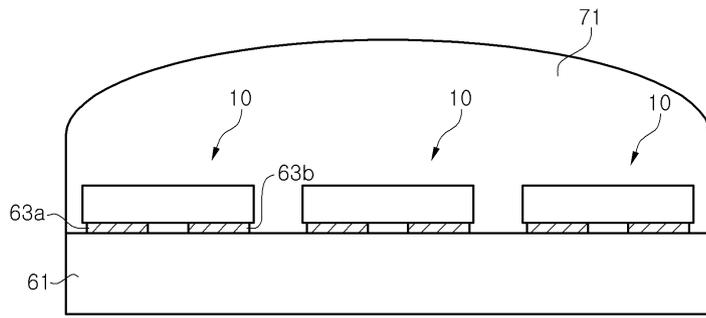
도면1



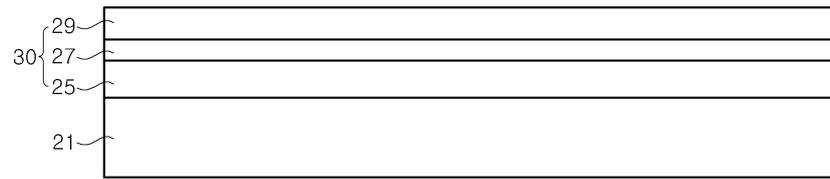
도면2



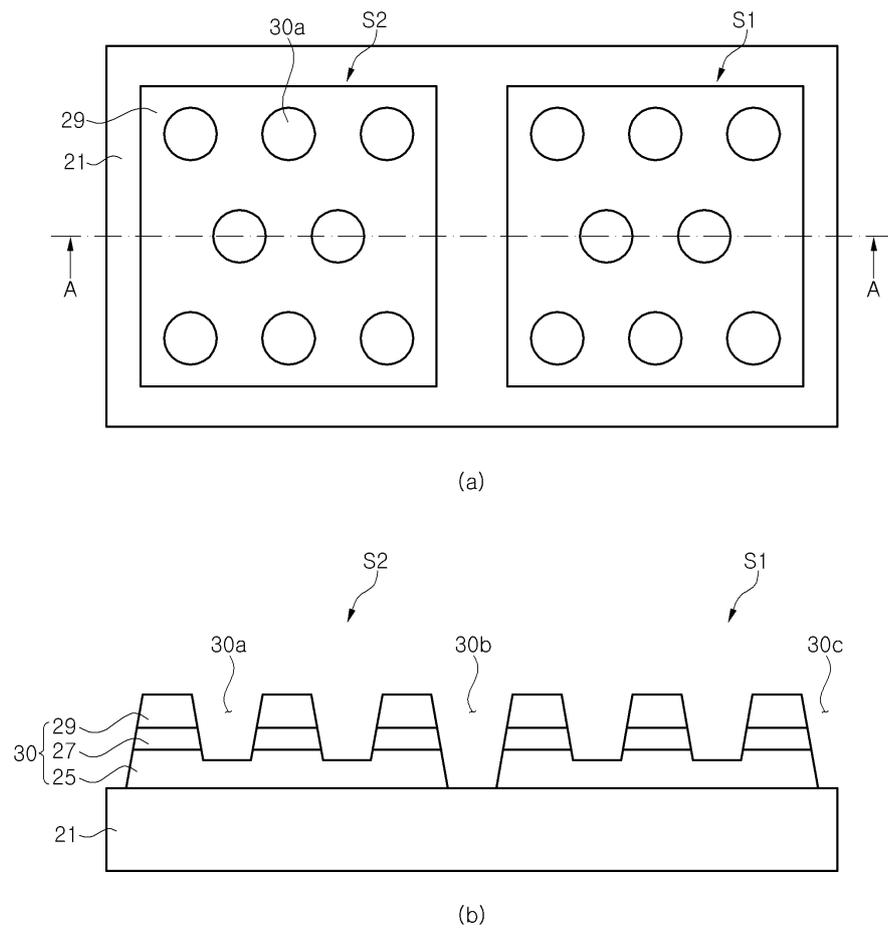
도면3



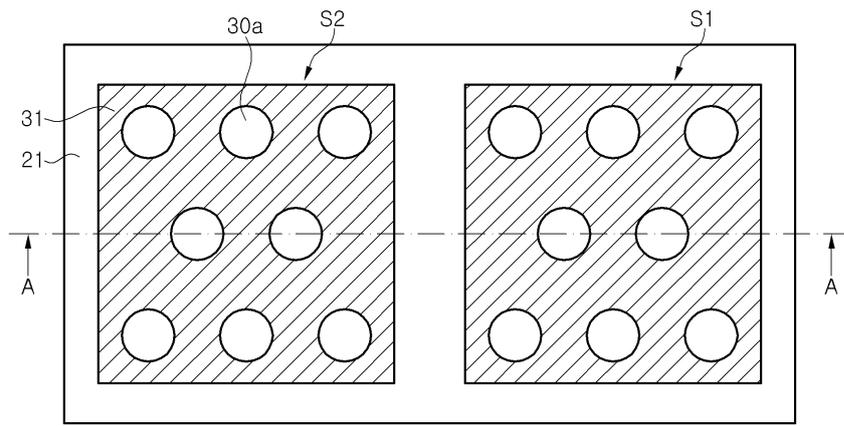
도면4



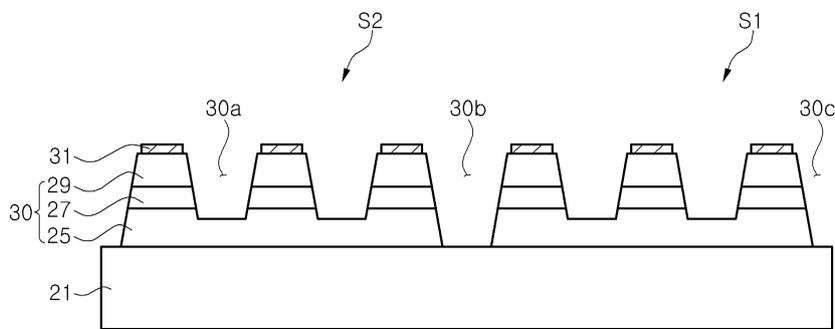
도면5



도면6

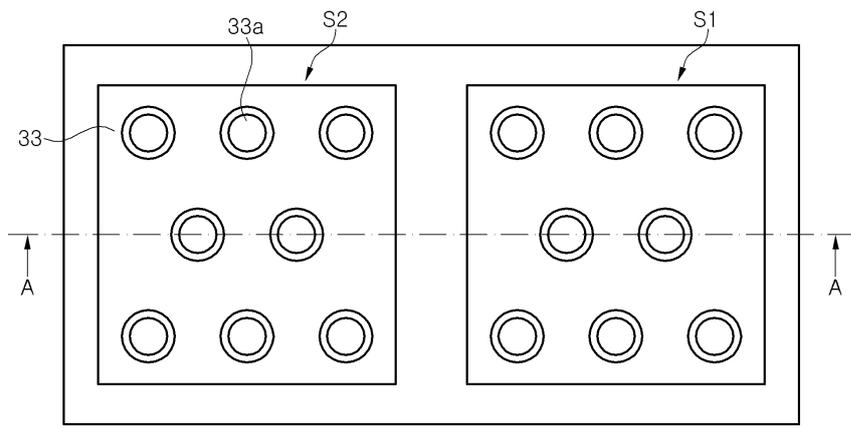


(a)

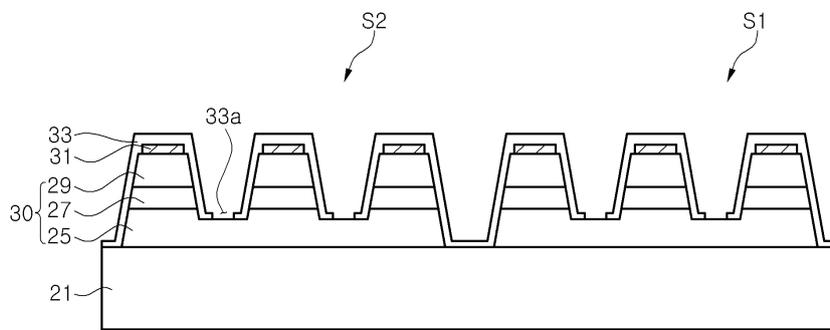


(b)

도면7

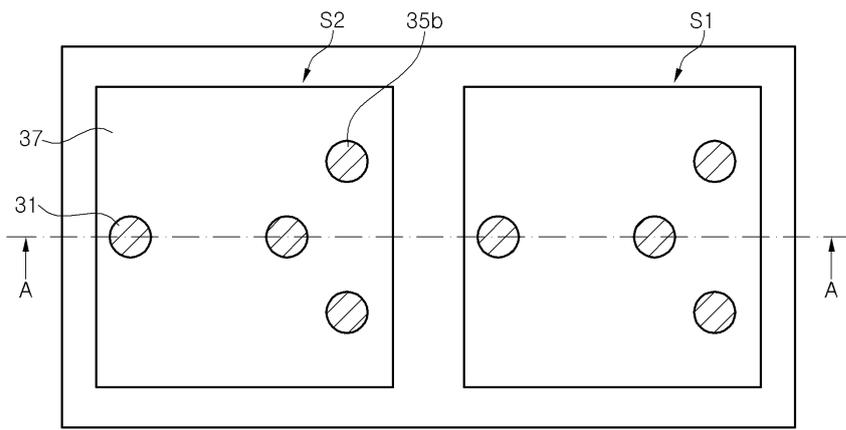


(a)

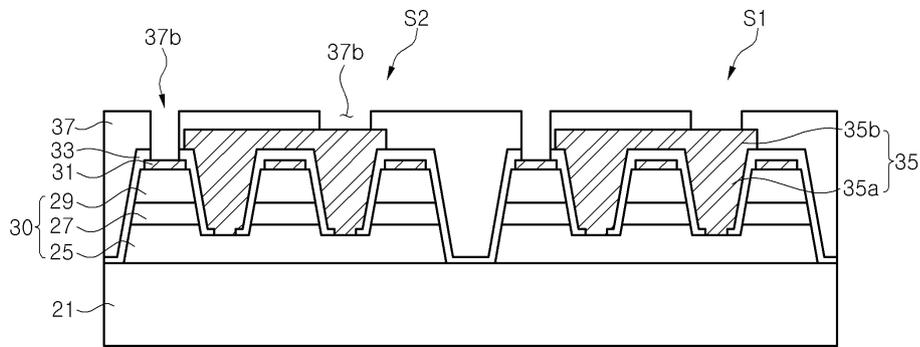


(b)

도면9

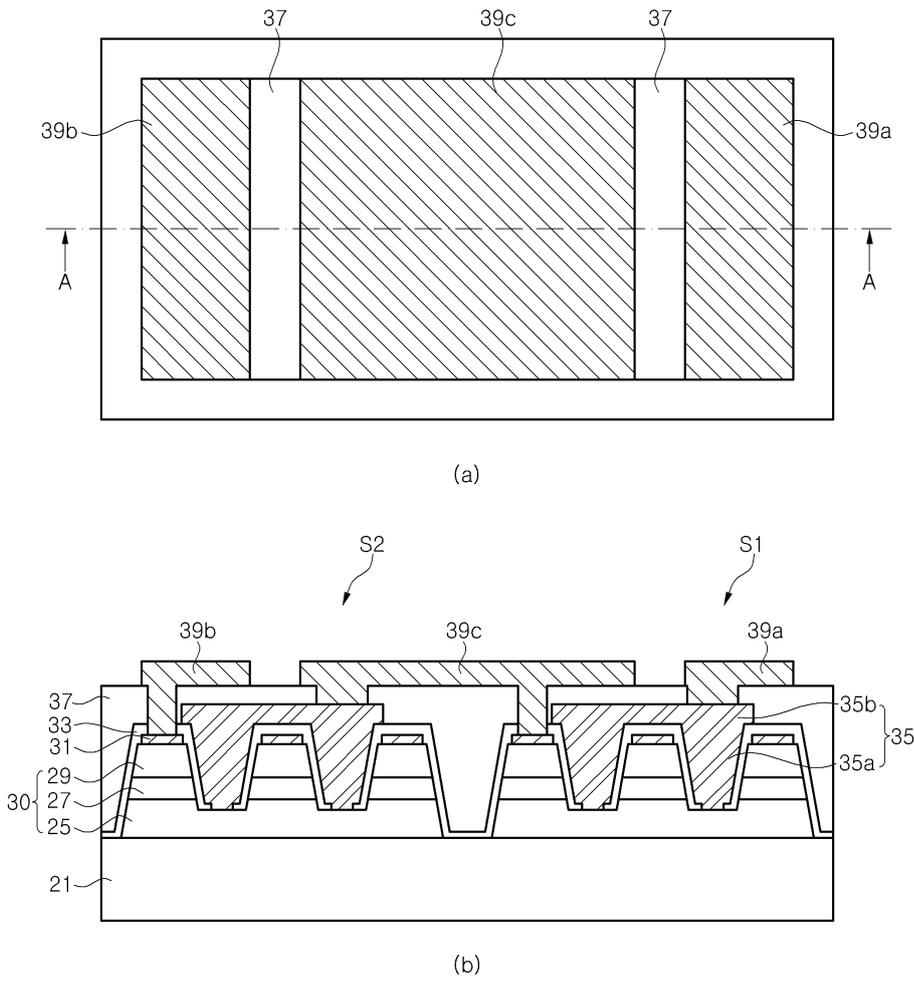


(a)

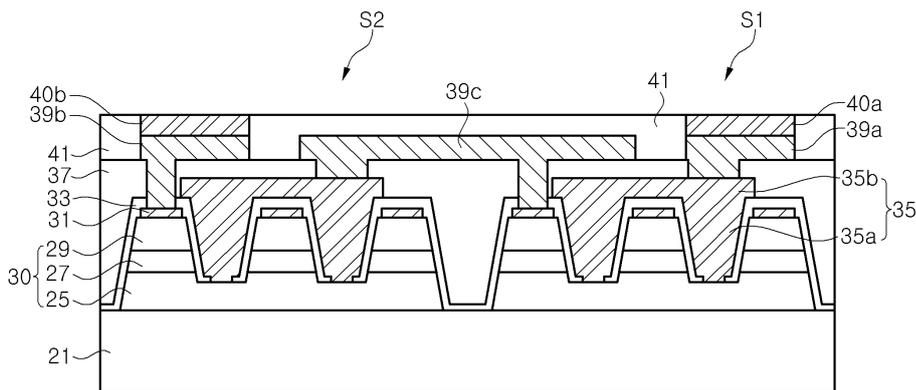


(b)

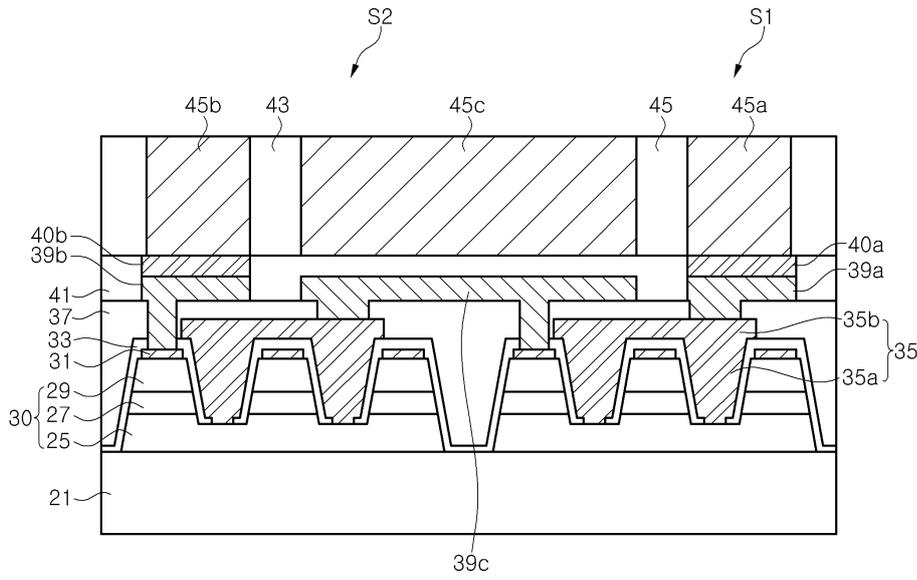
도면10



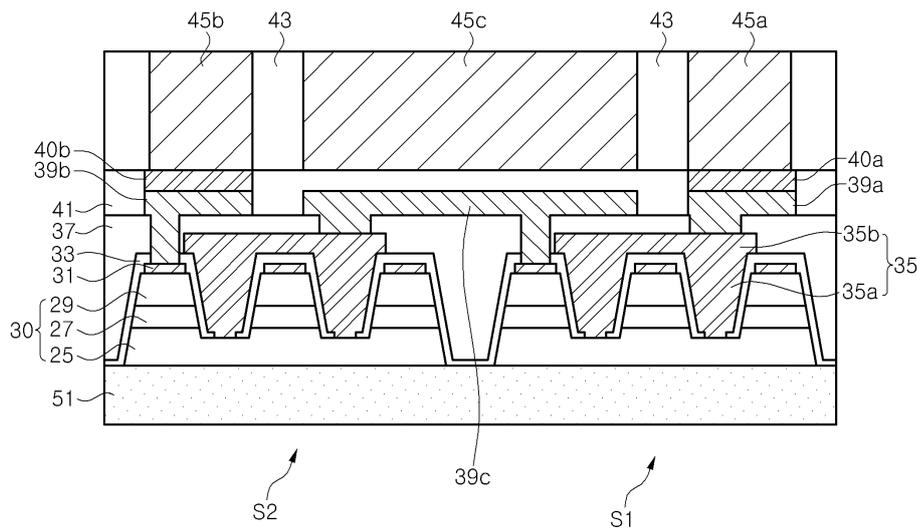
도면11



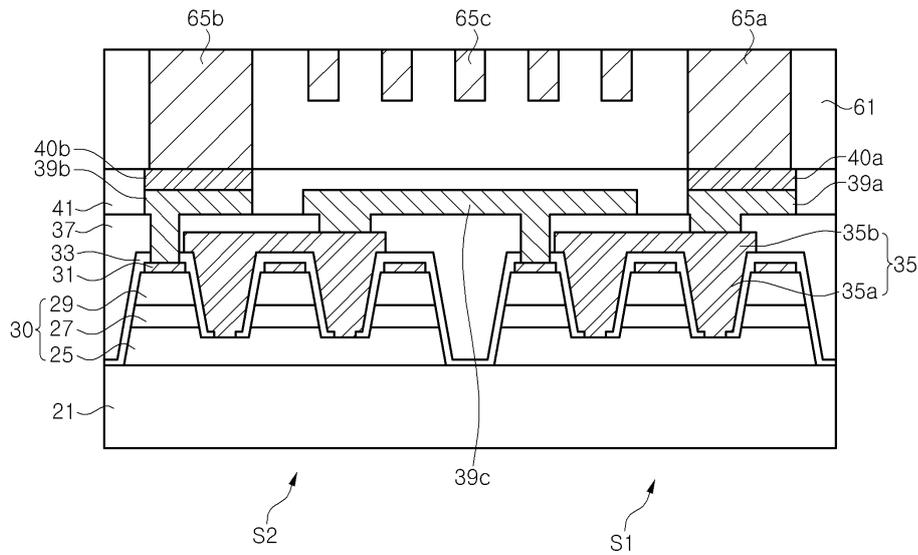
도면12



도면13



도면14



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

상기 제1 및 제2 범프들은 상기 절연층을 기준으로 돌출하도록 형성된

【변경후】

상기 제1 및 제2 범프들은 상기 절연층을 기준으로 돌출하도록 형성된